

2 - 10 モデリング&シミュレーション

(要旨)

最先端のLSIを開発・生産するために必要な技術のなかで、モデリング&シミュレーション技術は開発・生産効率を高める技術として、100nmのテクノロジーノードが見えてくるにあたり、一層重要になってきた。

製造装置の性能向上によってノウハウは次第に装置に組み込まれるようになり、デバイスメーカーにとって製造技術自体での技術の差別化は困難になりつつある。一方、デバイス構造はさらに微細化が進んでおり、物理的な限界に近づくとつれ、従来の単純なモデルや理論では解釈できない現象が現れ、これを理解し設計や製造プロセスに反映させるためには、メソスコピックなモデリングが不可欠になってきた。再びサイエンス、そしてそれらをベースとするモデリング&シミュレーションが技術発展の原動力となる時代になってきた。

モデリング&シミュレーション技術では、

- ・ シリコンLSI開発・生産に関わる物理・化学モデル
- ・ モデルに基づき計算する、シミュレーション技術、計算技術
- ・ シミュレータのキャリブレーションも含めたシミュレーションの応用技術
- ・ 統計解析、マン - マシンインターフェースを含めた計算環境

を扱い、今後のモデリング&シミュレーション技術に対する要求事項の拡大と高度化、およびそれらを具体化するための技術選択肢の見通しを示した。さらに、技術発展の結果として、本来デバイスメーカーが求めている開発コスト削減、TAT(turn-around time)短縮についても検討した。

モデリング&シミュレーションは、第一にデバイス/プロセスの物理・化学メカニズムを明らかにし、開発方針の決定や技術を選択する場合に強力な判断材料を提供する。第二には、机上実験により必要最小限の試作条件に絞り込むことによって、開発ロット/マスク改訂数の削減を可能とし、TATが短縮され、開発費が削減される。

表および図はその削減予測と全体像を示したものである。一方、メカニズム把握という“知識”を得ることによる技術の進展や効率化は、相当程度まで実現されていると考えられるが、数値化が困難なため省いている。

100nmのテクノロジーノードで削減率が上昇しているのは、バックエンドプロセスシミュレーションの発展によるところが大きい。これにより、現在困難であるエッチングやデポジションなどの化学反応のメカニズムが理解可能になるため、個別プロセス開発におけるバラツキも含めた最適製造条件をシミュレーションで絞り込む、あるいは不具合の起きるメカニズムを解明することが可能になる。

設計分野に対しては、プロセスインテグレーションが完了する以前に、設計用のコンパクトモデルパラメータを提供可能になるため、開発初期からライブラリーの設計ができ、プロセス・設計のコンカレント開発が実現する。これは設計も含めたSOC開発期間全体を大幅に短縮する。

最後には、我が国がサイエンスやアルゴリズムをベースとしたSOCの基礎・基盤技術力を獲得し、かつ国際協調を通して世界に貢献するために解決すべき課題と方策も提言した。

具体的には下記の機能を持つ半導体先端技術の研究開発センターを設立する。

< 主な機能 >

- ・ モデリングのための実験と実デバイスによる検証を行なう。ライン、設備、計算機環境を持つ。
- ・ 国際センターとしても機能させ、国外の研究者も受け入れる。
- ・ 将来の応用を前提とした、LSI の設計・製造・生産に関する先端研究・開発を行う。（基礎研究も含む）
- ・ 講義・実習による学生教育、新人教育を実施する。

< 運営 >

- ・ 人員は産官学から派遣する。（Virtual Labo. も含む）
- ・ 産官学からなるステアリングコミッティを設置する。（センター運営の諮問、及び我が国のLSI関連の技術力強化のための戦略立案とコンセンサス形成）
- ・ 外部からの委託研究を受託する。
- ・ ファウンドリ機能を持つ。
- ・ 装置メーカー等が、装置を持ち込めるブースを設置する。ただし、使用料は有料。
- ・ センターで処理している途中、あるいは処理済みのウエハを販売できる。

開発に対する効果

Technology node		250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
コスト削減	総合	15%	20%	25%	35%	40%	50%	50%
	基本プロセス	20%	30%	40%	50%	60%	70%	70%
	展開プロセス	50%	50%	60%	60%	60%	60%	60%
TAT短縮	要素プロセス	0%	0%	2%	10%	20%	30%	30%
	基本プロセス	10%	15%	20%	30%	40%	50%	50%
	展開プロセス	45%	45%	50%	50%	50%	50%	50%

工場展開での寄与

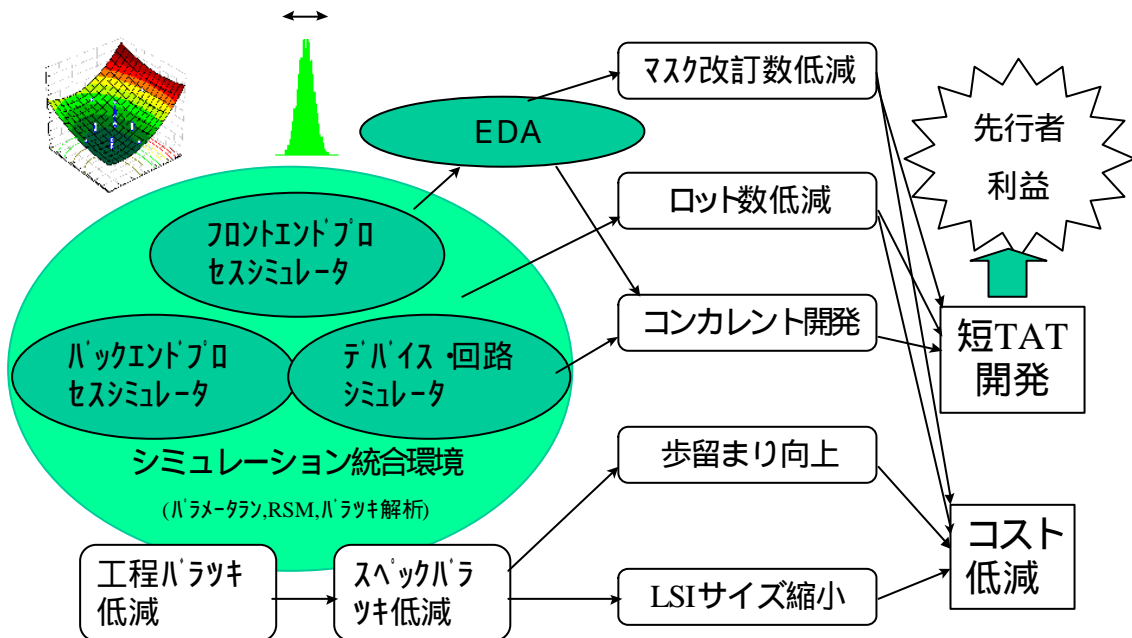
(バックエンドプロセスシミュレータで装置コスト・縮小的プロセス設備機能でT等の特性バラツキ削減で)

Technology node	250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
装置立ち上げコスト・期間			2%	10%	20%	30%	30%
プロセス導入期間短縮			10%	15%	20%	25%	30%
プロセス導入初期歩留向上(90%になるまでの期間)			3months	2months	1.5months	1months	0.5months

設計関連寄与

コンカレント開発	-	-	6months	6months	6months	6months	6months
チップ面積縮小 (当刻ルール内で設計マージン縮小による)			10%	15%	15%	20%	20%

コスト削減、TAT短縮効果



Modeling&Simulationと短TAT&コスト低減

* 項目および数値については、一部 ITRS'99 から引用した。

2 - 10 - 1 はじめに(背景、ロードマップの意義、期待する効果)

(1) 背景

微細化の進展に伴う LSI の回路、デバイス構造、製造プロセスの複雑化に対して、適正なコスト・価格で LSI を生産・供給するための技術の進展を促す必要がある。

最先端の LSI を開発・生産するために必要な技術の内、モデリング&シミュレーション技術は開発・生産効率を高める技術として、100nm のテクノロジーノード(technology node)が見えてくるにあたり、一層重要になってきた。

従来、モデリング&シミュレーション技術は研究目的と考え、事業という観点からの取り組みが少なかったが、技術を本格的に活用可能するためには、技術開発の目標を共有し、技術の向かうべき方向を明示する必要がある。

(2) ロードマップの意義

科学的/計数的(physical design)な開発手法を提供するモデリング&シミュレーション技術の発展により、効率的な開発・生産を通して LSI 開発コストや開発期間が削減・短縮され、市場のニーズに合った価格・性能の LSI が供給可能になる。このためには、モデリング&シミュレーション技術へのニーズおよび選択可能な技術を予測することにより、技術開発のベクトルを産・学・官を通して整合させ、実用技術を早く現実のものとする必要がある。

微細化に伴う各種の現象をモデル化しシミュレーション可能にするためには、極めて幅広い分野の、科学から工学に至る知識・技術を集積する必要がある。従来、多くの研究者や開発者がこれらの研究・開発を行ってきているが、相互の情報交換あるいは相互乗り入れなどがあまり活発ではなかった。このため、シナジー効果が不十分であり、成果が十分に生かし切れていなかった。

ロードマップを介して幅広く研究者・開発者にその道程を示し、英知を結集するための羅針盤とすることによりモデリング&シミュレーション技術開発を加速し、ひいては適正なコスト・価格で LSI を生産・供給を可能にすることに意義がある。

また、経営的観点から、ロードマップが競争力を確保するための戦略的な施策の立案において、技術の本質についての検討に役立つこと、さらに、技術立国を標榜する我が国の政府における施策立案に対して、真に効果的な選択肢を提供することも重要な意義の一つである。

(3) 期待する効果

本ロードマップにより、下記に示す具体的な効果が期待できる。その結果、physical design のための技術が確立され、ユーザニーズにあった LSI をタイムリーに供給することが可能になる。

- ・ モデリング&シミュレーション技術開発のベクトルを、産・学・官を通して整合させる
- ・ 幅広い分野の、科学から工学に至る知識・技術を集積し、シナジー効果を得る
- ・ モデリング&シミュレーション技術の発展を促し、実用技術を早期に開発
- ・ 設計クライシスへの対応
- ・ コスト膨張が予測される LSI 開発コストの抑制、TAT の短縮
- ・ 経営戦略/政府施策立案への情報提供

2 - 10 - 2 モデリング&シミュレーション技術概要

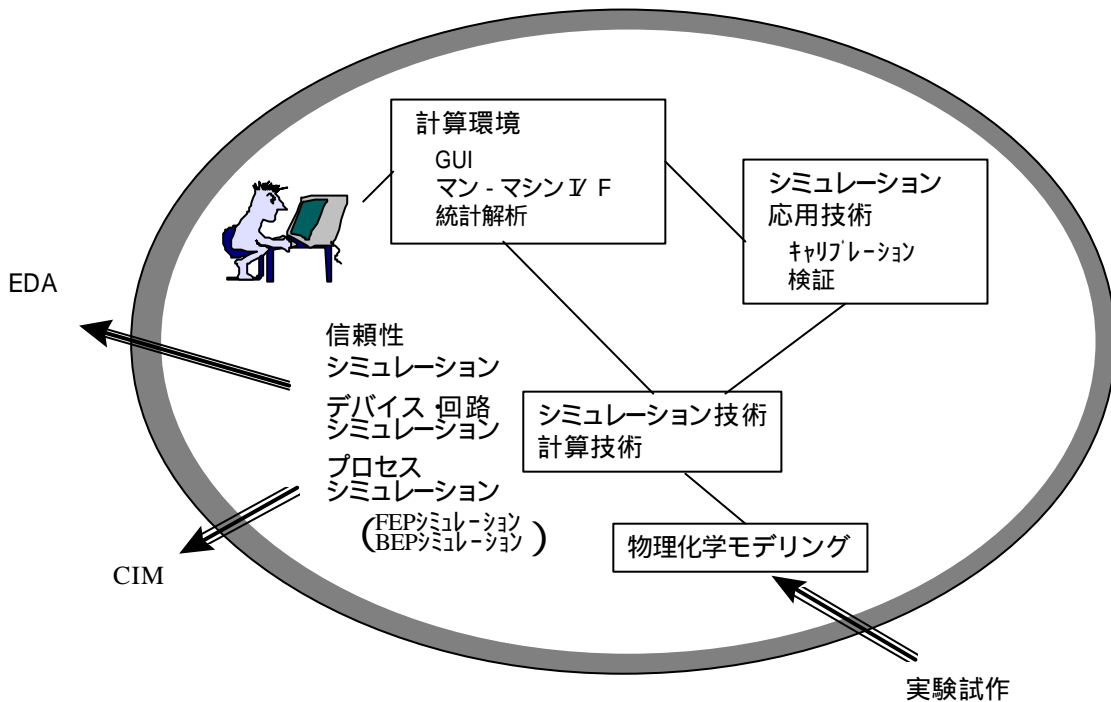
(1) 検討範囲

本ロードマップでは、

- ・ シリコン LSI 開発・生産に関わる物理・化学モデル
- ・ モデルに基づき計算する、シミュレーション技術、計算技術
- ・ シミュレータのキャリブレーションも含めたシミュレーションの応用技術
- ・ 統計解析、マン - マシンインターフェースを含めた計算環境

を扱う。

図表2 - 10 - 1に、モデリング&シミュレーションで扱う分野の技術全体の概念図を、周辺技術とも合わせて示す。



図表2 - 10 - 1 モデリング&シミュレーション

モデリング&シミュレーションの中心に位置するのが、物理・化学モデリングである。シミュレーションの精度は、計算に使用するモデルに直接に左右され、高精度なモデルが要求される。また一方では、一連の LSI の開発工程をシミュレーションするには、計算時間短縮への要求も強く、経験的なモデルを加味し、精度を保ちつつ、しかも簡便なモデルを開発することも必要になってくる。本ロードマップでは、両面からこれらのモデリング技術全般を取り上げる。

モデリングの成果は、プロセスシミュレータ、及びデバイスシミュレータという形で提供されるのが基本である。これらシミュレータの実現に直接関係するのが数値解析技術、及びシミュレーション技術であり、本ロードマップで取り上げた。シミュレータには、LSI 開発・生産に関わる各種の現象に関して、頑強 (robust) に解析できることが要求され、LSI の製造工程中でのデバイスの形状変化にも対応できるメッシュ技術、あるいは大規模な非線型行列方程式を短い計算時間で、かつ robust に解を求めるための計算技術が中心となる。

近年、従来のプロセスシミュレーション、デバイスシミュレーションという枠組みではなく、回路シミュレ

ーションも含めてこれらを統合的に使用しなければ解決できない場面が、いくつかみられている。ひとつは ESD、あるいは酸化膜等の信頼性に関わる問題であり、これらを信頼性シミュレーション技術として取り上げた。

シミュレーションを統合して使用するということで重要なものに、キャリブレーション技術がある。これは物理・化学モデリングには立ち返らずにシミュレーションの精度を向上させるための技術で、実用上非常に重要なものであり、シミュレーション応用技術のひとつとして取り上げた。応用技術としては、更にモデルの検証に関連する問題を取り上げている。

最後にユーザがこれらのシミュレーションを効率的に使用するためのものとして、広義のシミュレーション環境を取り上げた。統計的な手法も考慮した GUI(グラフィカルユーザインタフェース)、マン・マシーンインタフェース等が含まれる。

モデリング&シミュレーション技術の周辺技術としては、上流の LSI 設計に近いところでは回路シミュレーションを含む EDA(electronic design automation)と呼ばれる分野がある。回路シミュレーション、あるいは物理設計で OPC(optical proximity correction: 光学的近接効果補正)に代表されるような分野では、モデリング&シミュレーション技術との明確な分離が困難であるが、境界分野は本ロードマップの対象としている。従って、たとえば回路シミュレーションそのものは対象外であるが、回路シミュレーションを使用するのにトランジスタモデル、そのパラメータ抽出技術は検討の対象である。

下流の製造に近いところでは、CIM(computer integrated manufacturing)という分野と密接に関係している。特に歩留まりに関係するようなところでは、製造装置のばらつき、製造工程における容易には解析しえないばらつきなど、プロセスシミュレーションと深く関係しているが、検討範囲外とした。

本ロードマップでは、技術的な事項だけでなく、モデリング&シミュレーションの効果としての LSI 開発コスト・TAT 削減目標も検討対象とした。更に他の技術分野への要求として、モデル評価と密接に関連する分析技術への要求もロードマップとして検討した。

(2) 検討項目・内容

図表 2 - 10 - 2 に、本ロードマップで検討する技術の全体を示す。

技術的な項目として、フロントエンド(FE) プロセスモデル/シミュレーション、バックエンド(BE) プロセスモデル/シミュレーション、デバイスモデル/シミュレーション、デバイス・回路モデル/シミュレーション、信頼性モデル/シミュレーション、計算技術を取り上げた。その他に、モデリング&シミュレーション技術の開発のために必要な分析技術への要望、更にはモデル/シミュレーションの効果として現れる開発コスト削減、TAT 短縮のロードマップを取り上げている。

検討内容としては、モデリング&シミュレーションに対して要求される精度及びその評価方法、検討すべきモデル・計算方法を示すと共に、それぞれの項目に対しての計算時間、及び効果としてのコスト削減、TAT 削減を対象としている。

技術項目	具体内容	検討内容
FEプロセスモデル/シミュレーション	酸化、拡散、イオン注入、シリサイド、形状計算、レジスト、露光、ストレス	精度及びその評価方法 モデル 計算方法 計算時間
BEプロセスモデル/シミュレーション	反応/プラズマ(CVD、エッチング)、ガス/熱流、膜質、メッキ、CMP、スパッタ、装置シミュレーション、ストレス	
デバイスモデル/シミュレーション	キャリア散乱(移動度、衝突電離、エネルギー緩和、再結合)、ホットキャリア、トラップ、発熱、熱伝導	
デバイス回路モデル/シミュレーション	Tr/容量モデル(コンパクトモデル)、パラメータ抽出、LCR抽出、高周波、デバイス回路シミュレーション、インターコネクト	
計算技術	マトリックス計算、メッシュ発生、コンピュータ性能	
信頼性	ESD/ラッチアップ、ソフトエラー、酸化膜、EM/SM、EMIノイズ	
シミュレーション環境	最適化、RSF、実験計画、統計解析、インバースモデリング	
分析	不純物・キャリア濃度分布、欠陥、応力、膜厚、誘電率、線幅、抵抗、ライフタイム	モデル検証のための分析技術に対する要求
開発コスト削減・TAT短縮	モデリング/シミュレーション使用により得られる効果の目標値	

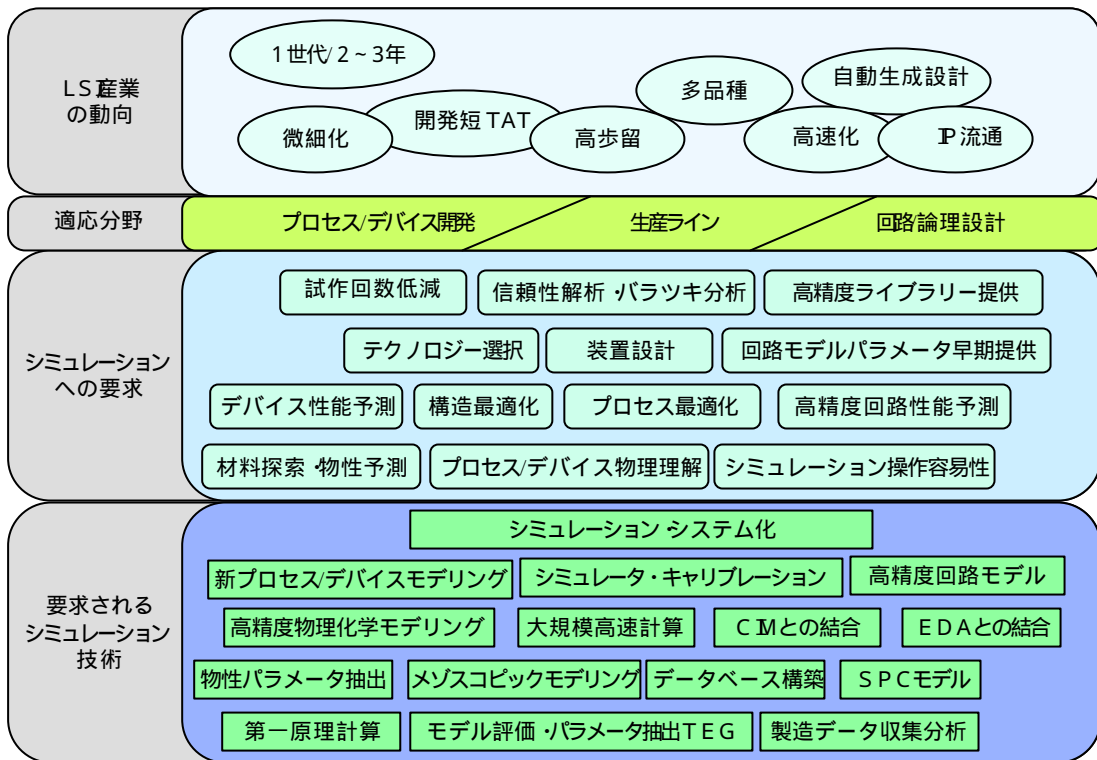
図表 2 - 10 - 2 検討内容一覧

(3) モデリング&シミュレーション技術の位置づけ、課題

LSI産業ではテクノロジーが1世代2~3年で変わっていくことが要請されている。これに伴い、物理現象を扱うTCAD(technology computer-aided design)を含むシミュレーション技術もこれに対応し得る変化が望まれる。図表2-10-3にモデリング&シミュレーション技術の位置付けを、LSI開発分野との対応で示す。

1) 利用形態と必要精度

プロセス/デバイス開発の分野においては、プロセス条件の絞込みによる試作回数の低減、デバイス構造最適化、性能の予測、デバイス内部の物理現象の理解等を目的として、従来からシミュレーション技術が利用され効果を上げてきた分野である。しかしながらデバイス寸法のさらなる微細化により、量子効果等の新たな物理現象の現出、新材料の投入による性能向上、ESDやTDDDB(time dependent dielectric breakdown)等の信頼性向上に対する指針を得ることが、従来に増して重要になる。ウェハの大口径化による枚葉式装置の導入、設備投資の高額化により試作回数の削減と開発TATの短縮化が叫ばれている。しかし、これらの指針をすべて試作から得ることは困難であり、シミュレーションの果たす役割は大きい。これらのシミュレーションに対しては定性的な傾向を見ることがテクノロジー選択の指針を得ることが主体であり、諸特性に対するシミュレーション精度は20~30%でも良い場合が多い。



図表2 - 10 - 3 モデリング&シミュレーション技術の位置付け

一方、生産ラインの分野においては、すでにテクノロジーが固定され生産ラインで流れている状態に対するシミュレーションの利用である新規品種の事前検討、派生品開発のためのプロセス工程変更に対する検証、歩留低下やプロセス障害の解析、製造バラツキの解析と SPC(statistical process control:統計的プロセス制御)に必要なモデル化のための解析等がある。ここで要求されるシミュレーション精度はプロセス/デバイス開発の場合より高精度が必要であり、トランジスタの電流値の場合は10%程度以下が要求され、各シミュレータのモデルパラメータが固定されたテクノロジーにフィッティングされている必要がある。

回路/論理設計の分野において新テクノロジーに対する LSI を設計する場合、その設計期間は数年を要する。このような場合はまだテクノロジーが固定されていない段階で設計を開始せざるを得ない場合が多く、初期の回路設計を開始するために、シミュレーションによって回路計算用トランジスタモデルパラメータや、配線間容量を抽出することが要求される。また、設計の自動化や IP(intellectual property)への対応として、高精度のライブラリーの提供が上げられる。上位の設計ではレイアウトのような物理と深く関わるライブラリーが設計精度を左右することになる。次世代テクノロジーへの IP の適用に際して、これらのライブラリーの次世代版をシミュレーションで提供することが期待される。一般に回路設計でシミュレーションを利用する場合、実デバイス特性に相当する特性が得られることが理想であり、この場合のトランジスタ電流特性のシミュレーション精度は2~5%が要求される。

2) 課題

シミュレーションはテクノロジーに対応した物理モデルを搭載している必要がある。しかしながら、現在の物理モデリングには5~6年を要しており、現実の製造プロセスあるいは次世代テクノロジーをシミュ

シミュレーションする場合、精度不足のモデルや、モデルそのものが存在しないプロセスに対してはシミュレーション技法によりモデル不足を代替しているのが現状である。テクノロジーは 2~3 年で変わって行くので、新しいプロセス工程や新たに見えてくる物理現象に対するモデルの研究・開発はこの変化に遅れないよう取り組まれるべきである。このためにはプロセス/デバイス開発者とモデリング研究者とが一体となった開発体制が、また産官学が連携をとって幅広く研究・開発を進めていくことが必要となろう。

また、物理・化学モデルのパラメータは可能な限り少なくすべきであり、材料等により決まる物性的なものやデバイス構造等により決まる人為的なものが明瞭に分けられ、単なるフィティング・パラメータは最小限にすべきである。特に物性パラメータの抽出に対しては第一原理計算技術の寄与が化学反応の素過程解明とともに不可欠となる。また、各研究機関がこれらのパラメータをデータベース化して公開し、広く利用できる環境を作ることがモデリングの効率化や迅速化、シミュレーションの予測精度向上に必要である。

第一原理計算からは、結晶原子の電子構造などミクロな状態がモデル化されるが、一般のプロセス/デバイスシミュレーションで使われているマクロモデルとの間には大きな隔たりがあり、ミクロモデルの情報をマクロモデルにそのまま反映することは困難である。このためには両者間を繋ぐメゾスコピックモデルの研究・開発を進めることも必要であろう。

生産ラインや回路設計に対してはより高精度のシミュレーション結果が要求される。今後当分の間、モデルにフィティングパラメータが入ることは避けられないことを考えると、プロセス工程の変化に対して即時にパラメータをキャリブレーションできる環境が必要であり、このためにはプロセスデータを常時収集・分析を可能にするために、CIMとの結合が必要である。また、変化するテクノロジーに対して現在のモデルの妥当性評価、新しいモデルの検証、モデルパラメータの抽出が可能な TEG(test element group)の考案が必要である。

上流設計の分野では、その設計手法として、論理回路の自動生成、設計回路の再使用等が進むと考えられるが、テクノロジーの変化による微細化や高周波数化等の物理に起因する電気特性の変化は回路モデルやライブラリの形で反映されることが要請され、これらの設計環境へのデータ提供は高精度設計にますます重要な役割を果たすようになる。1998 年 3 月に EIAJ の EDA 技術委員会が作成したロードマップでは 2002 年には EDA と TCAD の結合を要請している。この実現のためには、世代毎に遅れることなく高精度の回路モデルや、ライブラリに含まれるパラメータを提供していける環境やツールの拡充が必要である。

プロセス/デバイスに対するシミュレーションは、今後、限られた専門家のみでなく、設計担当者までを含む広い分野の利用が要求されてくる。このためにはシミュレーション環境に応じた操作の容易性が必要となる。また、デバイス構造の複雑化から形状を忠実に表現するメッシュの自動発生技術、これに伴うメッシュ数の膨大化、大規模行列計算に対する高速計算技術が開発されねばならない。これらの計算技術に対しては、他産業で利用されている諸技術の導入を含め幅広い研究開発が望まれる。

2 - 10 - 3 技術要求・予測

(1) コスト削減、TAT 短縮効果予測

半導体プロセス開発の期間短縮にモデリング&シミュレーションシステムの果たす役割は非常に大きいものがある。同一仕様の LSI でも、先行した 1~2 社は高価で販売できるが、3 社目が商品化したとたんに価格は下落する。開発期間を短縮し、早期に市場に参入することは先行者利益の確保にとって、今なお有効である。

次にあげられるのが、開発ロット/マスク改訂数の削減による開発費の削減効果である。新規トータルプロセスを開発するには 2~3 年を要するが、この期間中の試作ロットを削減することにより大幅なコスト削減が可能である。現在でも、2 次元のプロセス/デバイスシミュレータで、プロセス開発初期のトランジスタや素子分離などに関する基本的な情報を得るためのロットは、ある程度削減されている。今後は、3 次元のシミュレーションを容易に可能にし、ESD など大規模 TEG で評価されてきた問題もシミュレーションで対応し、さらなる試作ロットやマスク改訂の削減量を大きくすることが要求されている。

また、シミュレーションと統計的解析を組み合わせることで工程バラツキを考慮した解析が用いられ、製造バラツキがあってもデバイス特性のバラツキを最小限に留め、目標スペックを満足できる最適工程条件を探索することが徐々に実用化しつつある。これにより、プロセス開発の期間短縮と工場導入初期から高歩留まりが実現され、新規プロセスの工場垂直立ち上げが可能となる。

さらに、今後開発が進められるバックエンドプロセスシミュレーションの効用として、開発の期間短縮と装置立ち上げ期間の短縮、歩留まり向上をあげることができる。成膜やエッチングの要素技術の開発工数を大幅に削減し、開発コストと開発期間を削減できる。装置の物理が分かり、装置が最適化された状態で工場導入可能となるので、装置の工場での立ち上げ期間が短縮できる。また、成膜やエッチングの計算精度が向上し、プロセス最適化による面内バラツキを低減できるため、トランジスタの基本的特性がそろい、歩留まりが向上する。また、成膜のメカニズムを掌握できるので、パーティクル発生等のメカニズム解析が進み、パーティクルの低減による高歩留まりが実現できる。

開発 TAT 短縮や開発コスト低減を予測するための指標として、モデリング&シミュレーションの利用によるロット数削減量を用いた。すなわち、新規の基本プロセスを開発するには、各工程の要素技術開発用ロットとトータルプロセス開発の条件振りロットがほぼ同等量プロセス処理されると仮定した。また、展開プロセスは基本プロセスの 4 分の 1 程度の開発ロット数量で開発できるものとし、要素技術開発用ロットは不要であると仮定した。開発 TAT 短縮については開発ロットはシリーズに工程をながれるわけではなく、平行に実験可能なので基本プロセスではロット数削減量の半分の割合とし、展開プロセスでは投入ロット数自体が少ないので平行性は小さく 5%程度削減とした。

最後に、設計分野ではモデリング&シミュレーションと EDA の連携により、開発当初からライブラリーの設計ができるので、プロセス・設計のコンカレント開発が可能になり、従来比約 6 ヶ月の期間短縮となり早期市場参入が可能となる。また、バックエンドプロセスシミュレーションによる工程バラツキの低減と統計的手法によるプロセスの目標スペック幅の最小化で、バラツキを見込むための設計マージンを低減でき、チップサイズ圧縮により、コストが削減される。

これらを図表 2 - 10 - 4、2 - 10 - 5にまとめた。

開発に対する効果

Technology node		250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
コスト削減	総合	15%	20%	25%	35%	40%	50%	50%
	基本プロセス	20%	30%	40%	50%	60%	70%	70%
	展開プロセス	50%	50%	60%	60%	60%	60%	60%
TAT短縮	要素プロセス	0%	0%	2%	10%	20%	30%	30%
	基本プロセス	10%	15%	20%	30%	40%	50%	50%
	展開プロセス	45%	45%	50%	50%	50%	50%	50%

工場展開での寄与

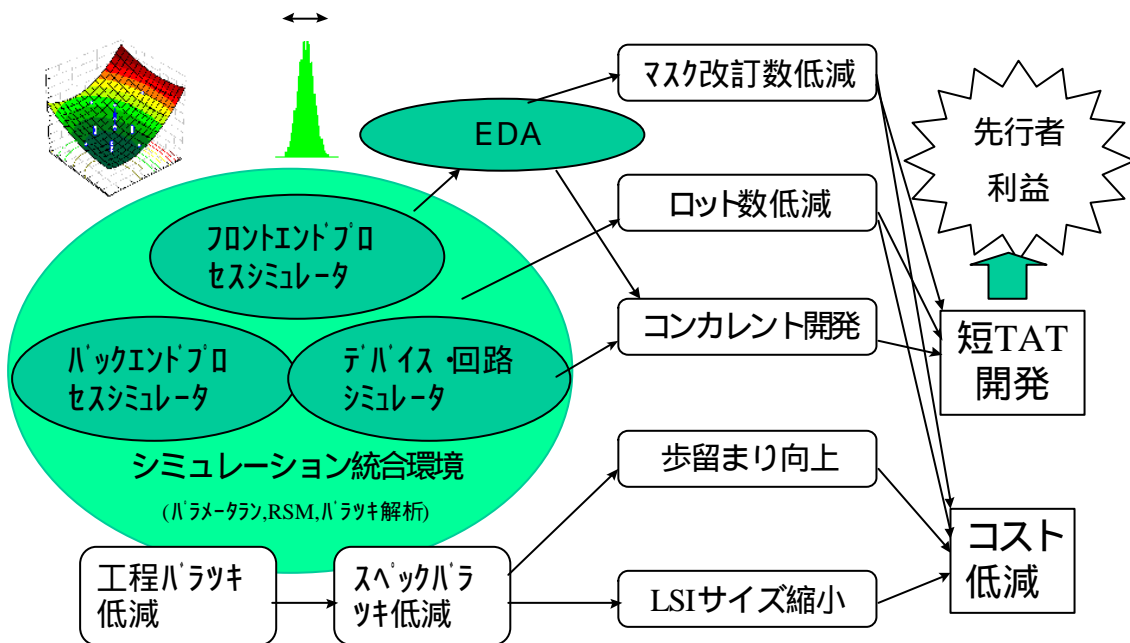
(バックエンドプロセスシミュレータで装置コスト・縮小的プロセス設備機能でT等の特性バラツキ削減で)

Technology node	250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
装置立ち上げコスト・期間			2%	10%	20%	30%	30%
プロセス導入期間短縮			10%	15%	20%	25%	30%
プロセス導入初期歩留向上(90%になるまでの期間)			3months	2months	1.5months	1months	0.5months

設計関連寄与

コンカレント開発	-	-	6months	6months	6months	6months	6months
チップ面積縮小 (当刻ルール内で設計マージン縮小による)			10%	15%	15%	20%	20%

図表 2 - 10 - 4 コスト削減、TAT短縮効果



図表 2 - 10 - 5 Modeling & Simulationと短TATコスト低減

(2) 使用目的別技術要求・予測(ユーザニーズの視点から)

モデリング&シミュレーション技術はLSIの開発および生産現場で使用されるが、図表2-10-6(その(1)~(4))には、その使用目的別の技術要求レベルを、テクノロジーノードを横軸にして示した。

使用する目的として、信頼性技術、設計技術、デバイス構造開発/プロセスインテグレーション、要素プロセス、装置開発、量産プロセスを取り上げた。

技術レベルの分類は、

- ・ 実用化に向けてモデリング/プログラム化する開発レベル
- ・ 傾向が計算でき、基本検討に使用できるレベル
- ・ プロセスやデバイス構造の最適化に高精度で使用できるレベル

の3段階とした。

□ : 大学へ委託
 ■ : デバイスメーカー以外からの参加必要

1 : MPU、 2 : メモリ、 3 : SOC、 空白 : 共通

■ : モデリング、プログラム化
 ▨ : デバイス開発の基本検討に使用(精度)
 ■ : 最適化、詳細検討に使用(精度)

使用目的	技術項目	Technology node						
		250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
信頼性技術	EM/SM寿命予測			▨	■	■	■	■
	酸化膜劣化モデル			▨	▨	■	■	■
設計技術 ライブラリ設計 (SPICE、C/R) メモリセル (SRAM)	デバイス+回路Sim. Worst Case設計			▨	■	■	■	■
	回路Sim. 用HC/EM/SM /TDDB	3		▨	■	■	■	■
	配線遅延モデル			▨	■	■	■	■
	LCR自動抽出			▨	■	■	■	■
	レイアウト→デバイス+回路Sim.			▨	■	■	■	■
	高速動作/電磁干渉のSim.			▨	■	■	■	■
	回路レベルのノイズSim.			▨	■	■	■	■
	マクロモデルによる超高速回路Sim.	3		▨	▨	■	■	■
	0.1um対応Tr.モデル			▨	▨	■	■	■
	チップレベルインターコネクトSim	1, 3		▨	▨	▨	■	■
チップレベルOPC			▨	■	■	■	■	

図表2-10-6 使用目的別技術要求(その1)

: 大学へ委託
 : デバイスメーカー以外からの参加必要
 1 : MPU、 2 : メモリ、 3 : SOC、 空白 : 共通
 : モデリング、プログラム化
 : デバイス開発の基本検討に使用(精度)
 : 最適化、詳細検討に使用(精度)

使用目的	技術項目	Technology node							
		250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm	
デバイス 構造 開発 / プロセス インテ グレイ ション	DRAMセル、 Flash	Latch-up、ESDのSim.							
		ソフトエラー							
		FGへのRead/write							
		実験計画法							
		デバイス構造設計							
		GDS-IIファイル読み込み							
		形状シミュレーション							
	SOC	簡易露光モデル							
		リテンション予測							
		リーク電流モデル							
		RSMでの最適化							
		アイソレーションノイズ							
									
									
単体Tr.レベル	DDモデル、格子温度、HD								
	MOS、SOI、短チャネル効果								
	逆狭/短チャネル効果								
	Tr./配線容量Sim.								
	MOSゲートリーク								
	MOS界面量子化								
	Tr.レベルのノイズSim.								
	Tr.レベルのHC劣化								
	インパースモデリング								
	粒子型デバイスSim.								
	粒子/揺らぎSim.								
	自動3次元メッシュ発生								
	高速マトリクス計算								
	バリスティック輸送現象								
ヘテロ接合モデル									

図表2-10-6 使用目的別技術要求(その2)

: 大学へ委託
 : デバイスメーカー以外からの参加必要
 1: MPU、 2: メモリ、 3: SOC、 空白: 共通
 : モデリング、プログラム化
 : デバイス開発の基本検討に使用(精度)
 : 最適化、詳細検討に使用(精度)

使用目的	技術項目	Technology node						
		250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
要素プロセス	ダメージ、アモルファス化							
	熱処理低温化							
	RTP/TED/非平衡拡散							
	シリサイト応力	1,3						
	モンテカルロイオン注入							
	RSMでのマスク最適化							
	3D外部モデル/電磁波解析							
	High-K膜							
	膜ストレス	2						
	表面反応モデル							
	反応係数データベース							
	レジストモデル							
	プラズマSim.							
	膜質Sim.							
	パーティクル発生Sim.							
	3Dプロファイル測定技術							
	2Dプロファイル測定技術							

図表2-10-6 使用目的別技術要求(その3)

: 大学へ委託
 : デバイスメーカー以外からの参加必要

1 : MPU、2 : メモリ、3 : SOC、空白 : 共通

: モデリング、プログラム化
 : デバイス開発の基本検討に使用(精度)
 : 最適化、詳細検討に使用(精度)

使用目的	技術項目	Technology node						
		250nm 1997	180nm 1999	130nm	100nm	70nm	50nm	35nm
装置開発	PVD装置Sim	Yellow	Yellow	Striped	Purple	Purple	Purple	Purple
	RTA装置Sim.	Yellow	Yellow	Striped	Purple	Purple	Purple	Purple
	CVD装置Sim	Yellow	Yellow	Striped	Striped	Purple	Purple	Purple
	プラズマエッチング装置Sim.	Yellow	Yellow	Yellow	Striped	Striped	Purple	Purple
	CMP装置Sim	Yellow	Yellow	Striped	Purple	Purple	Purple	Purple
	メッキ装置Sim	Yellow	Yellow	Striped	Purple	Purple	Purple	Purple
量産プロセス	RSM	Purple	Purple	Purple	Purple	Purple	Purple	Purple
	装置のRSM(実測データの)	Yellow	Yellow	Purple	Purple	Purple	Purple	Purple
	ウエハ/ロット間バラツキ	Yellow	Yellow	Striped	Purple	Purple	Purple	Purple
	プロセス依存の歩留り予測/解析	Yellow	Yellow	Striped	Striped	Purple	Purple	Purple
	仮想試作	Yellow	Yellow	Striped	Purple	Purple	Purple	Purple
	FAシステムとのリンク	White	Yellow	Yellow	Purple	Purple	Purple	Purple
CIMシステムとのリンク	White	Yellow	Yellow	Purple	Purple	Purple	Purple	
装置を含むフィードフォワードSys.	White	White	White	Yellow	Yellow	Striped	Purple	

図表2-10-6 使用目的別技術要求(その4)

(3) 解決策の候補技術(シーズの視点から)

前項の使用目的に対するニーズを実現するための技術の可能性あるいは技術選択肢を予測した。取り扱うべきモデルや対象物等について、テクノロジーロードに対しての変遷等を示した。また、対象技術の精度や効果についても予測した。

1) フロントエンドプロセス <図表2-10-7(a)>

フロントエンドプロセスに対応するモデリング&シミュレーションはイオン注入、拡散、酸化などの不純物分布計算とフォトリソグラフィ関連の計算が主となっている。

不純物分布はイオン注入、酸化時に発生する点欠陥と不純物の相互作用のモデル化が重要であり、TED(transient enhanced diffusion:増速拡散)モデル、不純物の一時的なクラスタリング(動的クラスタモデル)、点欠陥の拡散を抑制する{311}欠陥形成に関するモデル等の高精度化が必要である。また、転位ループが発生するような高濃度イオン注入時の拡散モデルも早急に必要になっている。

今後の微細化に対しては、サリサイド成長過程、新プロセス対応となるプラズマドーピングモデル、レーザアニールモデルやモンテカルロ拡散シミュレーション、更にはイオン注入の低エネルギー化、拡散の低温化等、従来経験のない領域でのキャリブレーションが新規に必要なになっている。

フォトリソグラフィシミュレーションは、光学系(光強度)とレジストのモデリング&シミュレーションに分かれる。

光強度は、光をベクトルで記述するベクトルモデル、収差の高精度モデル等があり、現時点ですべて完成度は高い。現在はOPCやレベソソ型位相シフトパターン検討に使用されるのみならず、チップ全体に対する適用も可能になっている。

微細化がさらに進と、EB X線リソグラフィが生産に使用される可能性もあり、モデリング&シミュレーションとして、事前に研究・開発をおこなう必要もある。

一方、レジストの露光と現像に関しては、レジスト内での反応モデルの完成度が不十分であり、今後の重要な研究テーマである。

2) バックエンドプロセス <図表2-10-7(b)>

バックエンドプロセスには、デポジション、エッチング、スパッタリング等が含まれる。

これらのモデリング&シミュレーションの困難さは、使用される非平衡低電離プラズマの複雑性、生成される反応種の基板表面での反応の複雑性、および、コンタクトホールのような $0.1\mu\text{m}$ クラスのサイズとチャンバ径のような 1m クラスのサイズを一緒に取り扱わなければならないという数値計算上の問題にある。

【デポジション】

デポジションは、熱プロセスとプラズマプロセスに分かれる。熱プロセスとしては金属材料成膜があり、近年は液体有機ソースを用いてプロセス開発がなされているが、それらの熱分解特性や反応速度定数についてのデータはほとんど知られていない。また各種有機材料が提案されているが、それらの毒性を含む物性が知られていない材料もある。コンピュータによるこれらの分子設計のためには、計算機の計算速度の大幅な高速化とメソスコピックモデルの開発が重要になる。

層間絶縁膜材料は、Low k 材料が要求され、プロセスはダマシンプロセスへと移行している。それにつれて従来のエッチング方式から CMP(chemical mechanical polishing:化学機械研磨)へと移行している。成膜方式としてはプラズマ方式、スピニングコーティング等がある。プラズマ CVD(chemical vapor deposition:化学的気相成膜)のモデリングではやはり反応速度などの基礎データ不足のためモデル精度の検証や実用化にはいたっていない。

【エッチング】

エッチングプロセスに対するモデリングは、プラズマ生成及び気相反応の部分はシミュレーションコードとしては完成しているといっている。もちろんプラズマ源としては、平行平板型、二周波を用いた平行平板型、マグネトロン型、ECR ICP および表面波プラズマ型等があるが、シミュレーションコードそのものは完成している。しかし、使用するガス系に対する基礎データ不足のため、まだ十分活用されていない。今後十分な基礎データ収集を行いプロセスモデリングに適応できれば、開発スピードは飛躍的に短縮されることが期待される。今後の課題としては表面反応のモデリングの研究・開発に注力すべきである。

モデリングに使用される基礎データ不足はプロセス開発にとって深刻であり、実験による基礎データの収集のみならず、コンピュータを用いた第一原理計算による基礎データの整備も急務である。

またデバイスの電気特性を劣化させている要因、たとえばシェーディングダメージは深刻であり、これらの理論解析およびモデリングは開発期間の短縮のみならず歩留まりの向上につながるため非常に重要である。

【スパッタリング】

スパッタリング装置のモデリングは、形状シミュレーションが主であった。その際にはエロージョンの形状が仮定され、無衝突近似で形状計算がなされていた。今後はコンタクトホールが深くなりアスペクト比が 10 以上になってくるものと思われる。このような高アスペクト比対応の装置が期待されているが、その解決策としてターゲットとウェーハの距離を十分長くして、ホール底での成膜速度を早くすることが試みられているが、この場合飛程が長くなるので、背景原子との衝突が無視できなくなるので、モンテカルロ法を用いる必要があるだろう。モンテカルロ法による形状シミュレーションは完成しているが基礎データとして、ステッキングプロバビリテイのデータの収集のためのモデリング&シミュレーションが必要になってくる。

【CMP】

平坦化技術としては、CMP が本格的に導入されるものと思われる。特に配線工程には Low k 材料が導入され、Al 配線から Cu 配線に移行するものと思われる。デイッシング等、部分的にはモデリングの検討がなされているが、これらの工程に対する本格的なモデリングは、まだなされていない。この工程に対するモデリングは金属汚染等のコンタミネーションの問題にも関連し、歩留まり向上のためにも実用レベルのモデリングが期待される。従来型の CMP の代替技術(例えばドライ型)が検討されるものと思われる。今後はこれらの技術のモデリングも必要になってくるものと思われる。

【洗浄】

配線工程では、CMP 工程後の洗浄が重要になってくるものと思われる。特に金属汚染等が問題に

なってくるので、この洗浄工程の正確なモデリングは歩留まり向上に直接つながり、重要になってくるものと思われる。また精度の高いモデリングによって、使用される薬液量等の最適化をおこなえば、ランニングコストの低減を図ることができ、この観点からもシミュレーション技術が期待されている。

3) デバイス・回路、パラメータ抽出 <図表2 - 10 - 7 (c)>

デバイスシミュレーションの用途としては、技術選択、試作条件絞り込み、デバイス最適化、感度/統計解析等が有る。技術選択に関する精度は少し悪くても良いが、その他の用途に関してテクノロジーノードに関係なくプロセス/デバイスシミュレーションを通して、回路シミュレーションにおけるトランジスタI-Vで5%以上の精度が求められる。

ホットキャリアやリーク電流のような信頼性関係のシミュレーションは原理的にも精度確保が難しく、定性的あるいはオーダーレベルの精度が限界である。

物理モデルとしては、ゲート酸化膜の薄膜化に伴い、トンネル電流のモデルが重要となる。逆に電源電圧の低下に伴い、将来的にはホットキャリアやキャリアーキャリア散乱の効果は減少する。また、チャネル長の微細化に伴い、散乱されずに通過するキャリアが増え、速度オーバーシュートや離散不純物分布が重要となる。

輸送モデルとしては、現在の流体モデルであるドリフト - 拡散モデルやハイドロダイナミックモデルが計算時間や解の安定性の点から使われ続けるであろう。ただし、高精度化のため流体モデルに用いられるパラメータのキャリブレーションは必須となり、その意味でモンテカルロ法や量子効果モデルが一般的に使われる。また、高精度な計算やモデル化のために直接モンテカルロや量子効果モデル、第一原理計算も長い計算時間にもかかわらず使われるであろう。

通常の流体モデルの計算時間はインタラクティブに使うために、I-V 特性一本当たり数分以下で計算することが求められる。LSIの大規模化に伴いトランジスタ1個ではなく、全体としても高精度な電気特性予測が必要であり、この意味で数十から数百トランジスタのIPレベルの配線まで含めた高精度計算をEDAとデバイスシミュレーションの境界領域で実現する必要があり、デバイス・回路混合シミュレーション技術の研究・開発が大切になる。

回路シミュレーション用トランジスタモデルは、LSI設計の回路計算において回路性能を評価するに不可欠なものであるとともに、プロセスの変化をトランジスタ特性の変化として反映し、プロセス開発と設計開発を結ぶ共通言語とも言える重要な位置付けにある。

一般にトランジスタモデルはBSIM3v3のように、トランジスタの物理現象を定式化した解析式で表されているが、これらのモデルにおいては異なる動作領域を異なる式で表現しており、これらの間を数学的にパラメータを用いて不連続を除去している。このためモデルパラメータの数が増加し、パラメータの抽出に不確定な要素を入り込ませる要因となっており、フィッティング精度やパラメータ抽出を困難にしている。

今後のトランジスタの微細化に対しては、ゲートトンネル電流や量子効果等の新たな物理現象を忠実に表現するための新しいモデルが必要となる。このために従来のキャリアのドリフト項のみの定式化だけでなく、キャリアの拡散項を含めること、さらにキャリアエネルギーを考慮したhydro-dynamicsベースのドリフト - 拡散に基づくモデリングが必要となる。また、モデルは物理現象を忠実に表現していること、パラメータが少ないこと、パラメータの抽出手順が明確なこと、将来デバイスに対しても予測可能なことが望まれる。

一方、回路シミュレーションにおいて、トランジスタ特性を忠実に表現しておれば良い、と言う立場に

立てば動作電圧と電流または容量の関係をテーブル化し、任意の動作点に対する素子特性をテーブルルックアップにより、または補間処理により取り出すテーブルモデルも選択肢となる。このためには、短時間のテーブルルックアップおよび補間誤差の少ないこと、また素子特性からのテーブル作成が容易な高度なテーブルモデルの開発が必要となる。

回路シミュレーションでは、トランジスタや容量のモデルが実際の素子特性をいかに忠実に表現しているかが回路設計精度を左右することになるので、素子特性からモデルへのフィッティング精度が重要になる。要求されるフィッティング精度はどの世代においても概ね同じ値であるが、モデルの内容が高度化して行くのでこの値を実現することはテクノロジーノードと共に困難になって行くものと思われる。

さらに、重要なトランジスタや容量はデバイスシミュレーションで直接計算し、トランジスタモデルやテーブルに焼き直さない、デバイス・回路混合シミュレーションが、精度確保のために重要になる。

トランジスタモデルの使用においてはパラメータ抽出が重要な作業となるが、抽出手順が明確になっているか否かがフィッティング精度、抽出時間に影響する。今後プロセスばらつきを考慮した設計が歩留まり向上のキーとなることから、プロセスばらつきの情報をどのように引き出すかが重要なポイントになる。トランジスタの微細化とともに新しいモデルも導入されて来ると思われるが、これらの採用に対する評価基準を持つために、モデル評価、パラメータ間の感度評価、プロセスばらつき分布を評価する標準的な評価 TEG の提案が望まれる。

4) 信頼性 <図表2 - 10 - 7 (d)>

信頼性に関するモデリングはデバイスの信頼性を左右する種々のレベル(材料、プロセス、デバイス、回路)において、デバイス設計のブレークスルーとなりうる物理的根拠を与えるものでなければならない。当然、要素技術の開発フェーズと同期する必要がある。中でも重要なのは、絶縁膜、配線、プラズマダメージ、回路設計マージンのなさなどの信頼性疎外要因に対するモデリングである。絶縁膜は TaO、BST などの新材料導入時期、配線はバリアメタル・層間絶縁膜の材料の組み合わせとそこでの EM / SM のメカニズム、プラズマダメージは装置依存性に加えてデバイス構造の影響、回路設計は種々のパラッキ要因の統計的相関がキーポイントであり、タイムリーなモデル構築が重要である。

5) 計算機技術、マトリクス計算、メッシュ発生、コンピュータ性能、シミュレーション環境

<図表2 - 10 - 7 (e)>

TCAD の短 TAT 化のために、テクノロジーノード毎に単体トランジスタの計算時間を約 1/6 に短縮させる必要がある。計算時間の短縮のためには、離散化誤差の低減、非ドロネー分割数の削減、グリッド数の削減に配慮したメッシュ発生技術、高速行列解法の技術と共に、計算機性能の向上が必要である。また、130nm 世代からモンテカルロ法による計算が必要になるため、計算機性能の急激な向上が望まれる。

プロセス条件の最適化には、計算機性能の向上や計算手法の改善だけではなく、JOB の並列化技術が必須になる。さらに、統計解析では、実験計画法の新技术が必要である。ラッチアップ等の現象は、3次元の広範囲の領域を解析する必要があり、メッシュ発生技術とともに、超大規模行列を確実に解く技術が必須である。さらに、デバイス・回路混合シミュレーションには、並列処理技術が必要である。

計算可能な対象や関係する技術範囲が CIM や、設計作業用のシステム、より微視的または巨視

的階層のモデルやシミュレータ等に拡大するにつれ、問題解決過程で使うソフトウェアと、処理すべきデータ量は増加し多様化する。その結果、データ収集・変換や複数のデータやソフトを有機的に結合させるための準備作業や操作時間が、増大し、また作業内容自体も複雑化すると考えられる。従って、データ収集・変換処理や、データとソフトウェアの結合作業を効率化し関連するデータを共有・改訂管理を、効率的かつ容易に実現出来る計算機上の操作環境が今後重要になる。具体的には、操作性の良い GUI の充実だけでなく、ファイル変換のインテリジェント化や簡便で強力な処理言語も必要になり、ソフトウェアやデータを扱う計算機環境の整備が重要になる。作業環境として目標とすべき効率を表す指標として、表には新世代プロセス用モデルとそのパラメータの較正作業に対する所要時間を挙げたが、この作業は実際には工程のほとんど全モデルに対する較正作業から、一要素工程に対する較正作業までであるので、目標とする所用時間に幅を持たせた。

Technology node 年	180nm 1999	130nm 2002	100nm 2005	70nm 2008	50nm 2011	35nm 2014
フロントエンドプロセスモデル/シミュレーション (Sの中)						
プロセスシミュレーション (用途 :Tr構造/メモリセル構造/素子分離構造/ESDラッチアップ対策構造最適化等) 2次元、3次元 (イオン注入、拡散、酸化、シリサイド)						
モデリング	イオン注入	解析モデル、粒子モデル [] プラズマドーピングモデル				
	拡散	TEDモデル、動的クラスタモデル、(311)欠陥モデル アモルファス、ダメージ、転位ループモデル [] モンテカルロ拡散シミュレーション [] レーザアニールモデル				
	素子分離	粘弾性モデル/応力モデル				
	ゲート絶縁膜形成	[] 極薄絶縁膜形成モデル				
	シリサイド	シリサイド成長モデル/シリサイド応力モデル				
	精度	イオン注入・拡散後のXj誤差 (SIMS)	10%			
	Vth短 狭チャネル効果の誤差	35mV	30mV	25mV	20mV	
	素子分離形状・シリサイド形状 (SEM)	10%				
効果	開発 TAT短縮 (基本プロセスおよび展開プロセス) コンカレント設計 [設計着手前倒し (Tr./容量モデルパラメータの早期抽出)]					
リソグラフィシミュレーション (用途 : リソ条件 (NA, 等) /OPC/PSM/パターン最適化、レジスト改良支援等) 2次元、3次元 (レジスト中の光強度、レジスト形状)						
モデリング	光強度	高NAモデル、変形照明モデル、ベクトルモデル、5収差モデル				
	露光 現像	化学増幅型レジストモデル、非平坦露光モデル [] PPCモデル [] TSI露光 / 現像モデル、化学増幅 (VUV,EB,X線)モデル				
	精度	レジスト Top View及び断面 (SEM)	15%	10%		
効果	リソグラフィ技術開発期間短縮					
PPC: Process Proximity Correction TSI: Top Surface Image VUV: Vacuum UltraViolet						

図表2 - 10 - 7 (a) 技術課題別技術選択肢 [フロントエンドプロセス]

Technology node 年	180nm 1999	130nm 2002	100nm 2005	70nm 2008	50nm 2011	35nm 2014
バックエンドプロセスモデル/シミュレーション (S 以上)						
デポジション/エッチング/スパッタ装置シミュレーション						
モデリング	プラズマ	簡易モデル 輸送方程式(2D) (3D) モンテカルロ(2D) (3D)				
	化学反応	データベース(バルク、表面の素過程反応速度など) 第一原理計算 素過程反応速度 メゾスコピックモデル マクロモデル				
	流体	粘性流体				
	熱伝導	熱伝導方程式				
	熱CVD	SiH ₄ 系(第一原理計算) Ti系(第一原理計算) 有機系(付着係数) (第一原理計算) 微量添加ガスの効果				
	プラズマCVD	SiH ₄ 系(第一原理計算) Cl系(第一原理計算) CF系(実験値) (第一原理計算) 微量添加ガスの効果				
	精度	デポエッチ/スパッタレート	20%			10%
	面内均一性	20%			10%	
形状計算						
モデリング	形状変化 (含むパターン疎密依存性、埋め込み性)	等濃度表現モデル(変形セルモデル)、レベルセット法、図形処理モデル モンテカルロ				
	表面反応	モンテカルロ 第一原理計算				
	表面拡散	解析式 第一原理計算				
	リフロー	粘性流体				
精度	形状予測(断面SEM, etc.)	20%	15%		10%	
CMP(応力、化学反応)						
モデリング	層間絶縁膜(Low k)	基礎検討	半経験的モデリング(実験式)			
	メタル(Cu, Al)	物理・化学メカニズム考慮				
	代替技術(ドライなど)	基礎検討	半経験的モデリング(実験式) 物理・化学メカニズム考慮			
洗浄(化学反応)						
モデリング	層間絶縁膜(Low k)	基礎検討	半経験的モデリング(実験式)			
	メタル(Cu, Al)	物理・化学メカニズム考慮				
	代替技術	基礎検討	半経験的モデリング(実験式) 物理・化学メカニズム考慮			
効果	歩留まり向上、装置開発加速、マスク改訂回数の削減					

図表2-10-7(b) 技術課題別技術選択肢 [バックエンドプロセス]

Technology node 年	180nm 1999	130nm 2002	100nm 2005	70nm 2008	50nm 2011	35nm 2014	
デバイス・回路 パラメータ抽出							
デバイスモデル/シミュレーション							
モデリング	輸送モデル	流体系	Drift Diffusion Model (DD)				
		粒子系	Hydrodynamic Model (HD)				
	物理現象モデル		Monte-Carlo				
			QM(含Wigner方程式)				
		重要度：大 小	衝突電離、反転層実効移動度 速度オーバーシュート() 速度オーバーシュート() キャリアキャリア散乱() ホットキャリア注入() 直接トンネル電流() 直接トンネル電流() ゲート絶縁膜欠陥生成() ゲート絶縁膜欠陥生成()				
計算方法	ジョブの並列化 その他新規手法/アルゴリズム						
精度	V _{th}	研究フェーズ	20%				
		開発フェーズ	10%				
		量産フェーズ	5%	4%		3%	
効果	I _{off} ゲート電流		100%	70%		40%	
			開発TAT短縮 (基本プロセス及び展開プロセス) コンカレント設計 設計着手前倒し (Tr/容量モデルパラメータの早期抽出)				
デバイス・回路混合シミュレーション							
モデリング	解析手法	デバイスと回路の混合動作解析可能モデル (デバイス/回路シミュレーションの一体化) 伝送線路、電磁界解析モデル					
	回路モデル	インターコネクトモデル(LCR、クロストーク) 基板ノイズモデル					
	解析領域	トランジスタ数個 デバイスシミュレーション IP 1個 (トランジスタ数十個+回路素子数十個) デバイス+回路混合シミュレーション IP 1個 (トランジスタ数百個+回路素子数百個) 新規手法					
	効果	プレス i 段階での設計情報取得 マスク改訂回数の削減、設計TATの短縮					
トランジスタコンパクトモデル							
モデリング	トランジスタ物理モデル	ドリフト	ドリフト・拡散 HD Based修正ドリフト・拡散				
	トランジスタテーブルモデル	高度テーブルモデル					
	モデル対象	I _d , I _{bk} , C _R (Tr.) トンネル電流					
Fitting 精度	I-V特性 (相対誤差)	5%					
	I-V特性 (絶対誤差)	2%					
	リーク電流 (弱反転電流、ゲート電流)	95%	50%		10%		
	寄生CV特性 (オーバーラップ、フリッジ容量)	5 ~ 10%					
	真性MOS CV特性	< 7%	< 6%		< 5%		
効果		一つの式で全領域をカバー		高電場現象を含む定式化が可			
誤差の定義： $I-V \text{ (相対誤差)} = \sqrt{\frac{1}{n} \sum_n \left(\frac{I_{\text{meas}} - I_{\text{model}}}{I_{\text{meas}}} \right)^2}$ $I-V \text{ (絶対誤差)} = \sqrt{\frac{1}{n} \sum_n \left(\frac{I_{\text{meas}} - I_{\text{model}}}{I_{\text{meas.max}}} \right)^2}$ n : 測定点							
トランジスタパラメータ抽出							
モデリング	パラメータ抽出法	手順明確化、最適化、全バイアス、複数形状、温度、プロセスばらつき抽出可					
	パラメータ間感度、ばらつき分析	評価用共通TEG					
効果	モデル精度・抽出手順の評価実現、デバイス・回路設計者の相互理解手段提供						

図表2 - 10 - 7 (c) 技術課題別技術選択肢 [デバイス・回路、パラメータ抽出]

Technology node 年	180nm 1999	130nm 2002	100nm 2005	70nm 2008	50nm 2011	35nm 2014
信頼性モデル/シミュレーション						
絶縁膜信頼性						
モデリング	対象物・対象構造	SiO ₂	SiON膜	Ta ₂ O ₅ /BST		
	物理・化学モデル	物理・化学メカニズムを考慮した本格モデリング 欠陥の原子構造/欠陥の生成機構/ホロンの膜中増速拡散 破壊時伝導機構/構造揺らぎと膜中伝導機構の揺らぎとの統計的関連性/ ダイレクトネリング/ソフトブレイクダウンの伝導機構/ホリソリ粒界関連揺らぎ/ 界面粗さ揺らぎ				
	解析手法	絶縁膜中電子状態解析への密度汎関数法適用 キャリア捕獲準位発生過程の第一原理解析				
精度	TDDBのモデリング絶対誤差	100%	50~100%	50%	20%	
	デバイス特性の経時変化予測誤差	50%	20%			
効果	絶縁破壊/ソフトブレイクダウンの伝導機構解明・酸化膜欠陥の原子構造と生成機構の解明による開発TAT短縮 ツールを用いたプレSi段階での高誘電体膜探索					
配線信頼性						
モデリング	対象物・構造 (配線/バリア膜積層構造)	Al/Ti/TiN デュアルダマシン構造				
	対象特性 (応力・歪み、電気的影響等)	物理・化学メカニズムを考慮した本格モデリング EM/SM チップ全体の電流分布 周波数分布 ポイドの挙動				
	物理・化学モデル	Stress Backflowを考慮、界面構造を考慮した表面拡散モデル 方位・配向性依存モデル				
	解析手法	MD/MC	MD/MC/統計的寿命解析			
精度	ポイドの生成・運動	100%	50%	50%	20%	
	統計的寿命予測誤差	100%	50%	20%	10%	
効果	バリアメタルと層間絶縁膜の材料の組み合わせの最適化 プレSi段階での配線信頼性起因の配線性制約の生成					
プラズマダメージ信頼性						
モデリング	対象物・構造	プラズマ中の多層配線構造				
	物理・化学モデル	物理・化学メカニズムを考慮した本格モデリング チャージトランスポートモデル/チャージアップと絶縁膜劣化の相関性モデリング				
	解析手法	イオンシースを含む領域に対する輸送方程式/MC				
精度	表面電位時間応答計算の誤差	100%				50%
	チャージアップ歩留計算誤差	100%				
効果	プラズマダメージの影響予測と抑制、装置開発加速、マスク改訂回数削減					
デバイス・回路レベルの信頼性						
モデリング	対象物・構造	メモリーデバイスのソフトエラー CMOSロジックデバイスのソフトエラー 数個の隣接デバイス/ESD対策用保護素子				
	対象特性	ホットキャリア注入 α線ファネリング特性/CMOS耐圧 耐圧/基板ノイズ/ラッチアップ時の動特性 高エネルギー線によるS-D貫通特性/デバイスノイズ				
	物理モデル	寄生バイポーラTr過渡応答モデル 高エネルギー線による電子正孔対生成モデル デバイス間結合モデル/インパクトイオン化モデル 高エネルギー線のモデリング/デバイスのノイズ源のモデリング				
	解析手法	MC/2次元高精度デバイス解析 デバイス・回路混合シミュレーション手法/DDモデルの3次元高速解析手法 格子温度を考慮したデバイス・回路混合シミュレーション手法				
精度	2次元での誤差	100% ^(*)	信憑性小	適用不可		
	3次元での誤差	100%	50%	20%		
効果	プレSi段階での設計マージン算出によるデバイス構造改良、設計基準作成への寄与					

(*)ホットキャリア注入量、耐圧のみ(2次元構造のみ)

図表2-10-7(d) 技術課題別技術選択肢 [信頼性]

Technology node 年		180nm 1999	130nm 2002	100nm 2005	70nm 2008	50nm 2011	35nm 2014	
計算技術、マトリクス計算、メッシュ発生、コンピュータ性能、シミュレーション環境								
計算機性能(1CPU当たり) [MFLOPS]								
	流体モデルの計算	80	500	3000		8000		
	粒子モデルの計算	80	1000	4000		8000		
単体 Tr. の計算								
モデリング 効果	メッシュ	離散化誤差低減・グリッド数削減・非ドロネ分割削減						
	行列解法	高速行列解法						
	2D・フロントエンド・簡略計算(*1) [分]	2	0.3(18秒)	0.04(2.4秒)		0.015(0.9秒)		
	2D・デバイス・簡略計算(*2)(電圧条件50) [分]	1.5	0.2(12秒)	0.03(1.8秒)		0.01(0.6秒)		
	3D・フロントエンド・簡略計算 [分]	90	15	2		0.6(36秒)		
	3D・デバイス・簡略計算(電圧条件50) [分]	60	10	1.5		0.4(24秒)		
	2D・フロントエンド(*3) [分]	20	3	0.4(24秒)		0.15(9秒)		
	2D・デバイス(*4)(電圧条件50) [分]	15	2	0.3(18秒)		0.1(6秒)		
	3D・フロントエンド [分]	900	150	20		6		
	3D・デバイス(電圧条件50) [分]	600	100	15		4		
プロセス条件の最適化(開発)								
モデリング	並列処理(JOBの並列化)	5		10		20		
計算規模	最適化のパラメータ数	5	10			15		
	計算条件数	50	100			150		
効果	TCADのTAT [日]	3		2		1		
	(開発ロット試作のTAT [日])	(60)						
統計解析(RSM作成)(研究・開発)								
モデリング	並列処理(JOBの並列化)	5		10		20		
	実験計画法		実験計画法の効率化					
計算規模	因子数	5	7			10		
	計算条件数(中心複合計画、Box-Behnken計画)	59	62			170		
効果	TCADのTAT [日]	3		2		1		
ラッチアップ/ESD/ソフトエラー/メモリエル解析(研究・開発)								
モデリング	メッシュ	離散化誤差低減・グリッド数削減・非ドロネ分割削減						
	行列解法	超大規模行列の安定解法、行列解法の並列処理						
計算規模	3D・グリッド数 [M]	1	1.5	2	2.5	3	3.5	
効果	TCADのTAT [日]	5						
デバイス・回路混合(研究・開発)								
モデリング	並列処理		トランジスタの並列処理					
計算規模	トランジスタ数(デバイスSimu.)		5	10	15	20	25	
効果	TCADのTAT [日]		5					
シミュレーション環境								
	複数ツールを使う解析のツール類の設定・準備の所要時間 [日]	7	4	2		1		
パラメータ抽出/キャリブレーション								
	新世代プロセス用モデルの較正時間 [日]	14	7	7	4		3	
	MOSFETモデル抽出(L,W依存フルセット) [日]	4	3	2		1.5		

(*1):Fair Model、(*2):1キャリア DDモデル、(*3):点欠陥モデル、(*4):HDモデル

図表2-10-7(e) 技術課題別技術選択肢 [計算機技術、マトリクス計算、メッシュ発生、コンピュータ性能、シミュレーション環境]

(4) 他分野への依存性

モデリング&シミュレーションは半導体産業をささえる他の技術分野と密接なかかわり合いを持っている。もとより、モデリング&シミュレーションを半導体産業の中で、数値計算的な手法を用いて実際の対象物を動作させることなく予測する技術のことであると位置づけるならば、数理科学的な理論付けのできる分野には一経済性を度外視すれば、ことごとく、少なくとも原理的には適用可能ということができる。

しかし、実際の場面で役立つためには、関連する他分野からの手助けを必要とする。中でもほぼ一方的に依存しているのは分析技術(モンテカルロイオン注入シミュレータのSIMS測定精度向上への寄与は例外)である。一方、むしろモデリング&シミュレーションが貢献すべき分野としては、製造工程に係わる分野と設計工程に係わる分野がある。これらに貢献するためには、前提として、これらの分野からのモデリング&シミュレーションへの入力情報を期待する必要がある、これらもモデリング&シミュレーションとしては要求に掲げたい。以下、分析技術、製造技術、設計技術の3つの各々について、モデリング&シミュレーションからの要求を提示する。図表2-10-8には、これらの関連を模式的に示した。

1) 分析技術への依存性

モデリング&シミュレーションの技術開発のためには、様々な分析・評価技術によって実際の素子の構造/特性等を測定し、シミュレーション結果と比較することによって精度検証を行うことが必要である。図表2-10-9に、そのような精度検証のための分析技術への要求を示す。さらに、分析・評価の精度が不足する場合には、インバースモデリングにより最終的なシミュレーション精度を向上させる。

不純物分布の分析は、シリコン基板内部の不純物拡散シミュレーションの精度検証に必要であり、1次元のSIMS(secondary ion mass spectrometry)分析が従来使われてきた。基板最表面や界面の測定精度に問題はあがるが、概ね必要な精度が得られている。一方、2次元の不純物分布の高精度な測定技術はこれまでほとんど存在していなかったが、走査型プローブ顕微鏡等の技術がめざましく進展しており、不純物拡散シミュレーションの精度検証への利用が期待されている。さらに、3次元の不純物分布測定も望まれている。

イオン注入点欠陥分布の分析は、TEDと呼ばれる不純物拡散過程のシミュレーションの検証に有効である。また、高い空間分解能で応力分布を分析できれば、酸化や不純物拡散のシミュレーションの検証に役立つものとなる。

ゲートポリ/絶縁膜などの形状(線幅、膜厚)や特性(抵抗、誘電率)の分析は、トランジスタのI-V特性シミュレーション、回路シミュレーション精度検証に必要である。また、素子のリーク電流に影響を及ぼす基板内残留欠陥の評価のためには、TEM(transmission electron microscopy:透過電子顕微鏡観察法)等を用いて欠陥を直接観察する手法も必要であるが、キャリアライフタイムを精度良く評価することによって、素子特性への影響を知ることができる。

このような分析技術によって、モデリング&シミュレーション技術の精度検証が可能となるが、実験/製造条件のばらつきにも留意する必要がある。例えば、イオン注入機の加速エネルギー等の値やばらつきが、装置ごとにまたは時期ごとにどのように異なっているかという情報を不純物分布の分析で逐一行うことは非効率的である。TEG等によってこのような装置のばらつきを求めるのがよいと考えられる。

2) 製造技術への依存性

製造工程への関与は、製造工程全体を受け持つ CIM 技術への関与と、製造工程の個々の要素技術への関与に大別できる。

現在の CIM は製造工程をスムーズでかつ経済的な運用の観点で最適化することを目的としており、設備稼働率と部材手配の最適化を目的としている。そのために、運転の仕方、メンテナンスのための設備の休止、実際の物の流れ、設備の配置の最適化による物の流れの合理化、不慮の事故への対応などが考慮すべき入力パラメータとなっているが、これらのパラメータは与えられた定数であり、それらの決定要因への分析は行わないのが通例である。

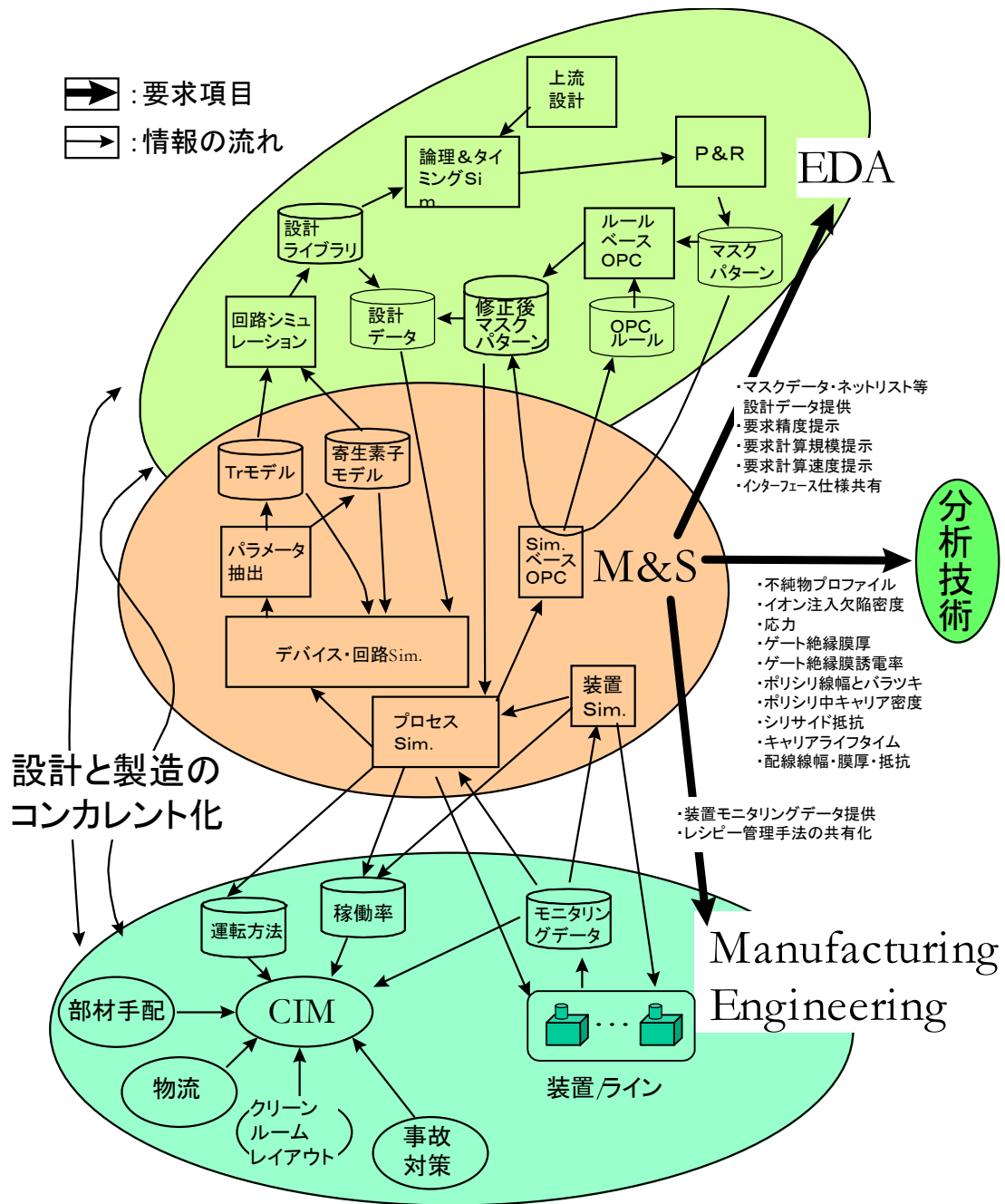
ここへのモデリング & シミュレーションの新たな寄与として、これらのパラメータを決める物理的要因をシミュレーションによって分析することが考えられる。例えば、メンテナンス頻度は一因として装置の内部の汚れによって決まる。装置シミュレーションを駆使した装置内の反応生成物の付着量とその分布の定量的予測により、メンテナンス頻度を決定できるはずである。プロセス条件が変わればメンテナンス頻度も変わるべきであることは当然である。プロセス変更の影響も、事前検討することができる。現在の設備の運転は、なるべく少ない運転条件を維持し、変化しないことをモニタすることによって、その工程の品質を維持しているが、今後は、工程の可変性が重要となり、短期間に運転条件を変更できることが、混流ラインのスムーズな運転には必要となろう。高精度なプロセスシミュレーションおよび装置シミュレータはこの点に大いに貢献できるポテンシャルがある。

装置シミュレーションの精度検証のためには、一定の標準化された仕様に基づく装置モニタリングデータが必要である。また、シミュレーションされた諸工程と実際の工程との比較するために、両者で使用される工程レシピを共通化する必要もある。

3) 設計技術への依存関係

設計への寄与には必然性があり、設計サイドからは、モデリング & シミュレーションへの期待が強い。それは、微細化の進展に従って、構成要素間の物理的な相互作用が見え隠れし、もはや実物の形状、相対的な配置関係がどのようなものになっているかを考慮せずに純粹に論理的に LSI の論理動作だけを設計することが到底不可能になり、むしろ、これらの物理的な制約を設計工程のできるだけ早い段階で考慮することによって上流設計の確度・適切性を向上させる必要が出てきたからである。

モデリング & シミュレーションの関与できる切り口は 3 つある。1 つめは伝統的なパラメータ抽出技術、2 つ目は OPC 技術、そして 3 つ目は 3 次元の寄生素子特性の抽出と設計へのフィードバック技術である。これらの寄与をなすためには、設計サイドからの情報の提供が不可欠である。特に、形状シミュレーションや寄生素子モデル抽出のためのマスクパターンデータ、さらにミクストモードシミュレーションのためのネットリスト情報の提供を要求する。ライブラリ作成のような、オフライン計算でよいのか、スーパーコンピュータを配した in-situ(インシチュ:その場)の超高速バックエンド計算(オンライン計算)が必要なのか、モデリング & シミュレーションへの期待の内容(要求精度、要求計算規模、要求計算速度)の提示も、期待に的確に答えるために要求したい。



図表2-10-8 他分野との関連

Technology node		180nm	130nm	100nm	70nm	50nm	35nm	
年		1999	2002	2005	2008	2011	2014	
分析								
不純物分布	1D profile	空間分解能(nm)	4	3	2	1.5	1	0.7
		濃度	10%					
	2D profile	空間分解能(nm)	10	7	5	4	3	2
		濃度	20%					
3D profile	空間分解能(nm)		15	10	7	5	3.5	
	濃度		40%					
イオン注入点欠陥	1D profile			50%		30%		
応力	2D profile	空間分解能(nm)	100	70	50	40	30	20
		応力値	50%		30%			
線幅	gate polyS	平均値(nm)	4	3	2	1.5	1	0.7
		(nm)	2	1.5	1	0.7	0.5	0.4
	配線	5%						
膜厚	gate絶縁膜(酸化膜換算 nm)	0.15	0.1	0.08		0.05		
	配線, 層間膜	5%						
誘電率	gate絶縁膜, 層間膜	5%						
抵抗	シリサイド, 配線	5%						
キャリアライフタイム		10%						

図表 2 - 10 - 9 モデリング&シミュレーションの精度検証のための分析・評価技術への要求

2 - 10 - 4 現状および今後への提言

(1) 現状分析

1) 現状

半導体産業は、半導体メーカー、装置メーカー、材料メーカー、真空機器・部品メーカー、計測器メーカー等を含む巨大な産業となっている。多くの企業による切磋琢磨の結果、技術が急速に進歩し、ここ数年で半導体関連ビジネスの環境が大きく変化している。

その変化の根底にあるものは、製造装置や設計システムの高性能化である。その結果、半導体メーカーが保有していたノウハウや技術が、製造装置や設計システムの中に包含されるようになってきた。従来、半導体メーカーが保有していたノウハウや技術の多くが、差別化の要素ではなくなってきた。

一方、本ロードマップにおいて指摘されているように、21世紀においても半導体製品の構造は微細化が進むことが予測されている。

ところが、100nm レベルの微細なデバイス構造を持つ最先端デバイスの設計・製造では、従来の物理的常識では容易に理解できない現象(例えば、拡散温度が低い方が不純物が拡散し易い)が現れるようになり、これが開発上の大きな障害の一つとなっている。しかも、構造が微細になると計測や観察も難しくなり、開発が手探り状態になってしまう。

海外においては、技術の骨格がノウハウからサイエンスへと移行しつつある、という認識が定着してきた。

2) 課題

このような状況の変化に対処し、製造コストを削減し、TAT を短縮のするための一つ的手段として、科学的 / 計数的な開発手法のベースとなるモデリング&シミュレーション技術の高度化を図り、それを上手く活用する必要性が高まって来た。

100nm レベルのデバイス構造に適用できる物理・化学モデルやメッシュ発生アルゴリズムなどは、かなり基礎的な研究が必要である。さらに、今後の LSI の開発に対してのモデリング&シミュレーションの寄与を考えると、従来あまり実施されていなかった製造装置のチャンバー内での反応やプラズマのモデリングの研究・開発にも注力する必要がある。これらの研究開発を企業の努力だけで実施することは不可能であり、大学の全面的な参加が重要な要件となる。

モデリングにより得られたモデルは、実用化に向けての妥当性や性能を検証しなければならない。検証は、実際の LSI や TEG の測定や分析結果と、モデルに基づく計算結果とを比較して行う。このための検証デバイスを製造するラインが必要となる。従来、各デバイスメーカーが検証用の LSI や TEG を設計・試作し、実用精度を向上させるためのモデルパラメータの抽出も行ってきた。しかし、最先端デバイスでは試作コストが高くなり、現在の体制を維持してゆくことが困難になってきた。一方、大学においても、デバイス試作は設備コストと維持費、ライン運営の面で、現行体制では実現不可能である。

技術の骨格がサイエンスに移行するにつれ、技術者にとっては、モデルなどの理論面でのより深い知識が必要になってくる。技術でリードするためには、特に重要な要件である。

モデリング&シミュレーション技術の開発は、とりもなおさずサイエンスレベルの知識・能力を磨くことであるため、今後を担う技術者の育成に最も効果が期待できる。

しかし、我が国の現状では、教育まで視野に入れた効果的なモデリング&シミュレーション技術の研

研究・開発体制は、大学を含めても極めて不整備である。

(2) 目標に到達するための提言

1) 解決策

今後の半導体産業の競争力強化にとっての要となるモデリング&シミュレーション技術は、モデリングとアルゴリズムの研究・開発という、極めて知識集約性の高い業務が要求される。また、基礎実験で基本データを収集しながら、実際の生産ラインでその精度や性能を評価しなければならず、最先端の製造ラインへのアクセスも必要となる。

さらに、モデリングは、基礎研究や応用研究を横系とすれば、実用目的を縦系としてこれらを統合あるいは融合しなければ、実用上十分な精度や性能を持った技術にならない。

現在、このような幅広い活動を実施できる環境は整っておらず、技術開発の基本的なネックになっている。基礎から応用までの幅広い領域で、しかも高度の知識集約業務が遂行可能な環境が必要であるため、従来の企業の開発部門と大学の機能の一部を一体化した機能を持つ環境が必要である。また、研究・開発テーマは学術的色彩が濃く、殆ど全てがプリコンペティティブであり、成果を公開する必要があることから、産官学の協力体制を構築して研究・開発を推進することが妥当である。

モデリング&シミュレーション技術の研究・開発活動のためには下記の機能が必要となる。

(a) 最先端の LSI が作れるライン、評価装置:

フロントエンドプロセスモデル(酸化・拡散・イオン注入)の研究・開発、T r .モデル、デバイスモデルの研究・開発、セルレベルシミュレーションの研究・開発

(b) 反応・プラズマ試験装置、評価装置:

バックエンドプロセスモデル(反応・プラズマ、CMP)の研究・開発

(c) TEG や小規模の最先端 LSI(IP 含む)設計設備:

回路ブロックレベルでのモデリング検証

(d) 計算機環境(含む Virtual Labo. 設備):

アルゴリズムの研究・開発、プログラムによる実証

(e) 教育・実習設備(大学院レベル):

モデリング研究者の育成

2) 提言

具体的には下記の機能を持つ半導体先端技術の研究開発センターを設立する。

< 主な機能 >

- ・ 上記(a)~(e)を実施できるライン、設備、計算機環境を持つ。
- ・ 国際センターとしても機能させ、国外の研究者も受け入れる。
- ・ 将来の応用を前提とした、LSI の設計・製造・生産に関する先端研究・開発を行う。(基礎研究も含む)
- ・ 講義・実習による学生教育、新人教育を実施する。

< 運営 >

- ・ 人員は産官学から派遣する。(Virtual Labo. も含む)
- ・ 産官学からなるステアリングコミッティを設置する。(センター運営の諮問、及び我が国のLSI関連の技術力強化のための戦略立案とコンセンサス形成)
- ・ 外部からの委託研究を受託する。
- ・ ファウンドリ機能を持つ。
- ・ 装置メーカ等が、装置を持ち込めるブースを設置する。ただし、使用料は有料。
- ・ センターで処理している途中、あるいは処理済みのウエハを販売できる。

2-10-5 まとめ

トランジスタが、1947年に発明されて以来、半導体は固体物理というサイエンスを土台として発展してきた。最初の30年ほどの間は、新しい現象や製造方法などに対する理論的な解釈と応用を原動力として技術が発展してきた。その後1980年代になると、デバイス構造の微細化の進展によって、理論では解釈できない現象が製品の歩留まりや品質・性能に致命的な影響を与えるようになり、製品開発と生産にとって理論よりノウハウ(特に製造プロセスの)が重要となった。我が国の半導体生産量が世界の一番手になった時期である。

1990年代に入ると、製造装置の性能向上によってノウハウは次第に装置に組み込まれるようになった。その結果、新興の半導体メーカでも、比較的短期間に最先端製品の開発・生産が可能になるという状況をもたらした。我が国が生彩を失う時期である。さらに近年は、アルゴリズムやモデリングの進展も著しく、設計ツールの高度化も手伝って、設計手法も大きな変革期に入った。特に、ビジネスを成功させるためには設計開始から出荷までの期間を短縮する必要があり、回路・レイアウト設計時に、単なるデザインルールだけではなく、プロセスを考慮する必要が高まった。

一方、デバイス構造はさらに微細化が進んでおり、物理的な限界に近づくにつれ、従来の単純なモデルや理論では解釈できない現象が現れる。これを理解し、設計や製造プロセスに反映させるためには、メゾスコピックなモデリングが不可欠になってきた。再びサイエンスが、そして種々のアルゴリズムが技術発展の原動力となる時代になった。

本ロードマップでは、我が国がサイエンスやアルゴリズムをベースとする技術力を獲得し、かつ国際協調を通して世界に貢献するための、解決すべき課題と方策も提言した。本提言に沿った施策を実行し、ロードマップで取り上げた技術の研究・開発により、我が国の技術力は再び輝きを回復するであろう。

用語解説

BEプロセス(Front End プロセス) : イオン注入、酸化、拡散等の主としてトランジスタ構造形成のためのプロセス群

BEプロセス(Back End プロセス) : スパッタ、エッチング等の主として配線構造形成のためのプロセス群

CVD (Chemical Vapor Deposition) : 気相から化学的に膜を堆積する一手法

CMP (Chemical Mechanical Polishing) : 機械化学的に表面を研磨する一手法

LCR (Inductance-Capacitance-Resistance)

ESD (Electrostatic Discharge) : 静電的に放電する現象

EM (Electromigration) : 電子の流れによって、配線を構成している原子が移動する現象

SM (Stress migration) : 機械的な応力によって、配線を構成している原子が移動する現象

EMI (Electromagnetic interference) : 電磁波による障害のこと

TAT (Turn-Around-Time) : 仕事が一サイクル回る時間

TEG (Test Element Group) : 半導体プロセス評価用の素子群

ECR (Electron Cyclotron Resonance) : 高密度プラズマ発生技術の一方法

ICP (Inductively Coupled Plasma) : 誘導結合型プラズマで高密度プラズマ発生技術の一方法