

(要旨)

半導体ビジネスの成功は、歩留の垂直立上げを実現し、高歩留の安定生産を維持することに掛っている。歩留りは、チップ面積に依存しない成分の‘システム歩留’とチップ面積に依存する成分の‘ランダム歩留’の積として表される。現在の半導体製造では、量産初期の歩留をシステム歩留が決定し、量産最盛時の歩留をランダム歩留が決定している。システム歩留を向上させるためには、デバイス構造微細化・プロセス複雑化の進展を考慮した正確な歩留モデルを作ることが、当面の課題である。一方、ランダム歩留は‘見える欠陥’に因って決められるものであり、その改善は‘欠陥を検出・分類し、歩留への影響が大きいものから低減・削除して行く能力’に掛っている。ランダム歩留を向上させるため、プロセス起因欠陥および装置起因欠陥を低減するには、高い欠陥検出感度とスループットを併せ持った欠陥検査装置、および正確かつ迅速に欠陥をレビュー・分類するための技術が求められる。

一方、製品の世代毎に、量産初年では約 60%の歩留り、歩留り飽和時期では85%から95%の歩留りを達成することが求められている、デバイス寸法の縮小に比例して‘問題となる欠陥寸法’が小さくなって行く、と言った背景があり、欠陥を低減するために、不断の努力が必要とされる。しかも、欠陥発生源を同定する技術、欠陥の致命率を求める技術、欠陥が不良になるメカニズムを解明する技術の開発・実用化に際しては、経済性を第一に考慮しなければならない。

このような課題に効果的な対応をするため、蓄積したノウハウに基づく現場努力に依存した歩留向上/欠陥低減の手法を、科学的に裏付けされた合理的なやり方に切換えて行こうとする意見が大勢をしめるようになって来ている。そして、それらの意見を速やかに現実のものとするためには、各社の協調が前提となる。その成果が幾つかの共通認識として具現された。例えば、プロセスチャンバ壁からのフレークの剥離・落下そしてウェハ上への付着と言った現象は、どのメーカーのどの装置も同じメカニズムに拠っているものと考えられる。その解決策を見出すため、各メーカーに共通した課題として取り挙げ得る。必要以上に純度の高いプロセス材料を、「心配だから」と言う感触だけで、使用している恐れがある。このために不要なコスト増を招いているとすれば、大きな無駄である。現在の純度が妥当なものか否かを、TEGを用いた実験にて、早急に検証しなければならない。現状の欠陥検査手法では、高い欠陥検出感度と大きな処理速度を両立させることができない。高速・高解像度の検査手法を早急に開発しなければならない。欠陥レビューSEMは、高速・高解像度であることに加えて、正確な自動欠陥分類機能を有することが必要である。製造装置と検査装置から成る装置群を構成して、欠陥を自動で検出・排除できるようにしなければならない。欠陥検査の標準化を進めるためには、実用的な欠陥標準試料が必須であり、その開発を急がねばならない。

今後の進め方としては、歩留モデル/装置欠陥モデル/分子汚染モデル/故障解析モデルなど各種のモデルを作る必要がある。モデル作成に際しては、高度な数学を扱わねばならず、学界からの参加が望まれる。モデルの検証に際しては、公的機関の手で製造されたTEGが必須である。モデルを高精度化するためには、多くの装置メーカー/デバイスメーカーが使い込むことに依って、モデル検証を繰返すことが必要である。装置起因欠陥の低減については、公的な支援の下に、産官学が一体となって欠陥低減手法を開発するとともに、共通の財産として開示することが必要である。

欠陥検査装置/欠陥レビュー技術については、緊急の課題であり、検査装置メーカーの一層の開

発努力に期待する。なお、装置開発に際しては、デバイスメーカーとの緊密な連携が必須である。検査標準については、欠陥データの規格の標準化を推進することと、公的研究機関との協同開発に依る欠陥標準試料の開発が必要である。薬液の高純度化については、デバイスメーカーと連携して、適正レベルにすることを進めなければならない。純度標準化に拠るコスト低減効果は、極めて大きいものと思われる。製造装置・検査装置群の自動制御については、各デバイスメーカーが主体となって推進するのは当然としても、ソフトの共通化/インターフェイスの共通化など、標準化のメリットを生かす必要がある。製造装置の高知能化にあたっては、長期の展望に立って取り組む必要があり、産学共同の開発体制が必要である。SoCにおける欠陥低減では、‘混載時/少量多品種/ミニラインなどでの欠陥低減策を如何に方向づけるか’を検討して行かねばならない。そのためには、‘日本の半導体技術を牽引すべき、旗印としてのSoC’を明確にするとともに、各要素技術の課題・目標として詳細化することを、急がなければならない。

年 技術ノード	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm	2008 70nm	2011 50nm	2014 35nm
MPU										
MPU/ASIC1/2ピッチ nm	230	210	180	160	145	130	115	81	58	41
問題欠陥寸法 nm	115	105	90	80	73	65	58	41	29	21
チップ面積 mm ²	170	170	170	191	214	224	235	269	308	354
電氣的全欠陥密度 Do(不良数/m ²) 問題欠陥寸法以上の不良数	1742	1742	1742	1550	1384	1322	1260	1101	961	836
ランダム欠陥起因 Do (不良数/m ²)	1117	1117	1117	994	887	848	808	706	616	536
マスク層数	23	23	23	24	24	24	25	27	28	29
ランダム欠陥起因不良数/マスク層数	49	49	49	42	37	35	32	26	22	18

図表2 - 1 2 MPU歩留モデルと目標装置許容欠陥数

年 技術ノード	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm	2008 70nm	2011 50nm	2014 35nm
DRAM										
DRAM1/2ピッチ nm	180	165	150	130	120	110	110	71	50	35
問題欠陥寸法 nm	90	83	75	65	60	55	50	35	25	18
チップ面積 mm ²	132	138	145	152	159	166	174	199	229	262
電氣的全欠陥密度 Do(不良数/m ²) 問題欠陥寸法以上の不良数	1249	1193	1140	1089	1040	994	950	828	723	630
ランダム欠陥起因 Do (不良数/m ²)	2833	2709	2579	2460	2352	2252	2149	1879	1633	1427
マスク層数	20	20	20	21	21	21	22	24	25	26
ランダム欠陥起因不良数/マスク層数	142	135	129	117	112	107	98	78	65	55

図表2 - 1 2 DRAM歩留モデルと目標装置許容欠陥数

2 - 1 2 - 1 背景

半導体ビジネスの成功は、歩留の垂直立上げを実現し、高歩留の安定生産を維持することに掛っている。歩留りは、後述するように、チップ面積に依存しない成分の‘システム歩留 Y_s ’とチップ面積に依存する成分のランダム歩留 Y_r ’の積として表される。現在の半導体製造では、量産初期の歩留を Y_s が決定し、量産最盛時の歩留を Y_r が決定している。 Y_s 向上のためには、今後のデバイス構造の微細化・プロセスの複雑化の動向を考慮しながら、正確な歩留モデルを作ることが課題である。一方、 Y_r は‘見える欠陥’に起因するものであり、その改善は‘欠陥を検出・分類し、歩留への影響が大きいものから低減・削除して行く能力’に依存している。更に、製品世代毎に、量産初年の目標歩留 60%、成熟期の目標歩留 85%から 95%を達成することが求められており、プロセスおよび装置に起因する欠陥を低減するための努力は、際限無く続けねばならない。したがって、 Y_r 向上のためには、高い欠陥検出感度とスループット (throughput: 単位処理能力) を持った欠陥検査装置、および正確かつ迅速に欠陥をレビュー・分類できる技術の継続的な開発が求められる。

欠陥が不良になるメカニズムを解明する技術、欠陥の致命率(キラ-率)を求める技術、および欠陥発生源を同定する技術は、デバイス寸法の縮小に伴って‘問題となる欠陥寸法 (critical defect size)’が小さくなって行く限り、何時までも達成されることの無い永遠の課題である。しかも、その技術開発に際しては、経済性を第一に考慮しなければならない。

2 - 1 2 - 2 範囲

欠陥低減の検討範囲は、歩留向上に関わる作業を網羅し、デバイス性能や信頼性に対する影響までを含む。検討の焦点は次の 4 項目である。

- ・歩留モデルと装置許容欠陥数
- ・欠陥検出
- ・欠陥の発生原因と発生のメカニズム
- ・欠陥の発生防止と排除

この項目の順番は、歩留向上の習熟過程すなわち欠陥低減の作業フローに対応している。そして、夫々が、半導体製造に係わる全ての技術、すなわち設備・設計・プロセス・テストに関連している。

2 - 1 2 - 3 要求

欠陥低減の要求と課題は、図表 2 - 1 2 - 1 に要約される。装置許容欠陥数 (defect budget) は、次世代のプロセス技術が明らかになる度に、頻繁な再検証と更新が必要である。歩留モデル (yield model) は、システム歩留損失とプロセスの複雑化を正確に反映するように、改良されてゆかねばならない。欠陥モデル (defect model) は、パターン欠陥検査装置や微粒子検査装置などの視覚的な検査・解析のデータに加え、より多くの電気的特性データを活用できるようにして行かねばならない。欠陥検出 (defect detection) では、高アスペクト比のコンタクトホール底部や、デュアルダマシン (dual damascene) 構造の溝あるいはビア (via) 内部に発生した欠陥を見つけることが最も困難な課題であ

る。この課題が困難な理由は、トレードオフの関係にある高感度と高スループットの両立を求められているためである。不良同定技術(fault isolation)は、その難しさが今後指数関数的に増大し、欠陥個所を突き止め・表面下に隠れた欠陥を見つけることが極めて困難になる。また、‘見えない欠陥’すなわち‘物理的な痕跡を残さない回路不良の原因’を追求することは、検出することができない故に、極めて難しい課題である。欠陥低減技術が進歩するに伴い、‘発生数が極端に少ない欠陥’を正確に扱うための統計的手法が欠陥データ解析技術の大きな課題となる。

プロセス用薬液の分野における基本的な要求は、適切な試験デバイスを使って、不純物の濃度とデバイスの性能/信頼性/歩留との相関関係を定量化することである。定量化することにより、現在要求されている厳しい不純物濃度レベルが、本当に必要であるか否かを明確にできる。

プロセス装置は、突然の歩留低下(yield excursion)・不良・欠陥の発生に繋がる異常を検知し、迅速な対策を打てるように、自己監視の機能を持つべきである。

欠陥低減の要求 [≒] 100nmノード 2005年以前	課題のまとめ
Ys、Yrおよび装置許容欠陥数の正確なモデルの開発・検証・応用	<p>新材料と新構造の評価に有効なTEG。</p> <p>プロセス誘起欠陥、PWP (particles per wafer per pass)、製品検査、およびin-situ測定とのデータとモデルとの相関関係の定量化。</p> <p>欠陥発生数が極端に少ない‘殆どゼロのデータが並ぶ’測定に適したサンプリングと統計処理法。</p> <p>ウェーハ内欠陥分布の歩留予測への反映。</p> <p>Ysおよび‘ウェーハ周辺での歩留低下’のモデル化。</p>
高アスペクト比のコンタクト/ビア/トレンチの内部に存在する欠陥の高速で経済効率の高い検査	照射ビームがホールやトレンチの底へ到達し難く信号量が少ないため、高感度な信号検出系の開発。
プロセス材料中に存在する微量金属・イオン・有機物の量とデバイス性能・信頼性・歩留りとの相関関係の定量化	<p>評価に有効なTEG。</p> <p>現象の正確なモデル化。</p>
不良箇所の短時間同定と見えない欠陥の早期発生原因究明の手法	<p>指数関数的に増大する‘回路の複雑さ’に適應する技術。</p> <p>非繰り返し部分の不良箇所を短時間で同定する技術。</p> <p>目に見えない欠陥の原因を突き止める技術。</p> <p>多種多様なデータの自動取得とデータマイニング。</p>
正確に欠陥を特徴付け・分類する技術	<p>欠陥寸法・形状・組成他の特徴データを不足無く取得する能力。</p> <p>正確で高スループットのSEM-ADC。</p>
CMP欠陥(マイクロクラッチ、スラリー、デイッシングなど)の高速検出と欠陥分類:特にクラッチ深さの高速検出とキラ-率・信頼性との相関関係の定量化	CMP欠陥の光散乱特性の理解。
欠陥低減の要求 < 100 nm ノード 2005年より後	
新プロセス/新装置の導入に同期した継続的な許容欠陥数の検証・更新	<p>パラメータ起因歩留損失のモデル化。</p> <p>デバイス構造の複雑さのモデル化。</p> <p>超薄膜 (SiON, Si₃N₄, Al₂O₃, Ta₂O₅他) の品質のモデル化。</p> <p>増加するトランジスタ密度とプロセスの複雑さを反映したモデルの開発。</p>
技術ノード毎の、最小加工寸法の1/2の検出感度を有する高速な欠陥検査装置の開発	問題となる欠陥の発生数減少に対応し、統計的に有意なデータ量を取得するため、高スループットと高感度が両立した欠陥検査装置。
大量生産時における最小検査コストの実現	<p>統合されたin-situモニタ/センサを用い、リアルタイムでプロセス/汚染レベルを制御できるプロセス装置。</p> <p>歩留立上げ時のみ検査を実施し、量産時は例外的な場合を除いて検査を不実施。</p>
無欠陥かつコンピュータで高度に制御されたプロセス装置の開発	<p>歩留り低下・不良・欠陥に繋がる異常の自己監視と、異常発生時の対策実施の警報機能。</p> <p>プロセスにおける化学反応と汚染メカニズム、材料、ソフト、およびセンサ技術の研究。</p>

図表 2 - 1 2 - 1 欠陥低減の要求と課題

2 - 12 - 4 課題

(1) 歩留モデルと装置許容欠陥数

歩留 Y を

$$Y = Y_s \times Y_r$$

と表現した時、ランダム歩留 Y_r は次式に示す如くランダム欠陥に起因し、チップ面積に依存する成分であり、システム歩留 Y_s はチップ面積に依存しない成分である。更に、 Y_r は次式のように表される。

$$Y_r = (1 + A D_o /)^{-1}$$

装置許容欠陥数は、‘負の二項分布理論’により求めたものである。A はチップ面積、 D_o は電氣的欠陥密度、はクラスタ係数である。なお、必要なパラメータは、’99 年 ITRS ロードマップに基づいている。装置許容欠陥数の到達レベルは、チップ面積の増加・プロセス複雑さの進展、パターンの微細化を考慮して、PID (process induced defect; プロセス誘起欠陥) 中央値から求められた外挿値である。

$$PID_n = PID_{n-1} \times F_n / F_{n-1} \times (S_n / S_{n-1})^2$$

外挿には上式を用いる。ここで、PID は 1 m^2 当たりのプロセスに起因した欠陥 (欠陥サイズ一定) の許容数、F はリソグラフィのマスク層 (mask level) 当たりの平均不良数、S は問題となる最小の欠陥サイズ、n は技術ノードである。図表 2 - 12 - 2 では、代表的なプロセス装置の目標許容欠陥数を示してある。なお、新たな工程・材料・装置を導入した場合でも、目標装置許容欠陥数はそれ以前の技術ノードにおける値よりも小さくなることを前提としている。また、全工程が最小デバイス寸法を使っていると仮定し計算しているため、最悪条件における厳しい数値が表記されていることになる。仮に、最小デバイス寸法を使っている層数が数層とすると、表記されている値は総マスク層数 / 数層倍だけ緩い値となる。また、各工程で使われている装置でも洗浄装置の如く、パーティクルを取る働きをしている装置を考慮に入れると更に数倍緩い値となる。従って、最悪条件における厳しい数値は、数倍から 10 倍程度厳しい値となっている。

1 m^2 当たりの欠陥数は、技術の改良に伴って減少する。特に、ウェーハ搬送時のパーティクルレベルは、PWP (Particles per Wafer per Pass) = 0.01 も実現されている。

製品	MPU	DRAM
歩留立上げ段階	立上げの最終段階	量産の最終段階
Y	75%	85%
Y_r	83%	89.5%
Y_s	90%	95%
クラスタ係数	5	5
チップ面積	170mm ² で 2002 年まで、以後増加	132mm ² で 1999 年、以後増加

図表 2 - 12 - 2 A 目標装置許容欠陥数算出の仮定

年 技術ノード	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm	2008 70nm	2011 50nm	2014 35nm
MPU										
MPU/ASIC1/2ビット (A) nm	230	210	180	160	145	130	115	81	58	41
問題欠陥寸法 nm	115	105	90	80	73	65	58	41	29	21
チップ面積(B) mm ²	170	170	170	191	214	224	235	269	308	354
電氣的全欠陥密度Do (不良数/m ²) 問題欠陥 寸法以上の不良数(c)	1742	1742	1742	1550	1384	1322	1260	1101	961	836
ランダム欠陥起因Do (不良数/m ²) (D)	1117	1117	1117	994	887	848	808	706	616	536
マスク層数(E)	23	23	23	24	24	24	25	27	28	29
ランダム欠陥起因不良 数/マスク層数	49	49	49	42	37	35	32	26	22	18
MPUプロセス起因ランダム欠陥(PID) 装置許容値(欠陥数/m ²) 但し75nm以上の欠陥数に合わせてある										
CMP洗浄装置	293	244	179	121	89	68	49	20	8	4
絶縁膜CMP装置	421	351	258	174	128	98	70	28	12	5
メタルCMP装置	307	256	188	127	93	71	51	20	9	4
コータ/現像/バーク	118	99	72	49	36	27	20	8	3	1
絶縁膜CVD装置	542	452	332	224	164	126	90	36	16	7
酸化膜CVD装置	503	419	308	208	152	117	84	34	15	6
絶縁膜コータ	157	131	96	65	48	37	26	11	5	2
CVD炉	561	468	344	232	170	130	93	37	16	7
高速アニール炉	196	164	120	81	59	46	33	123	6	2
酸化アニール炉	269	224	165	111	81	62	45	18	8	3
高電流イオン注入装置	462	385	283	191	140	107	77	31	13	6
低・中電流イオン注入	403	336	247	166	122	94	67	27	12	5
現像後欠陥検査装置	165	138	101	68	50	38	28	11	5	2
欠陥検査装置	187	156	115	77	57	43	31	12	5	2
リソセル	183	152	112	75	55	42	30	12	5	2
ステッパー	87	73	53	36	26	20	15	6	3	1
CD測定装置	181	151	111	75	55	42	30	12	5	2
膜厚測定装置	202	168	124	83	61	47	34	13	6	2
重ね合わせ測定装置	165	138	101	68	50	38	28	11	5	2
メタルCVD装置	263	219	161	109	80	61	44	18	8	3
メッキ装置	157	131	96	65	48	37	26	11	5	2
メタルエッチャー	611	509	374	252	185	142	102	41	18	7
メタルPVD装置	392	326	240	162	118	91	65	26	11	5
プラズマエッチャー	576	481	353	238	174	134	96	38	17	7
アッシャー	401	334	245	165	121	93	67	27	12	5
RTP CVD装置	171	143	105	71	52	40	28	11	5	5
RTP 酸化/アニール装置	118	99	72	49	36	27	20	8	3	1
テスト装置	64	54	39	27	19	15	11	4	2	1
気相洗浄装置	428	357	262	177	130	100	71	29	12	5
ウェーハ搬送	25	21	15	10	8	6	4	2	1	0.3
洗浄装置	446	371	273	184	135	104	74	30	13	5

解が存在 解を追求中 解が無い

図表2 - 12 - 2 B MPU歩留モデルと目標装置許容欠陥数

(A): ORTC図表1aによる。(B): ORTC図表2a。(C): ORTC図表5a。(D): ランダム歩留83%の仮定による。(E): ORTC図表5a

年 技術ノード	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm	2008 70nm	2011 50nm	2014 35nm
DRAM										
DRAM1/2ピッチ(A) nm	180	165	150	130	120	110	110	71	50	35
問題欠陥寸法 nm	90	83	75	65	60	55	50	35	25	18
チップ面積(B) mm ²	132	138	145	152	159	166	174	199	229	262
電氣的全欠陥密度Do (不良数/m ²) 問題欠陥 寸法以上の不良数(c)	1249	1193	1140	1089	1040	994	950	828	723	630
ランダム欠陥起因Do (不良数/m ²) (D)	2833	2709	2579	2460	2352	2252	2149	1879	1633	1427
マスク層数	20	20	20	21	21	21	22	24	25	26
ランダム欠陥起因不良 数/マスク層数	142	135	129	117	112	107	98	78	65	55
DRAM プロセス起因ランダム欠陥(PID) 装置許容値(欠陥数/m ²) 但し75nm以上の欠陥数に 合わせてある										
CMP洗浄装置	694	558	440	301	245	197	148	59	25	10
絶縁膜CMP装置	999	802	634	433	353	283	213	85	36	15
メタルCMP装置	727	584	461	315	256	206	155	62	26	11
コータ/現像/バーク	281	225	178	122	99	79	60	24	10	4
絶縁膜CVD装置	1285	1032	815	557	453	364	274	110	46	19
酸化膜CVD装置	1193	958	756	517	421	338	255	102	43	18
絶縁膜コータ	373	300	237	162	132	106	80	32	13	5
CVD炉	1332	1069	844	577	470	377	284	114	48	20
高速アニール炉	466	374	295	202	164	132	99	40	17	7
酸化アニール炉	637	512	404	276	225	180	136	54	23	9
高電流イオン注入	1095	879	694	474	386	310	234	93	39	16
低・中電流イオン注入	956	767	606	414	337	271	204	82	34	14
現像後欠陥検査装置	392	315	249	170	138	111	84	33	14	6
欠陥検査装置	444	356	281	192	157	126	95	38	16	7
リソセル	433	348	275	188	153	123	92	37	15	6
ステッパー	207	166	131	90	73	59	44	18	7	3
CD測定装置	430	345	273	186	152	122	92	37	15	6
膜厚測定装置	479	385	304	208	169	136	102	41	17	7
重ね合わせ測定装置	392	315	249	170	138	111	84	33	14	6
メタルCVD装置	624	501	395	270	220	177	133	53	22	9
メッキ装置	373	300	237	162	132	106	80	32	13	5
メタルエッチャー	1449	1163	918	628	511	410	309	124	52	21
メタルPVD装置	929	746	589	402	328	263	198	79	33	14
プラズマエッチ装置	1367	1098	867	592	482	387	292	117	49	20
アッシャー	950	763	603	412	335	269	203	81	34	14
RTP CVD装置	406	326	257	176	143	115	87	35	14	6
RTP 酸化/アニール装置	281	225	178	122	99	79	60	24	10	4
テスト装置	153	122	97	66	54	43	33	13	5	2
気相洗浄装置	1016	816	644	440	358	288	217	87	36	15
ウェーハ搬送	60	48	38	26	21	17	13	5	2	0.9
洗浄装置	1057	848	670	458	373	299	226	90	38	16

解が存在 解を追求中 解が無い

図表2 - 1 2 - 2 C DRAM 歩留モデルと目標装置許容欠陥数

- (A): ORTC 図表 1a による。(B): ORTC 図表 2a (C): ORTC 図表 5a
(D): ランダム歩留 89.5%と周辺回路領域が 30%を占める仮定に基づく。

(2) 欠陥検出

欠陥検出技術の要求レベルは、半導体プロセスあるいは製造デバイスのライフサイクルに従って変わる。ライフサイクルには、以下の三つのフェーズがある。

- 1) プロセス開発
- 2) 歩留立上げ
- 3) 大量生産

要求レベルは、パターンの無いウェーハの検査、パターン付きウェーハの検査、および高アスペクト比構造の検査、自動欠陥分類に区分して、図表2 - 12 - 3に示されている。検出感度はポリスチレンラテックス(PSL)を基準として記述されているが、本来は標準欠陥ウェーハ(defect standard wafer, DSW)に基づくべきで、DSWを整備する必要がある。

パターンの無いウェーハ上の欠陥検出は、薄膜付きおよびベアのウェーハを対象としており、堆積膜や基板の種類に応じて要求感度が異なる。また、製造の初期の工程ほど、より高い検出感度が必要とされる。なお、ウェーハの裏面検査に必要とされる検出感度は、歩留の観点から決められているのではなく、ホトリソグラフィの焦点深度に視点を置き、裏面付着粒子が焦点ずれを来さないように設定されている。

パターン付きウェーハ検査においては、最大の問題がスループットの低いことであり、検査速度の大幅な向上が期待される。しかし、微細な欠陥検出を急ぐあまり、ウェーハの広い領域に影響を及ぼすマクロ欠陥を見落としてはならない。マクロ検査の速度は、各技術ノードのリソグラフィの処理能力にマッチしなければならない。

検査装置は、プロセス開発から大量生産に到る各フェーズ毎に、ジャストインタイム(Just-in-Time)で使用できるように開発されねばならない。プロセス開発に必要とされる検査装置は、製造初年度の4年前までに用意されねばならない。歩留立上げを加速するために必要とされる検査装置は、装置の評価・選択期間を見込む必要があり、製造が開始される1年半前までに評価可能としなければならない。大量生産において歩留の急低下を監視するための検査装置は、量産の初年度から使用出来なければならない。一般的に、大量生産は製造開始から1年以内に着手されるからである。

CMP後のウェーハ検査は、パターン付きウェーハ検査の一部と考えられる。なぜなら、CMP後のウェーハから反射/散乱された光の検出は、表面が平坦でも膜下のパターンの影響を受けるため、技術的にはパターン付きウェーハの検査と同じ課題を持っているからである。

高アスペクト比構造の検査は、技術課題が異なるため、パターン付きウェーハ検査の項目とは別に扱われる。

年 技術ノード	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm	算出基準
パターン付きウェーハ欠陥検査 ポリスチレンラテックス(PSL)で検出率90%等価感度(nm)*(A,B)								
プロセスR&D 300(cm ² /hr)	54	49	44	39	36	33	30	0.3×DR
歩留立上げ 3000(cm ² /hr)	72	65	59	52	48	44	40	0.4×DR
量産 10,000(cm ² /hr)	90	81	73	65	60	55	50	0.5×DR
高アスペクト比構造欠陥検査:残以外の欠陥に対し、PSL径(nm)で検出率90%の等価感度(nm)(C)								
全ての製造段階	54	49	44	39	36	33	30	0.3×DR
パターン無しウェーハ欠陥検査、PSLで検出率90%等価感度(nm)*(D,E)								
メタル膜	69	63	57	51	47	43	39	0.3×MCP
メタル以外の膜	54	49	44	39	36	33	30	0.3×DR
ベアシリコン	54	49	44	39	36	33	30	0.3×DR
ウェーハ裏面検査	180	163	150	130	120	110	100	DR
欠陥レビュー								
分解能(nm)(F)	9	9	8	7	7	6	5	0.05×DR
欠陥位置決め精度(um) @上記分解能	3	3	2	2	2	1	1	*
自動欠陥分類、欠陥レビュープラットフォームで(G:H)								
再検出可能な最小欠陥寸法 (nm)	72	65	59	52	48	44	40	0.4×DR
欠陥種類の数	5	5	5	10	10	10	15	**
速さ(秒/欠陥)	10	10	7	5	5	5	5	
速さ--含む元素分析 (秒/欠陥)	25	25	20	15	15	13	10	

DR--Design Rule

MCP--Minimum Contact Pitch

解が存在

解を追求中

解が無い

図表 1 2 - 2 - 3 欠陥検査に対する要求---短期

* 記述の分解能では $0.67 \times 1024 \times 1024$ の画素を仮定する。

** トレンドは、粗い分類からより細かい分類へと行われる。

注:

- (A) パターン付きウェーハの走査速度はプロセスの R&D で最低でも 300cm²/h、歩留立上げ時 3,000cm²/h、量産時 10,000cm²/h が必要である。現存する解決策では上述の感度要求でこれらのターゲットを達成するものはない。
- (B) パターン付きウェーハの擬似欠陥率は、プロセスの R&D で最低でも 15%、歩留立上げ時 10%、量産時 5%以下であろう。
- (C) 高アスペクト比検査(HARI) 欠陥はどのプロセス段階でもキラーである。従って、最小の欠陥検出感度はどのプロセス段階でも技術ノードの 0.3 倍である。コンタクトの底の物理的に妨げとならない、単原子層程度の膜も検出すべきである。
- (D) パターン無しウェーハ欠陥検査装置は時間当たり 200mm ウェーハを 150 枚、擬似欠陥率 5% 以下で走査出来なければならない。
- (E) メタル膜の欠陥検査装置はグレインの無い膜に対しては、半最小コンタクトピッチ(1/2MCP)の 0.3 倍で、表面が荒れているかグレインがある膜に対しては 0.5 倍の欠陥を検出できなければならない。メタルでない膜とベアシリコンの検出感度はモニタウェーハの使用を正当なものとする

ために最低限、パターン付きウェーハの検査装置と同じでなければならない。

- (F) 分解能は量産時パターン付きウェーハの検査感度の 10%になっている。
- (G) ADC:再検出率は再検査する全欠陥を母数として 95%以上検出でなければならない;正確さは専門家による分類と比較して 95%以上でなければならない;繰り返し精度も 95%以上;再現性も分散率(標準偏差/平均値,Cv%)として5%以下でなければならない。
- (H) 仮定は 5,000 枚/月のウェーハ仕込みで、図表 1 2 - 2 - 2 に基づく FEOL の表面前処理のウェーハ当たりの欠陥数からレビューで 100%ADC を行うのに必要な欠陥検査速度が導かれる。

年 技術ノード	2008 70nm	2011 50nm	2014 35nm	算出基準
パターン付きウェーハ欠陥検査 PSLで90%捕獲等価感度(nm)*(A,B)				
プロセスR&D 300(cm ² /h)	21	15	11	0.3×DR
歩留立上げ 3000(cm ² /h)	28	20	14	0.4×DR
量産 10,000(cm ² /h)	35	25	18	0.5×DR
高アスペクト対象欠陥検査(C)				
全ての製造段階	21	15	11	0.3×DR
パターン無しウェーハ欠陥検査 PSLで90%捕獲等価感度(nm)*(D,E)				
メタル膜	29	21	14	0.3×MCP
メタル以外の膜	21	15	11	0.3×DR
ベアシリコン	21	15	11	0.3×DR
ウェーハ裏面欠陥検査	70	50	35	DR
欠陥レビュー				
分解能(nm)(F)	4	3	2	0.05×DR
欠陥位置決め精度(um)@上記分解能	1	1	0.5	*
自動欠陥分類 欠陥レビュープラットフォームで(G:H)				
再検出可能な最小欠陥寸法(nm)	28	20	14	0.4×DR
欠陥種類の数	20	20	25	**
速さ(秒/欠陥)	5	5	5	
速さ--含む元素(秒/欠陥)	10	10	10	

解が存在 解を追求中 解が無い

図表 1 2 - 2 - 3 欠陥検査に対する要求---長期

(3) 欠陥の発生原因と発生のメカニズム

欠陥の発生原因究明・メカニズム解明に必要とされる技術のレベルは、図表 2 - 1 2 - 4 に表される。歩留向上の作業は、絶え間無く続けられるものである上、年々そのペースを速くすることが求められている。このような厳しい要求に応えるためには、不良発生から欠陥発生源同定までの時間を、現在よりもさらに短くしなければならない。デバイス不良発生から不良箇所同定までの時間を短縮できれば、迅速なプロセスへのフィードバックが可能になり、速やかな欠陥発生源の究明・削除に繋がる。また、欠陥発生原因を短時間で突き止めるためには、全ての製造・検査・解析データを統合し有効活用を図ることによって、欠陥発生個所を迅速・正確に特定できるようにしなければならない。なお、統合データ解析のソフトウェアツールは、検証されたアルゴリズムを用いることが必須であり、モジュール化されていて、将来技術およびデータソースに対する拡張性がなければならない。

各種欠陥タイプに関する技術的要求を以下に示す。

見える欠陥(visible defects) -----技術ノードの進展に伴って対象欠陥寸法は小さくなる。その寸

法に応じた、検出、レビュー、分析、それに原因究明のための装置が必要になる。

検出できない欠陥(non-detectable defects) ----- 検出できない欠陥とは、電氣的不良の原因になるが、今日の検査技術では物理的痕跡程度すら残さない検出できない欠陥と定義する。回路設計がより複雑になると、物理的痕跡すら残さない欠陥が原因で生ずる回路不良が増える。こうした不良の一部は、例えばウェーハ間やチップ間での抵抗や容量の変動の様に、系統的かつパラメトリック（特性規格はずれなど）な形で顕在化する。あるいは、応力起因の転位や局所的な結晶欠陥/原子結合不良（注：原子レベルでの結合が無いもの。例えば界面準位）のような、偶発的かつパラメトリックではない形で顕在化する。後者の迅速な原因究明は、より挑戦的課題になると考えられている。開発が必要な技術は、不良を迅速に特定する技術および、特定された不良の原因を見える欠陥、検出できない欠陥、それにパラメトリック欠陥に分類する技術である。

パラメトリック欠陥(parametric defects) ----- デザインルールの縮小と共に、システムティック欠陥の影響が増加しつつあり、ウェーハ内およびウェーハ間の特性変動(parametric variation) がシステムティック成分の主要素となっている。パラメトリック欠陥は歴史的に検出できない欠陥とされてきたが、迅速な欠陥源究明のためには、検出できない欠陥とは別に独立して扱う必要が出てきている。

電氣的不良(electrical faults) ----- プロセス層数の増加、チップ内トランジスタ数の増加、回路密度の増加、問題となる欠陥寸法の縮小が進んでいるが、それに伴って生ずる欠陥数の増加は電氣的不良としてしか検知されない。電氣的不良には、点状欠陥やパラメータ値変動による不良も含まれている。欠陥発生原因を特定するためには電氣的不良がチップのどこで生じているかを明らかにしなければならない。この作業の複雑さは単位面積(cm^2)当たりのトランジスタ数 \times 総プロセス数にほぼ比例するため、図表 2 - 1 2 - 4 にはその数値を欠陥特定の複雑度として表示してある。複雑さが増す状況にあっても欠陥発生原因を特定する時間を一定に保つため、チップ内での電氣的不良が発生している位置を特定するための時間を増加させない様にする必要がある。

年 技術ノード	1999 180nm	2000	2001	2002 130nm	2003	2004	2005 100nm
DRAM1/2ピッチ (nm)	180			130			100
MPU孤立ライン (nm)	140		100			70	
ウェーハ寸法 (mm)	200	200	300	300	300	300	300
欠陥源究明の複雑さ (C)							
ロジックTr密度 /cm ² (1E6)	7.0	9.9	14.0	17.6	22.2	30.0	40.6
プロセス工程数	380	-	-	430	-	-	480
欠陥源究明複雑さ係数 (1E6) (A)	27	-	-	75	-	-	195
欠陥源究明複雑さ傾向 (B)	1	-	-	3	-	-	7
短期間で欠陥源を究明するためのデータ解析 (F)							
データ量 (データ項目数/ウェーハ) (1E12) (D)	0.84	0.84	1.9	5.4	-	-	14
データ量 (DV) 傾向 (E)	1	-	2.3	6.8	-	-	16
傾向を把握する迄の時間	数日	-	-	数日	-	-	数時間
自動解析のための情報源	空間分布	-	-	空間分布 時間推移	-	-	融合
欠陥の生成・移動・付着モデル							
ガスによる移送モデル	過渡的	過渡的	過渡的	過渡的	過渡的	過渡的	過渡的
付着のメカニズム	仮定	仮定	仮定	付着係数	付着係数	付着係数	付着係数
解析時間	数時間	数時間	数時間	数分	数分	数分	数分

図表 2 - 1 2 - 4 欠陥原因とメカニズム究明に対する要求---短期

年 技術ノード	2008 70nm	2011 50nm	2014 35nm
DRAM1/2ピッチ (nm)	70	50	35
MPU孤立ライン (nm)			
ウェーハ寸法 (mm)	450	450	450
欠陥源究明の複雑さ (C)			
ロジックTr密度 /cm ² (1E6)	100	247	609
プロセス工程数	530	580	630
欠陥源究明複雑さ係数 (1E6) (A)	530	1433	3837
欠陥源究明複雑さ傾向 (B)	20	53	142
短期間で欠陥源を究明するためのデータ解析 (F)			
データ量 (データ項目数/ウェーハ) (1E12) (D)	84	230	610
データ量 (DV) 傾向 (E)	99	272	722
傾向を把握する迄の時間	数時間	数時間	数時間
自動解析のための情報源	改善	改善	改善
欠陥の生成・移動・付着モデル			
ガスによる移送モデル	自由分子	自由分子	自由分子
付着のメカニズム	機械的	機械的	機械的
解析時間	数分	数分	数分

解が存在 解を追求中 解が無い

図表 2 - 1 2 - 4 欠陥原因とメカニズム究明に対する要求---長期

図表 2 - 1 4 - 4 の定義と仮定

- (A) 欠陥源究明の複雑さ係数 = (ロジック Tr 密度 / mm^2) \times (プロセス工程数)
- (B) 欠陥源究明複雑さ傾向は 180nm 技術ノードを基準にしてある。
- (C) 欠陥源究明とは欠陥が起こっている場所(目に見える欠陥/検出出来ない欠陥或いはパラメータ的な問題や電氣的不良を起こしているプロセス装置/設計/試験/プロセスインデグレージョン上の問題)を特定する事を意味している。
- (D) 欠陥データ量 (defect data volume, DV) とはウェーハ面積 (mm^2) に欠陥源究明の複雑さ係数 ($/\text{mm}^2$) を掛けたもの。
- (E) DV 傾向は 180nm 技術ノードを基準にしてある。
- (F) 迅速に欠陥源を究明する事と歩留習熟の仮定:
 - ・技術ノードの進展に伴う複雑さとデータ量の増加はあるが、歩留立上げの速さは現状と変わらないものとする。この事は統合歩留管理ソフト (IYM) がより洗練されたものになる事を要求している。
 - ・新歩留低下要因の究明に必要とする時間を物理製造手番の 50%以下にする。
 - ・新材料の導入で欠陥源究明の時間を増やしてはいけない。
 - ・歩留習熟曲線の立上げの部分で欠陥源究明を集中して行う。
 - ・データの収集、格納、検索は指数関数的に増えるので、IYM ソフトの改善で上記仮定を実現する事が必要である。

(4) 欠陥の発生防止と排除

欠陥の発生防止と排除に関する要求は、ウェーハ環境・各種用役別に、図表 2 - 1 2 - 5 に示される。

ウェーハ環境制御 (WEC) -----非パーティクル性汚染すなわち分子汚染によって影響を受けるプロセス工程は、その比率の増加して行くことが予想される。分子汚染を防ぐためには、ウェーハの自動搬送に対応できることを前提として、ライン内のウェーハ隔離技術、装置のミニエンバイロメント (mini-environment) 化、そしてクローズドキャリア: closed carrier(s) (POD, FOUP) の使用を普及させねばならない。

重要な工程における空気中の酸性物質/アルカリ物質/有機物/金属などの目標レベルは、大気暴露時間と付着係数の関係を線形として仮定しており、表面終端構造の相違による付着係数の変化、空中またはウェーハ表面上のパーティクルの化学的/運動学的な相互作用は考慮されていない。

プロセス材料-----スパッタターゲット/メッキ溶液/CMP スラリー/CVD (化学的気相成長法) に係わる新規材料については、不純物目標レベルの妥当性が検証されておらず、デバイスに与える影響の定量化が今後の課題である。

パーティクル体積密度は、問題となる最小のパーティクル(critical particle) 寸法での値として記述され、ノードが変わっても一定のままである。しかし、このことは、パーティクル密度が良く知られた X^{-3} 則 (X : パーティクル寸法) の仮定に従うことを考慮すると、技術ノード毎に約 2 倍のクリーン化が必要なることを意味する。なお、 X^{-3} 則を用いて より大きなパーティクル寸法での要求レベルに換算し、この値を管理目標とすれば、比較的大きな寸法のパーティクルを用いてパーティクルを監視することが可能になる。

超純水-----パーティクル/シリカ/イオン化合物の含有量を少なくすることが、特に重要な課題である。溶存酸素濃度の要求レベルは、「ベアシリコンの HF 最終洗浄の後のすすぎ」工程を対象として決められている。なお、実際のプロセス側要求濃度は、1ppb 以下である。しかし、プロセス装置を窒素環境中で稼働できるようにならない限り、1ppb 以下に制御しても実際的な意味がない。したがって、図表には 10ppb と記載されている。また、アニオン(陰イオン)の要求レベルは‘解あり’の 10ppb と記載されているが、F⁻(フッ素イオン)については、PVDF パイプを用いる限り、達成不可能な数値と思われる。再利用水については、使い捨ての水と同等もしくはそれ以上の純度であることが要求される。

液体化学薬品----- ‘拡散熱処理前の洗浄’工程に要求される不純物レベルが、最も厳しい値となる。これらの不純物レベルは、基板表面の汚染金属と同様に、ここ数年来大きく緩和されてきた。その結果、今後 15 年間に必要とされる高純度化は、高々 10 倍で済む。一方、パーティクルについては、90nm 以下のパーティクルを検出するため、高感度の計数技術開発が重要な課題となる。HF 最終洗浄または SC - 1 最終洗浄においては、プロセス側の要求を満たすために、新規な化学薬品(例えば、錯体や pH 調整剤)の導入が必要となる。

スラリー -----CMP は STI の平坦化に用いられるようになっている。配線工程と異なり、最も汚染を避ける必要のあるゲート酸化(ゲート絶縁膜形成)がその後に行われるので、金属による汚染を避けるために金属不純物レベルは厳しい値が要求される。

一般ガス/特殊ガス-----インラインでのパーティクル計数が重要な課題となる。現在の技術を改良すれば、必要とされる検出感度で、ユースポイント(POU)での測定を行うことが可能になる。しかし、特殊ガスラインを常時監視するためのパーティクルモニタについては、設置費用の嵩む点が問題である。特殊ガス中の不純物がデバイス特性に与える影響の程度は、用いるプロセスによって大きく変わるかもしれない。また、厳しい汚染削除の要求に応えるためには、ユースポイントにおいてフィルタ/ピュリファイア(purifier(s))/ジェネレータ(generator)を用いることになるが、これらを適正に制御できるように安価で速い応答速度の不純物分子センサが必要になる。

新規材料-----今後、スパッタターゲット/酸化物/CMP スラリー/低・高誘電体材料/バリアメタル/配線金属に関連して、新規なプロセス材料が広く用いられるようになる。これら新規材料を対象として、その目標不純物レベルを適正かつ迅速に決定するための技術が、今後ますます重要となる。また、これらの新規材料を済々と生産できるようにするためには、新規な計測技術の開発が必要となるかも知れない。

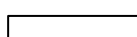
設計とプロセスの相互作用-----不良原因を究明し発生メカニズムを解明するために、標準的なテスト構造が必須となる。テスト構造を用いてデバイス設計とプロセスの相互作用を理解できれば、デバイス特性のプロセス依存性を軽減するようなデバイス設計時の基本ルールを確立できる。また、不良発生時に為される設計・プロセス間の情報交換も容易となる。さらに、デバイス設計の技術力と歩留を向上させるためにも、デバイス特性に対するプロセスの感度を解析し感度低下の改良を繰り返して行うことが重要である。一方、設計について言及すれば、ランダム欠陥に及ぼすレイアウトの疎密の影響を十分考慮しなければならない。

プロセスとプロセスの相互作用-----プロセス工程間の相互作用は、必ずしも密接な関連がないように見える上流または下流の装置/プロセスに影響を及ぼし、欠陥を発生させることがある。例えば、フォトレジストの膜厚やホールの密度は、ホール内部のエッチング残さの発生程度に影響する。特に、クラスター装置および洗浄槽は、ウェーハとともに汚染物質が或るモジュールから隣のモジュールに移送され、隣のモジュールのプロセス性能を低下させることが無いように、注意深く設計されなければならない。プロセスモニタは、欠陥を誘起するプロセス相互作用を発見し削除するために、重要な役割を担う。プロセスモニタを情報管理システムに統合し、多種多量な監視データの有機的な利用を可能とすることにより、上流・下流のプロセスパラメータに反映させたり、コンピュータで高度に制御された装置(intelligent process equipment)を最適状態に維持することができる。統計的プロセス制御(SPC)の実現である。

年 技術のノード	1999 180nm	2002 130nm	2005 100nm	2008 70nm	2011 50nm	2014 35nm
ウェーハ環境制御						
問題となる最小のパーティクル寸法 (nm) (A)	90	65	50	35	25	18
75nm以上のパーティクル数 (/m ³) (B)	22.5	9.0	3.6	1.8	0.9	0.27
分子汚染物質 (pptM) (C)						
リソグラフィ―塩基 (アミン、アミド、NH ₃)	1000	800	730	660	610	580
ゲート―金属 (銅, E=2 x 10 ⁻⁵) (C)	0.31	0.15	0.10	0.07	0.05	0.04
ゲート―有機物 (MW 250, E=1 x 10 ⁻³) (D)	27	19	13	9.4	6.6	4.6
有機物 (-CH ₂ -)	493	345	242	169	118	8
サリサイドコンタクト--酸 (Cl, E=1x10 ⁻⁵)	10	10	10	10	10	10
サリサイドコンタクト--塩基 (NH ₃ , E=1x10 ⁻⁶)	40	20	10	4	< 4	< 4
ドーパント (またはB) (F)	< 10	< 10	< 10	< 10	< 10	< 10
プロセス材料						
問題となる最小のパーティクル寸法 (nm) (B)	90	65	50	35	25	17
超純水						
TOC (ppb)	2	1	< 1	< 1	< 1	< 1
バクテリア (CFU/ liter)	< 1	< 1	< 1	< 1	< 1	< 1
全シリカ (ppb)	0.1	0.05	0.05	0.01	0.01	0.01
溶存酸素 (ppb)	10	1	1	1	1	1
問題寸法以上のパーティクル数 (/ml)	< 0.2	< 0.2	< 0.2	< 0.2	< 0.2	< 0.2
問題になるカチオン、アニオン、金属 (ppt)	20	< 20	10	1	1	1
薬液 (E)						
問題寸法以上のパーティクル数 (/ml)	< 0.5	< 0.5	< 0.5	< 0.5	< 0.5	< 0.5
HF, H ₂ O ₂ , NH ₄ OH: Fe, Cu (pptw)	< 250	< 150	< 100	< 50	< 50	< 50
問題になるカチオン、アニオン、金属 (ppt)	< 21	< 10	< 6.6	< 4.5	< 3.3	< 2.5
フッ酸中TOC (ppb)	< 60	< 30	< 20	< 15	< 10	< 10
HCl, H ₂ SO ₄ : 全ての不純物 (ppt)	< 1000	< 1000	< 1000	< 1000	< 1000	< 1000
BEOL溶剤, 剥離液 K, Li, Na (ppt)	< 1000	< 1000	< 1000	< 1000	< 1000	< 1000
バクテリア (CFU/ liter)	< 1	< 1	< 1	< 1	< 1	< 1
レジスト						
問題となる金属 (ppb)	< 10	< 5.0	< 3.3	< 2.2	< 1.6	< 1.2
スラリー						
問題となる金属 (ppb)	< 10	< 5.0	< 3.3	< 2.2	< 1.6	< 1.2
一般ガス						
N ₂ , O ₂ , Ar, H ₂ : H ₂ O, O ₂ , CO ₂ , CH ₄ (ppt)	< 1000	< 1000	< 1000	< 100	< 100	< 100
問題寸法以上のパーティクル数 (/liter)	< 0.1	< 0.1	< 0.1	< 0.1	< 0.1	< 0.1
特殊ガス						
問題寸法以上のPOUパーティクル数 (/liter) (D)	2	2	2	2	2	2
腐食性ガス--メタルエッチャント						
O ₂ (ppbv)	< 500	< 500	< 200	< 200	< 50	< 50
H ₂ O (ppbv)	< 500	< 500	< 200	< 200	< 50	< 50
不活性ガス--酸化膜/前処理エッチャント/剥離						
O ₂ (ppbv)	< 1000	< 1000	< 500	< 500	< 100	< 100
H ₂ O (ppbv)	< 1000	< 1000	< 500	< 500	< 100	< 100
総金属不純物 (pptwt)	< 500	< 500	< 500	< 100	< 100	< 100

TOC--total oxidizable carbon

解が存在



解を追求中



解が無い



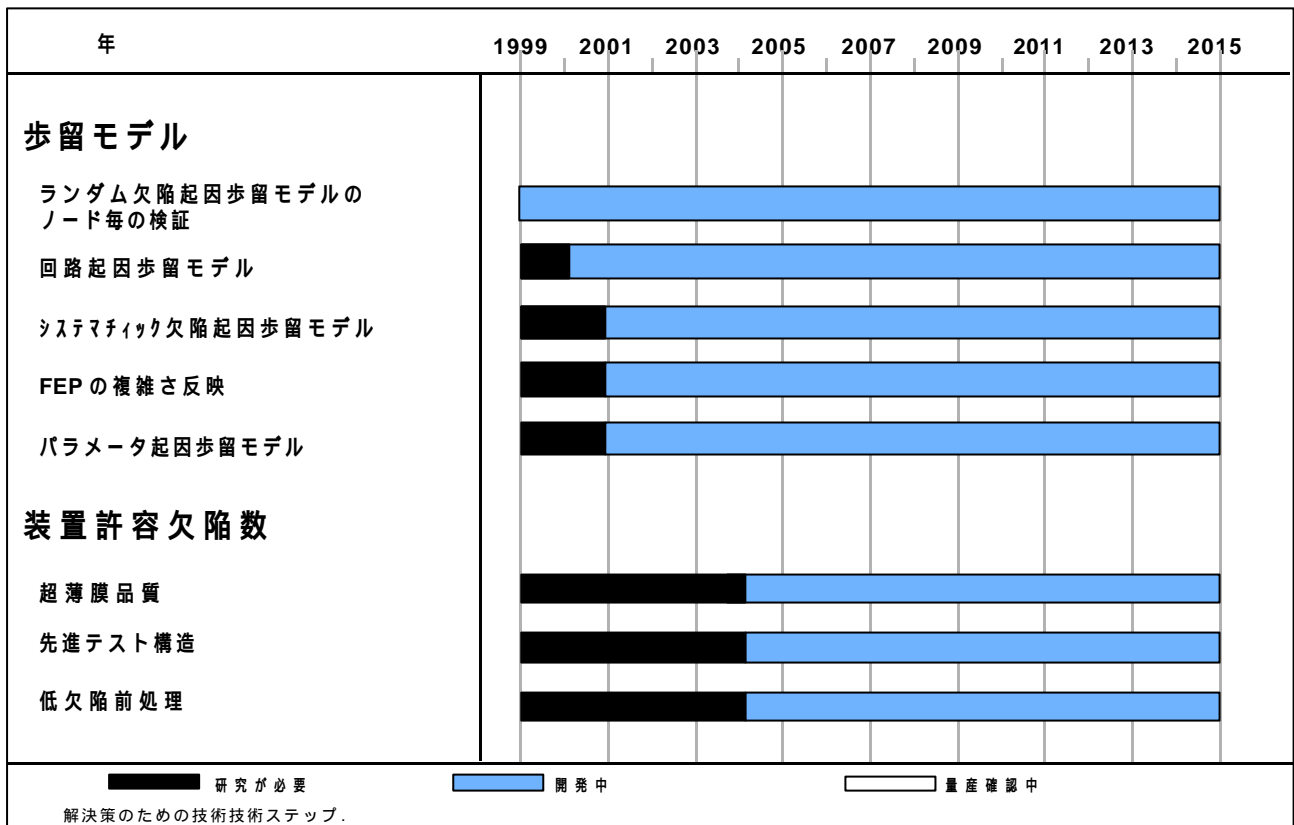
図表 2 - 1 2 - 5 欠陥の発生防止と排除技術に対する要求

- (A) 問題となる最小のパーティクル寸法は技術ノードの 1/2 であり、全ての欠陥密度は問題となるパーティクル寸法で正規化している。問題となる寸法のパーティクルは必ずしもキラー（致命欠陥）ではない。
- (B) 空気中のパーティクル要求は、0.01 cm/s の沈着速度より、パーティクル密度 3 個/m³ の空気に対して 1 個/m²/h となる。（この値は大気圧下でのおおよその値を与えてくれる。例として、180nm の要求は次のように計算される：(25 個/m²/ステップ) × (300 ステップ) / 1000hr × (3 個/m³ / 1 個/m²/h) = 22.5 個/m³）。数値は 75nm のパーティクルを基準にして求めている。
- (C) 示したイオン種が計算の基礎になっている。暴露時間は 60 分で、表面濃度がゼロから計算している。リソグラフィの計算基礎はリソグラフィのロードマップ、ゲートの金属や有機物は前処理の金属と有機物のロードマップに基づいている。全ての分子汚染は $S = E * (N * V / 4)$; S が到着率 (molecules/cm²/s) , E が付着係数 (0 から 1) , N が空気中濃度 (molecules/cm³) , そして V が平均分子速度 (cm/s)。pptM と ng/m³ の換算は $1 \text{ pptM} = 1 \times 10^{-12} \times (\text{原子 or 分子量}) / (22.4 \times 1000) = (\text{原子 or 分子量}) / 22.4 \text{ ng/m}^3$ 。
- (D) 有機物の付着係数は分子構造で大きく異なり、また表面の終端状態によって異なる。一般的に、250 より小さい分子量 (MW) の分子は高い揮発性から影響を及ぼさないと考えた。
- (E) 使用点 (POU) でのパーティクル目標であり、使用薬液の目標ではない。装置接続点での薬液中全不純物の目標は、エピウェーハを基準とし、バルクガス系、1:1:5 standard clean 1 (APM)、あるいは elevated temperature 1:1:5 standard clean 2 (HPM) 最終洗浄工程に用いる場合を想定して、数 ppb を予定している。‘HF 最終洗浄’の HF 液では約 10 倍、‘APM 最終洗浄’の APM 液では約 100 倍の純度改善が必要である。
- (F) P,B,As,Sb を含んでいる。
- (G) 問題となる金属やイオンには Ca,Co,Cu,Cr,Fe,Mo,Mn,Na,Ni,W を含んでいる。
- (H) TOC の値は最良データで必ずしも歩留データに基づいたものではない。

2 - 1 2 - 5 解決策の候補技術

(1) 歩留モデルと装置許容欠陥数

SEMATECH によって検証された情報を用いることに依って、より正確な装置許容欠陥数を提案できるようになった。このような検証努力は、ロードマップの改訂の度に継続して行われなければならない。一方、検証に併せて、歩留りモデルの改良を続けることが必要となる。歩留モデルと装置許容欠陥数算出方法は、見えない欠陥の比率が増大するため、より複雑化するであろう。見えない欠陥に対応するためには、現在広く行われている視覚的な解析への依存度を低くし、もっと多くの電気的特性情報を活用できるように、歩留りモデルを改良しなければならない。このためには、どのようなデバイスパラメータが歩留りにどの程度の影響を与えているかを研究し、よく理解することが必要となる。例えば、超薄膜の耐圧性/プロセスの複雑さ/配線速度と伝送特性などの歩留への影響をモデル化することが課題となる。このような課題を解決するためには、十分な半導体技術と処理能力を持っている半導体メーカーが主導し、大学やその他研究機関の力を十分に活用できる体制が整備されねばならない。



図表 2 - 1 2 - 6 歩留モデルと装置許容欠陥数の有望解

(2) 欠陥検出

欠陥検出に対する要求レベルを達成するためには、多大な研究と開発が必要である。欠陥検出における解決策の候補技術を図表 2 - 1 2 - 7 に示している。パターン付きウェーハ検査は、当面、光散乱方式および光学像比較方式の改良で対応することになるであろう。

歩留および装置許容欠陥数の要求レベルを達成するためには、高アスペクト構造の深部に存在する欠陥(例えば、深いホールの中に生じた非常に薄い残渣)を高感度で検出することが不可欠であり、レーザの短波長化と新しい検出方法(例えば、検出角度可変な複数の検出器を用いる方式)の開発が期待される。

将来に向けてさらに高い検出感度を実現するためには、ホログラフィ/SEM法/X線法などの研究・開発を促進しなければならない。これら新技術の開発に際しては、高い検出感度と併せて、目標スループットを達成することが課題となる。特に、将来性を期待される SEM ベースのシステムでは、スループットの向上が最大の課題である。それほど高いスループットを必要とされないプロセス開発では使用できるが、歩留立上げあるいは大量生産のフェーズで使用するためには、高速化を図るための技術革新が必要になる。

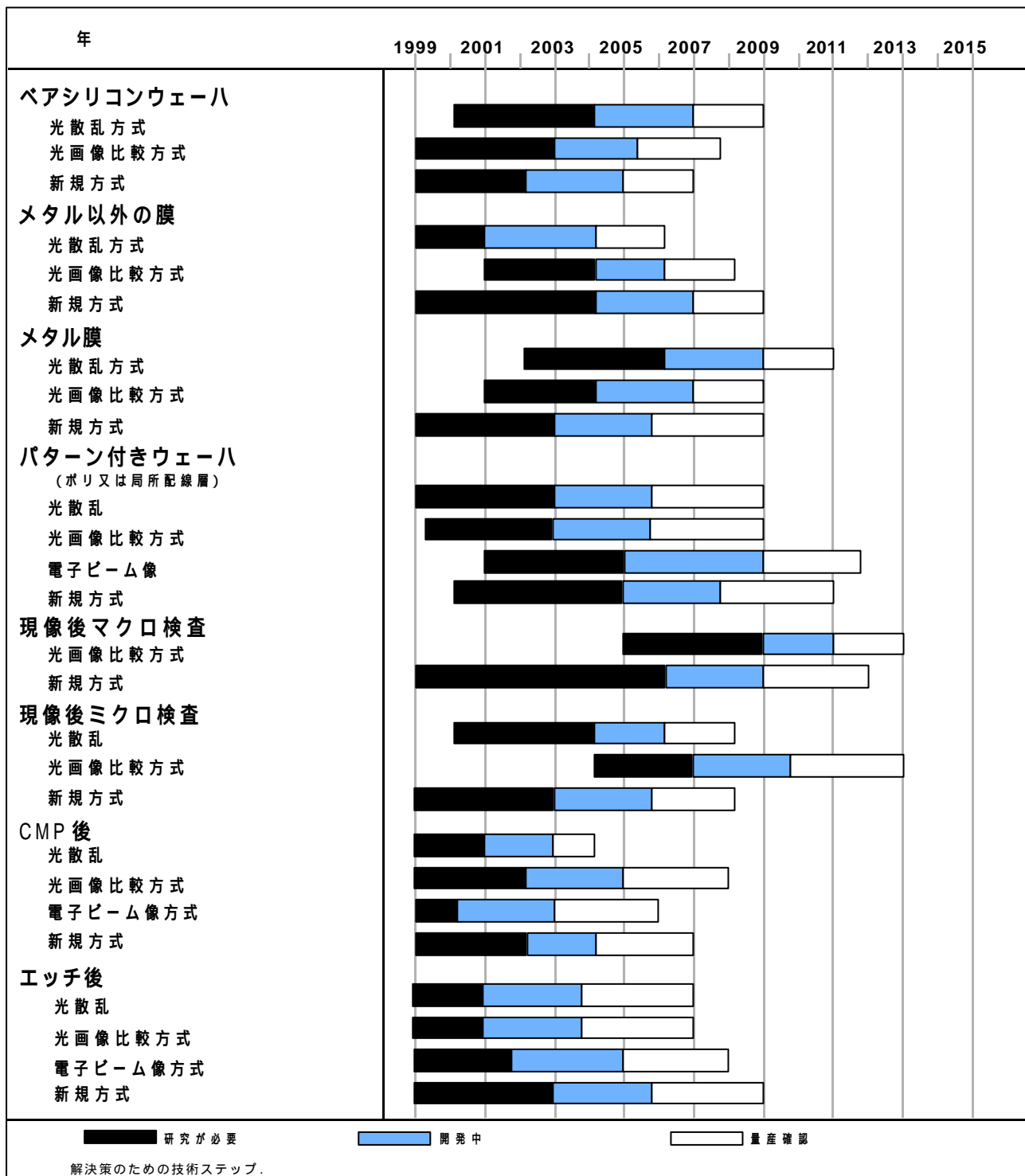
ソフトウェアにおけるアルゴリズム開発もまた、背景雑音を低減し実際的な検出感度を上げたり、画像比較処理を高速化しスループットを向上させるために、欠くことのできない課題である。

一方、これらの技術を用いて取得された組成・形状・その他の膨大な欠陥データを活用するためには、より高度なコンピュータ処理技術が必要である。これにより、短時間で欠陥発生源を同定したり、短期間で歩留りを向上することが可能になる。重要な処理技術としては、インライン/オフラインの自動欠陥分類(ADC)、空間的欠陥分布の解析法、最適なサンプリングを行うための手法、歩留への影響評価法などが挙げられる。また、その他の先端的 AI(人工知能)技術を半導体製造に応用す

ることが期待される。

欠陥は、可能な限り欠陥発生箇所に近い所で検出されるべきである。そのためには、プロセス装置への欠陥モニタ搭載をもっと普及させなければならない。

300mm 以上の大口径ウェーハになると、デバイスを効率よく大量に生産するために、プロセス装置に in-situ (インシチュ:その場) センサを装備しリアルタイムでプロセスを制御できるようにすることが重要になる。



図表 2 - 1 2 - 7 欠陥検出の有望解

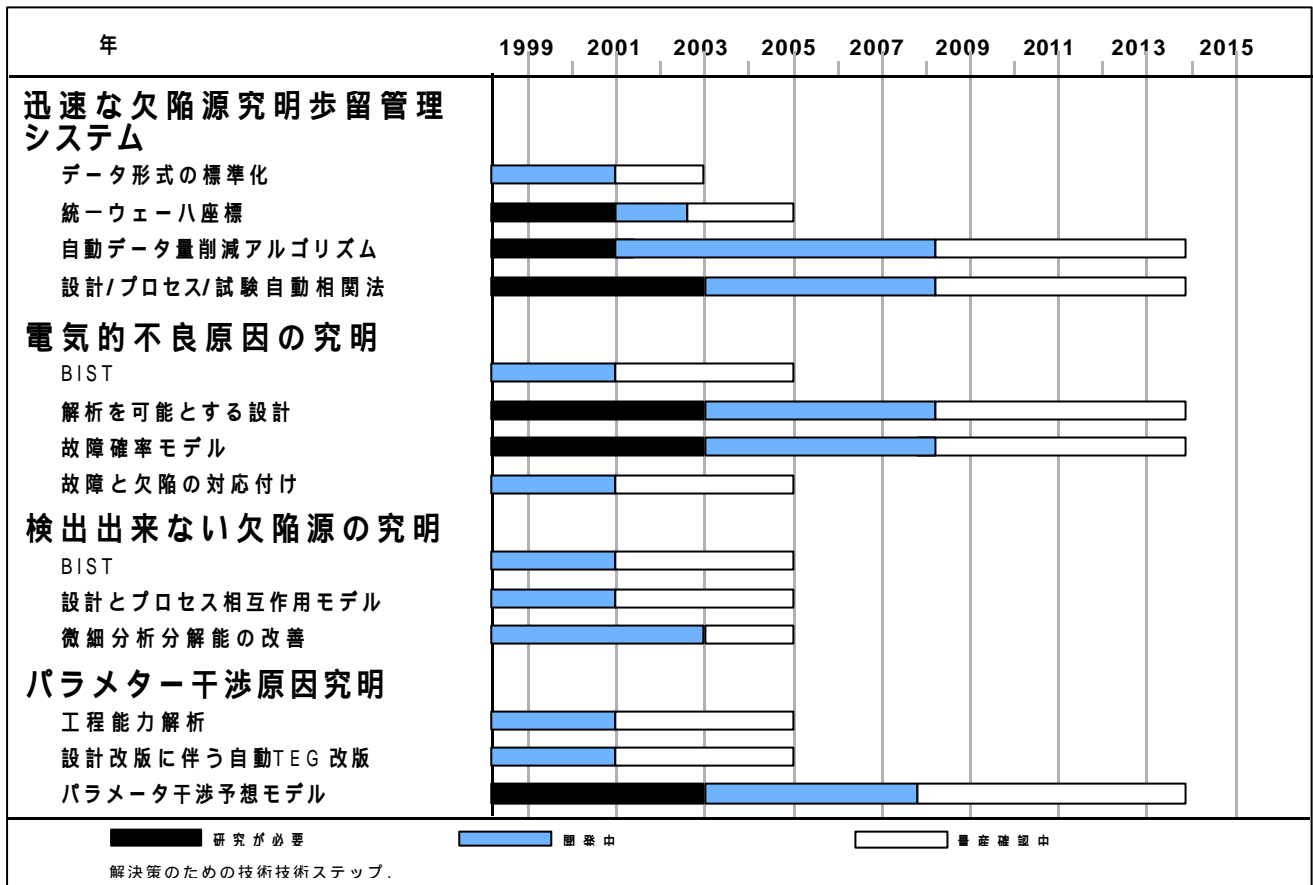
(3) 欠陥の発生原因と発生のメカニズム

PWP を制御するための統計的手法-----装置やプロセスの異常発生を高感度・実時間で検出するために、in-situ パーティクルセンサが唯一の手法となるかもしれない。一方、取得した PWP データを指数重みつき移動平均(EWMA) および累積計算(CUSUM) 手法を用いて処理すれば、従来の Shewhart の方法論よりも正確な結果が得られる。なぜならば、EWMA/CUSUM は正規分布に従わないデータに対する適応力が高いからである。しかし、データが連続的で正規分布している場合に Shewhart チャートと同程度の早さで異常を検出するためには、EWMA/CUSUM のサンプリング周期を上げなくてはならない。なお、すべての統計的手法において、‘異常検出の即時性’と‘間違っただ警告を行う頻度’はトレードオフの関係にある。

故障箇所の同定-----マイクロプロセッサにメモリアレイを組み込むと、故障箇所を短時間に同定できる。そのため、現在、アレイ型デバイスは非アレイ型デバイスよりも広く用いられている。将来的には、試験過程で故障箇所を同定できるように製品設計すべきである。組み込み自己テスト(BIST) は、そのための有効な手法の一つである。BIST 故障パターンは、故障箇所を回路上の物理的位置に突き合わせられるように設計される。試験プログラムは、蓄積した故障パターン情報を活用することによって、予めモデル化された既知の故障モードを、所定の検出確率で検出できるように、設計され得る。このように設計された BIST を用いれば、歩留エンジニアは回路故障箇所と原因をより早く正確に特定できる。

見えない欠陥----- ‘回路テストを用いて得られたパラメトリックデータ’と‘空間的欠陥分布解析(SSA)などの欠陥データ’との相関関係を理解することにより、「見えない欠陥」の究明が容易になる。また、「見えない欠陥」を発生させる因子とその欠陥誘起確率をモデル化することにより、原因究明に要する時間を削減することができる。一方、BIST は、パラメータの変動やずれに起因した不良モードを特定できるように設計されなければならない。また、故障解析手法を発展させ、検出可能な欠陥の大きさを原子のレベルまで広げること「見えない欠陥」のレベルを下げることに寄与する。

統合的歩留解析の能力-----複数のデータベースにアクセスし異種データ間の相関を短時間で提供できる「賢い」ソフトウェアツールを開発しなければならない。データベースには、検索する際のキーワードとして時間、ウェーハ、あるいはチップを用いるものがある。ウェーハ座標系は統一されており、データフォーマットは標準化されていることが必要である。欠陥源究明に要する時間を短くするために、複数のデータベースを用いて欠陥を追跡できるような自動データ抽出アルゴリズムを開発しなければならない。分析ツールの例としては、空間および時間ベースの信号解析と多変量統計手法が挙げられる。



図表 2 - 1 2 - 8 欠陥源と発生メカニズムの有望解

(4) 欠陥の発生防止と排除

プロセス材料-----図 2 - 1 2 - 9 は欠陥の発生防止と排除に対する解決策の候補技術を示している。純度に対する要求値の妥当性を検証することが必要であり、含有不純物が与えるデバイスへの影響を定量化して行かねばならない。今後とも、不良を起こす恐れがあるという心配だけで、厳しい要求値が出されるようなことは避けるべきである。定量化するためには、ユースポイント(POU)における純度レベルを知ることが不可欠であり、インラインで微量不純物をモニタすることが必要となる。超純水については、パーティクルレベルの目標は現在の濾過技術で容易に達成できるが、超微量なバクテリアを分析するための技術が必要である。また、純水の再生と再利用を促進するためには、ユースポイントでの再生水が使いきりの水と同等かそれ以上の品質であることを保証しなければならず、高速でのオンライン分析技術、特に有機物検出能力の向上が必要となる。

連続的にモニタしていなくても、フィルタが常に適切に動作していることが期待される。フィルタの信頼性を増すためには、特殊ガス用パーティクルフィルタの有効性と効率の良さが課題となる。特殊ガスに対し、100nm 以下のパーティクルをユースポイント測定するためには、インライン凝縮型パーティクルカウンタ(CNC)、あるいは酸化性・腐食性・可燃性かつ有毒な気体に使える新規な測定技術の開発が必要である。

プロセス装置-----プロセス装置における欠陥の低減は、欠陥密度の目標を達成するための永遠の課題である。しかし、技術の進歩によってコスト効率のよい 130-100nm デバイスの大量生産が実質的に可能になると予想されている。装置許容欠陥数の目標は、1層だけを考えた二次元的なスケ

ーリングに基づいている。今後は、他の層にまで影響して不良を引き起こす金属性物質、およびデバイスパラメータに影響を与えるようなその他の汚染物質も考慮に入れることが必要である。特に、これら見えない不純物はゲート特性に影響を及ぼしている。

プロセスチャンバについては、チャンバ内を清浄に保つためのチャンバ洗浄の頻度を低減し装置稼働率を向上することが、第一の課題である。洗浄頻度低減のためには、新しい洗浄化学薬品/in-situ チャンバモニタ/チャンバ素材の開発、およびチャンバ部品洗浄技術の改良などが必要である。第二の課題は、プロセスチャンバ(リアクタ)内の汚染発生/輸送/堆積のメカニズムを良く理解することである。物理的/化学的なプラズマ反応室汚染モデルを作ることが可能となる。また、装置およびプロセス設計の技術力を向上させ、in-situ センサで取得したデータを有効に利用することにも繋がる。

in-situ プロセス制御は、プロセス誘起欠陥の低減および検査コストの削減に効果的であり、今後ますます重要性が増す。プロセス装置がコンピュータで高度に制御されたプロセス処理を行うためには、装置パラメータがデバイス性能にどのように影響しているかを良く理解しなければならない。また、新しいセンサや制御ソフトウェアを簡単に搭載・集積化できるオープンなツール制御システムが必要となる。

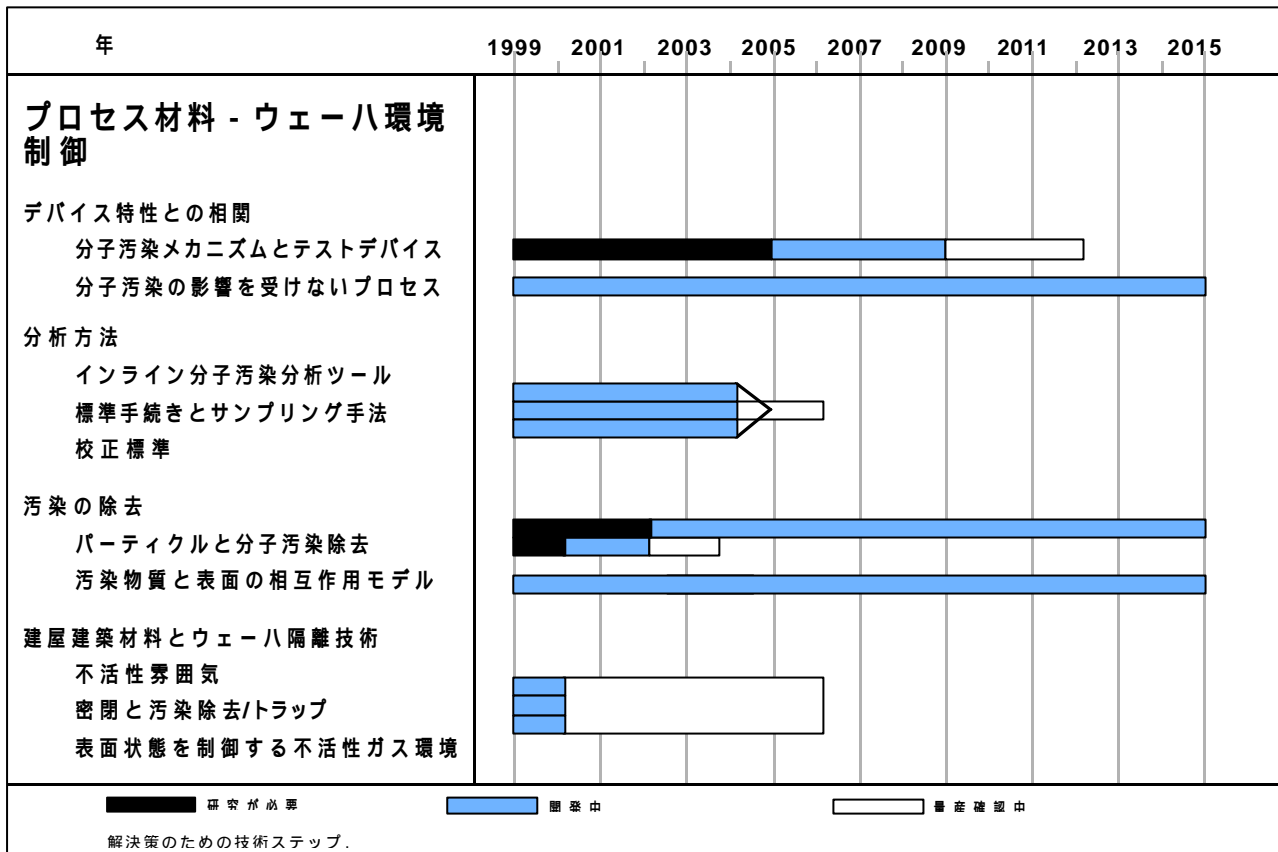
ウェーハ裏面に係わる汚染は、装置内で用いられる測定技術に大きな課題をもたらす。例えば、裏面から別のウェーハ表面への金属/パーティクルの移動、リソグラフィにおける焦点位置のずれ/焦点深度の低下、静電チャックでのパンチスルーなどは、測定を含めたプロセス装置の今後の課題である。パーティクルがウェーハに付着しないようにするための技術、例えばO-リング材料選択/気流・温度管理/ウェーハチャックの最適化は、欠陥密度を低減するために重要な課題である。

ウェーハ環境制御-----ウェーハ環境に係わり制御されねばならない汚染物質のリストは、長大化の傾向にある。計測技術も、このような傾向に対応して行かねばならない。

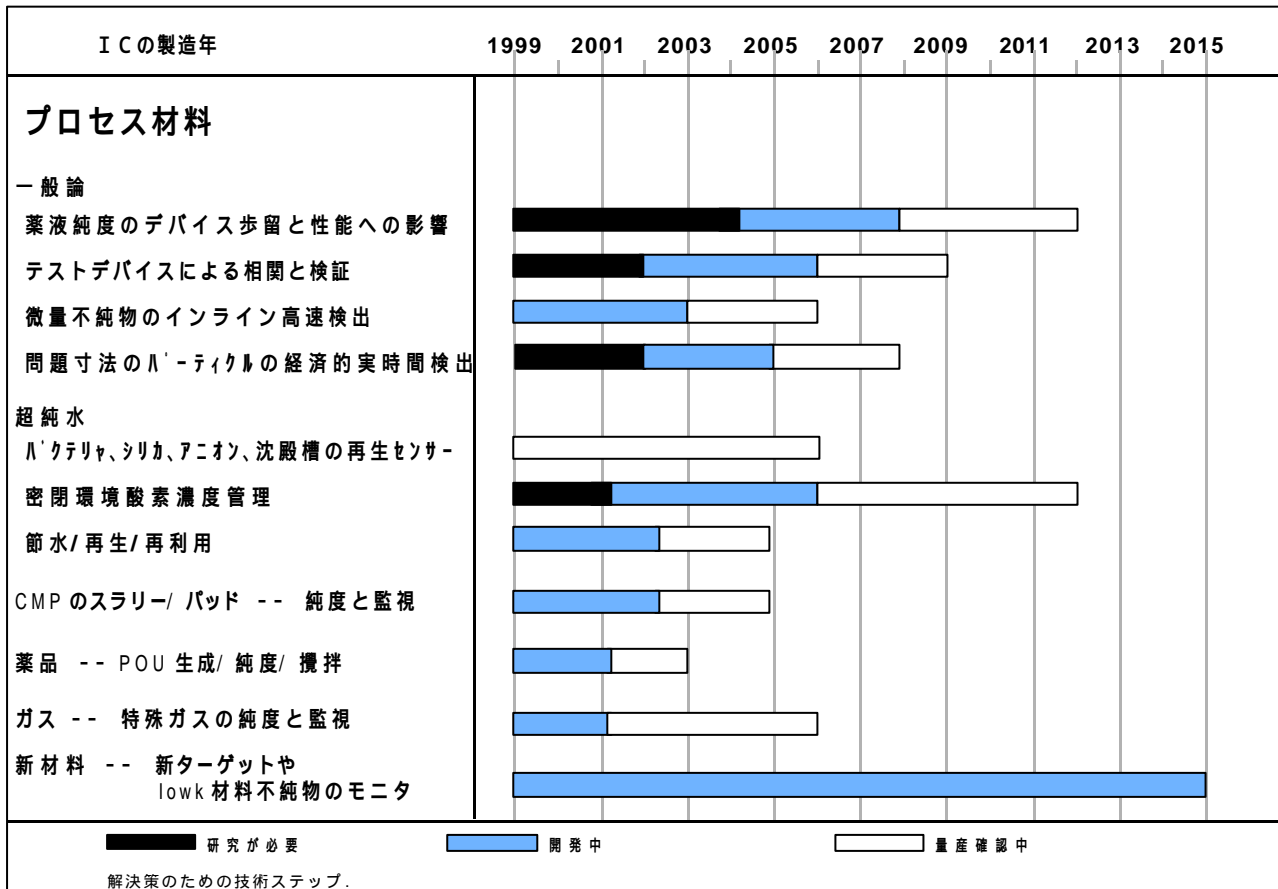
非パーティクル性汚染については、繰返し使用が可能な高精度のリアルタイムセンサが必要となってきた。

不活性ガス環境は、デバイスがプロセス汚染に対して敏感になる傾向に合わせ、ウェーハ搬送・収納への適用を主として広く採用されるようになる。ゲート/コンタクトの前処理とサリサイド(self aligned silicide)形成は、この環境を最初に必要とするプロセスである。また、不活性ガス環境は、真空ロードロックチャンバへの湿気の混入を防止し、ウェーハ汚染の回避とロードロック真空排気時間の減少にも効果がある。密閉ウェーハキャリアパーージシステムが進歩を続けている一方で、プロセス装置内でのウェーハ環境制御は未だ大きな課題である。例えば、ウェットシンクのエンドステーション(endstation)は、雰囲気の不活性ガスで満たすことが必要とされる。

ウェーハを環境から隔離し、汚染物質があってもウェーハに対しては汚染物質が影響しない環境を実現するために、ウェーハ隔離技術の進歩が不可欠である。例えば、ウェーハキャリアやエンクロージャ(enclosure)の材料選択/設計は重要な課題である。材料選択や設計がまずくて、プロセス間の複合汚染を発生させるようなことがあってはならない。また、密閉技術と脱ガスが少なく吸着し難い材料の開発が効果的なウェーハ隔離のために重要である。



図表2 - 12 - 9 (a) 欠陥の発生防止と削除の有望解



図表2 - 12 - 9 (b) 欠陥の発生防止と排除の有望解

(1) WG1(設計)

各章で述べているように、歩留向上における設計の果たす役割は非常に大きく、ここに箇条書きにまとめる。

- ・回路のプロセス感度の低減
- ・プロセスと回路性能相関解析のための TEG 作成
- ・クリティカルエリアと欠陥分布を考慮した回路パターン工夫
- ・冗長設計
- ・欠陥源究明を容易にする BIST 等の組み込み
- ・回路による不良発生確率モデル

(2) WG2(試験)

今後のデバイスの高密度化に伴い試験の複雑化が予想される。従来より議論されて来たが、試験におけるカバレッジの問題と欠陥低減の関係を明確にする必要がある。信頼性の問題と欠陥低減をどのように結びつけ、どのように取り組んで行くかも、今後の課題である。

(3) WG3(フロントエンドプロセス(FEP))

フロントエンドプロセスと欠陥低減は非常に関係が深い。配線が多層にわたる大量生産においては、配線工程の欠陥が歩留の主因であるのは事実だが、FEP の金属やパーティクルの微量不純物の汚染や、シリコンの結晶構造や COP の欠陥レベルが歩留やデバイス性能に大きく影響するため、FEP の課題が欠陥低減を推し進めていると言える。

FEP での必須材料の不純物仕様は原材料の経済性を検証するために、不良の発生メカニズムと結び付いたものでなければならない。微量の不純物の原子レベルモデルや、非常に小さく広がった欠陥や現象データに基づいたモデルは、原材料の仕様と欠陥密度の要求仕様にきっちりと結び付いた物でなければならない。基本的な研究を進めて、今までの「検出限界をもって原材料仕様とする」風習を止めるようにしなければならない。

投入材料と FEP 全体で、技術ノード毎に約 0.5 倍の表面欠陥検出感度の改善は 130nm の技術ノードを通して経済的に可能である。この検出感度を 100nm-35nm 技術ノードまで改善するには研究が必要である。この要求を複雑にしているのは、この寸法の欠陥のキラ-率である。'94NTRS のロードマップでは技術ノードの 0.33 倍を問題パーティクル寸法としていた。勿論、この寸法のパーティクルがキラ-欠陥となりうるが、0.5 倍のパーティクル寸法のものより確率は低い。キラ-率が 20 - 30% の範囲ならば、少し大き目のパーティクル寸法で監視していても、FEP を管理する事が可能だろう。50nm より小さいパーティクル寸法分布とパーティクル寸法の歩留への影響を調べる事で、ライン監視や解析用の装置を開発する役に立つであろう。ゲート領域で、ゲート絶縁膜厚相当寸法のパーティクルのキラ-率が 100% 近辺に有る事は当然であり、だからと言って欠陥検出装置の感度を上げる要求要因にはなっていない。

FEP の表面終端制御技術は素子分離技術の要求を引き続き決定するだろう。クリンルーム、キャリア、ポッドやフィルターからの脱ガスした有機物やイオン性の物質はデバイスの性能や歩留に影響を及ぼす。同時に保管や工程から工程への搬送を不活性ガス環境にする試みが、酸化膜からゲート

電極形成の工程などでなされている。プロセス、歩留、デバイス能力要求事項を考慮しながら、このような不活性ガス環境の研究と開発を行い、コスト効果がある大量生産の製造環境として、どの技術ノードで導入したら良いのか検討する必要がある。

明らかに FEP 欠陥検査での最も大きな技術要求は、不完全なコンタクト開口やローカル配線でのパターン欠け/出っ張りやコンタクトや素子分離の溝の底にある小さな残滓の信頼性ある速い検出である。現状の検査技術は遅く、値段の高い、エンジニア解析用であって、インラインの生産管理用ではない SEM ベースの装置となっている。FEP の歩留習熟を引き続き達成するためには、コスト効果がある短波長を用いるか新規の検出方法を用いた生産用検査装置が必要である。

(4) WG4(配線)

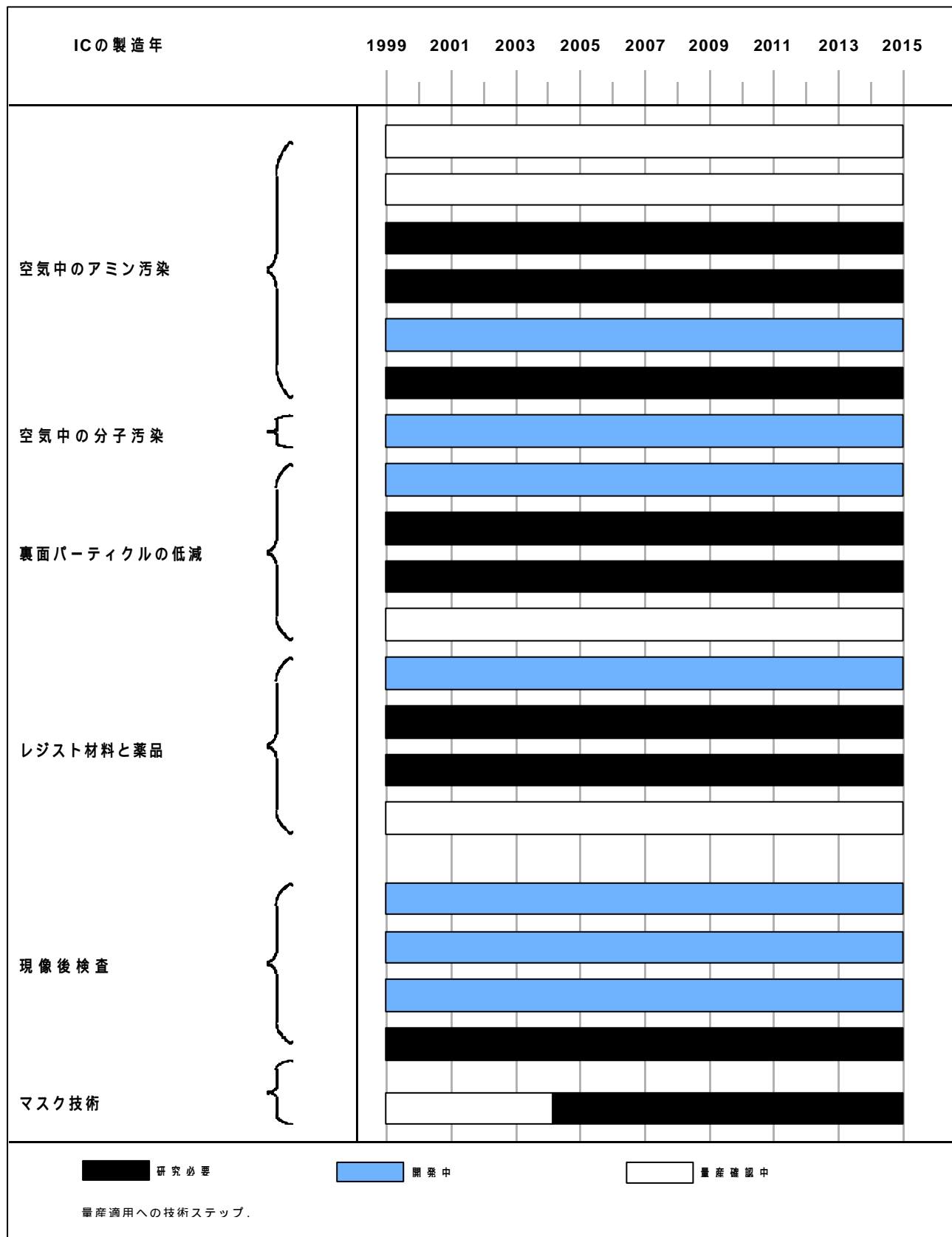
配線と欠陥低減の項目は非常に強い横断的な相互依存関係にある。汚染による歩留損失やフィールド障害は他のどの部分よりも配線工程で頻繁に起こっている。配線と欠陥低減で共通の課題は 100nm より遥かに小さい超微粒子の検出や透明な絶縁体膜のスクラッチを見つける事、欠陥目標に正当性を付ける事、溝やビアの側壁や底にあるパーティクルを検出する事、複雑な層状膜の欠陥を見つける事である。ビアやコンタクトの所に現れるボイド (void:空隙) を検出する事はポーラスな誘電体膜の中でボイドを区別する事と同様に重要である。

新材料やデバイス構造では、新規のスピン塗布の誘電体膜で、泡、縞模様、縮み、割れ、剥がれと言った問題を起こしている。銅のように柔らかい金属の CMP では、ピッチング、腐食、化学エッチの問題が起きている。銅の誘電体膜よりの剥がれと言ったインテグレーションの課題もある。銅配線技術を普及するためには、工場です容可能な銅の汚染レベルとウェーハ裏面から表面への銅汚染レベルの基準を確立するために、微量元素の実時間計測技術が必要となるだろう。

ビアと溝のエッチングは垂直な側壁形状のために非常に異方性が高い必要があり、この構造の側壁や底に有機物の残渣を残す事になる。高温や高圧のアルミや銅のリフロー技術が複合膜の形成にも必要で、溝やビアの側壁や底の濡れ性でリフローが決まっている。有効な濡れ性を確保するためには残渣の除去が必要である。先進のメタル配線技術のためには、溝、ビアの後処理洗浄と連続した、メッキ銅の核や、サリサイドの CVD や、バリヤメタルやビアも溝埋めのための表面前処理が必要となるだろう。配線用のプロセス装置のプロセスや材料の基本的理解をするためには数値モデルを作り、同時に洗浄装置のプロセスも理解する必要がある。温度を利用したパーティクル発生防止方法で、線幅の縮小に伴うパーティクルのキラー率の増加を抑える事が必要になるだろう。プロセス室内の気相でのパーティクルの核形成を避けるためには、センサが取り付けられない局部の温度や圧力、濃度、流量など多くの場所でのデータが必要となるだろう。センサが使える場合でも、数値モデルは必要でセンサの位置を決定して、最終的にはウェーハ上でのパーティクル測定との相関を取ることが出来るようになる。プロセスの化学過程を理解して、プロセス室壁での残渣の形成と剥がれの時間を抑えたり、洗浄と洗浄の間の時間を延ばしたりする事が出来る。残留湿度のモデル化やセンサを付ける事で、プロセス室の回復時間を減少する事が出来る。CVD やスパッター装置のプロセス室では、光学ファイバーのようなセンサを使い、残渣膜の形成や剥がれの警告を発するべきである。絶縁膜や金属膜処理に使われる材料の不純物の仕様は、CMP のスラリーや低/高誘電体材料や変わったバリヤー材料、誘電体材料にとって益々重要となるだろう。

(5) WG5(リソグラフィ)

図表2 - 12 - 11 参照の事。



図表2 - 12 - 11 フォトリソグラフィよりの欠陥低減要求

(6) WG6(デバイス)

インテグレーションが進歩するにつれ製造技術と関係したプロセスと材料の複雑さは増す一方である。技術が進歩するために、今までと大きく異なったプロセスや新材料が導入されている。配線層数の増加とあいまって、欠陥検出と欠陥源の同定の困難さが増している。また、プロセス間の相互作用が重要複雑となり、欠陥発生源となっている。図表2 - 12 - 8「欠陥源とメカニズム」に見られるように、許容できる歩留と信頼性を達成するために、欠陥密度の低減要求と欠陥低減技術に対する要求が加速している。材料の高純度要求とあいまって、プロセスインテグレーションとデバイス構造関係者のより親密な創造的な協力が必要である。

同様に増大するコスト要求の中で歩留習熟過程サイクルを加速し、欠陥源同定の複雑さに対処するために、普通の技術で予測と分析が出来るTEGが必要である。欠陥低減技術の進歩のためには、次の分野のTEGが必要である。

- 1) 水や薬品の投入材料TEG
- 2) 非常に僅かなレベルの汚染物質を検出するインライン試験用TEG
- 3) 目に見えない欠陥(目で見える物理的痕跡を残さない欠陥、すなわち従来の検出手段では到達できないレベルの欠陥)を分析し、源を突き止める助けとなるTEG
- 4) 新プロセスや材料に伴う歩留や信頼性の損失モードに対する電氣的検出やスクリーニングTEG
- 5) ICのアーキテクチャに付随したモデルにたいするウェーハレベル信頼度試験TEGである。

これらのTEGは次の4分野に分類できる。

すなわち、

- (a) 投入材料
- (b) トランジスター構造
- (c) 配線
- (d) 歩留向上の関連TEG

図表2 - 12 - 10はこれらの研究開発の時間軸を示している。

課題	解決策候補		
	1999-2004年	2004-2009年	2009-2014年
材料			
水と薬品純度		微量不純物用 TEGとモデル	
トランジスター構造			
基板の欠陥-Si		電気特性の改善	
基板の欠陥-SOI		検出能力	
溝内汚染	エレクトロマイグレーションに繋がる溝内汚染の早期検出		
局所ゲートとフィールド酸化膜欠陥(イオン汚染、チャージ効果)			
ポリゲートの局所空孔化	検出能力		検出能力
絶縁膜とダイオードの信頼性	薄膜に対する電気効果		
単発事象	検出能力		
配線			
コンタクトとビア内汚染	不良コンタクトの分離と早期検出		
銅用バリメタの信頼性	検出能力		
誘電率の変化(垂直方向)	積層膜の複数膜検査能力		
誘電率の変化(水平方向)	配線間容量測定能力		
リークパス	低レベルリークの改善		
エレクトロマイグレーション		予想に使える TEG	
歩留向上			
大工程内でのフィードフォワード		TEGと試験	
全工程でのフィードフォワード		TEGと試験	
フィードバック		TEGと試験	

図表2 - 12 - 10 プロセスインテグレーション欠陥低減要求

(7) WG7(アセンブリ) 依存性無し。

(8) WG8(ファクトリインテグレーション)

新工場の重要な目的は歩留の垂直立上げである。従って、欠陥低減の戦術を実行することは、ファクトリインテグレーションの「コストを低減して投資リスクを回避する」使命にとって重要である。歩留損失は理想のプロセス状態からのかい離によって引き起こされるので、かい離がなぜ起こるのかを理解し、かい離を防止するモデルを作る必要がある。また、高歩留を達成するに有効なプロセスパラメータを見つける必要がある。工場の欠陥低減モデルは代表的な運営効率を決め、欠陥と歩留損失に繋がる効率低下要因のパレートを示すものでなければならない。プロセスのパラメータ実験の結果に基づいた工場モデルは、センサを統合し、先進プロセス制御を行い、個別の検査/計測装置に頼らずウェーハの状態を監視できるものである。最も重要な事は、重要プロセスパラメータのバラツキ範囲を決定し、プロセス間の相互作用からより良い先進プロセス制御を行い、プロセス終了後の検査に頼る事を減らす事である。重要なプロセスで、プロセス薬液の不純物レベルがエッチングレートや膜

の均一性やデバイスの Vth やゲート耐圧に影響を及ぼすぎりぎりの限界点にあれば、in-situ センサの開発を促進して、前もって欠陥源を排除して高歩留を達成するまでの時間を減らす事が出来る。歩留立上げでは欠陥低減のために沢山の情報のインプットが必要であり、このインプットによって、速い建屋の建築、速い歩留立上げ、有効な装置利用と言うように次の技術と製品に向けた展開の可能性が明らかになる。例えば、個々のプロセスに割り当てた欠陥の目標値は、装置メーカーの装置開発の方針を決めるために使え、歩留の立上げ、工場コストやプロセスの複雑さの相互作用とトレードオフの比較検討をする事が出来るようになる。

(9) WG9(ESH) 依存性無し。

(10) WG10(TCAD)

歩留と各種プロセスとの相関関係を定性的に理解するために、TCAD モデルを用いた歩留モデルをつくる必要がある。特に、見えない欠陥や、プロセスのバラツキ起因の歩留損失、デバイスが高周波化することによる干渉の問題など、モデル化が急がれている。アプローチの方法として、全体像を明確にした取り組みが必要である。

2 - 12 - 7 提言

(1) 現状における着手レベル

180nm ノードでの量産の開始が始まり、今までの設計、製造における半導体産業の水平分業が益々促進され、さらに製造においても新たな垂直分業が推進されている。これらのビジネスの言わば束ねとなっているのが歩留であるが、歩留向上/欠陥低減を現場での努力、現場のノウハウの蓄積という状態から、歩留向上/欠陥低減を科学的に解明し、歩留の垂直立上げを実現しようと言う意見が大勢をしめるようになって来ている。しかし、大勢の意見も、各社ばらばらであり、未だ明確な方向性を持ったものではない。本ロードマップを纏めるにあたって、各社個別に装置毎に行っていた装置欠陥の低減は、例えば、プロセス室壁よりのフレークの剥離、落下そしてウェーハ上への付着とどの装置も同じメカニズムをしており、対策にあたっては、剥離防止のためにプロセス室の温度制御を行うなど、共通した問題として取り上げ、解決策が見出し得る事が認識された。また、プロセス材料においては、「心配だから」と言う心理から必要以上に純度の高いものを使用していた可能性があり、むしろ TEG をもちいた実験による検証が必要である事が認識された。欠陥検査においては、現状の欠陥検査装置が処理速度の点、解像度の点で満足に行けるものではなく、新たな高速、高解像度の検査装置が必要である事。さらに、欠陥をレビューするための SEM に当たっては、高速、高解像度、高速自動分類が必要である事が共通の認識となった。また、欠陥を自己自動検出、そして自己自動低減といった究極の半導体製造装置の出現には未だ時間がかかり、そのためには、一歩手前の、装置群による同機能の実現の技術段階が必要なことを確認した。欠陥検査の標準化を進めるために、欠陥の標準試料が必須であるが、現状では、実用になるものは無い。

(2) 目標に到達するための提言

歩留モデル、装置欠陥モデル、分子汚染モデル、故障解析モデルなど各種のモデルを作る必要

がある。モデル化に当たっては高度数学を扱う必要から、学界レベルでの参加が必要である。また、モデルの検証にあたっては、公的機関の装置及び装置を用いて製造した TEG が必須である。モデル検証のやり取りによってモデルを高精度化した後、装置メーカ、デバイスメーカが各社の状況において使い込む事が必要と思われる。

また、装置欠陥低減では、欠陥を低減する仕組みの開発を、広く学界、政府研究機関、産業界にもとめ、公的な支援のもとに行い、共通の財産とする事が肝要である。

緊急の課題である欠陥検査装置、欠陥レビューに関しては、現状の検査装置メーカに一層の開発努力に期待する。この時にデバイスメーカとの緊密な連絡のもとに開発する事が必要である。欠陥データについては、規格の標準化を推進する。欠陥の標準試料については、公的研究機関の参加により実用に耐えるものを実現したい。

薬液の高純度化に当たっては、標準化のメリットも多く、デバイスメーカの協力により、無駄の無い、薬液の高純度化が望まれる。

装置群の自動制御にあたっては、各デバイスメーカが主体となって推進するのは当然だが、ソフトの共通化、インターフェースの共通化など、標準化のメリットを生かす必要がある。

半導体装置の高知能化にあたっては、長期の展望に立って取り組む必要があり、産学共同の開発体制が必要である。

最後に SOC に言及すると、'混載時/少量多品種/ミニラインなどの欠陥低減策を如何に方向づけるか'を本ロードマップで検討することになる。しかし、SOC の意味するところは広く、'SOC のための欠陥低減'のあるべき姿を一つに絞り、明確に描くことが出来ていない。'日本の半導体技術を牽引すべき、旗印として SOC'を明確にするとともに、各要素技術の課題・目標として詳細化することを、急がなければならない。

図表の参照

- 図表2 - 1 2 - 1 : ITRS'99Table74 に基づき一部 STRJ で改訂
- 図表2 - 1 2 - 2 : ITRS'99Table75,76,77 に基づき一部 STRJ で改訂
- 図表2 - 1 2 - 3 : ITRS'99Table78 に基づく
- 図表2 - 1 2 - 4 : ITRS'99Table79 に基づく
- 図表2 - 1 2 - 5 : ITRS'99Table80 に基づく
- 図表2 - 1 2 - 6 : ITRS'99Figure55 に基づく
- 図表2 - 1 2 - 7 : ITRS'99Figure56 に基づく
- 図表2 - 1 2 - 8 : ITRS'99Figure57 に基づく
- 図表2 - 1 2 - 9 : ITRS'99Figure58 に基づく