

17. 附録A

Overall Roadmap Technology Characteristics

17-1 スコープ

ORTC(overall roadmap technology characteristics)テーブルは、主要テクノロジーの指標と成る数値を整理してまとめたものである。イントロダクションで説明したとおり、テーブルのヘッダの年は、個々の行項目の数値に従って、このテクノロジーで特徴付けられる集積回路(IC)の開発/ライフサイクルの異なる時点を指すようにしている。行について特別の指定がなければ、デフォルト年は(前回のロードマップと同様)、製品出荷が10,000 ICユニットを超過した年を指している。

ORTC テーブルは、ロードマップ作成作業の初期の段階で作成され、これを元に、章の詳細を作成する各 Technology WG の活動が開始されます。また ORTC テーブルは、ロードマップの更新作業においても、特定のテーブル間の不一致を指摘することで、TWG 間の同期化の手段として利用された。その結果 ORTC テーブルは、ロードマップドキュメントが完成するまでに数回反復された。ORTC テーブルのより詳細な数値は、各 Technology WG の章にある。また、ORTC 用語集が附録として提供されている。

新しいテーブルには、前例のない高いレベルで、TWG 間および国際的な調整、コンセンサスによる基礎となるトレンドモデルの開発、合意された数値対象が盛り込まれている。また ORTC テーブルでは、1997 NTRS に比べて行項目が増えている。これは、基礎となるモデルを明らかにし、テクノロジー領域間の相互関係をより詳細に伝える複数の行項目の追加によるものである。

17-1-1 ロードマップ予測

テクノロジーノードの導入時期は、ITRS(International Technology Roadmap for Semiconductors) 1998 のアップデートから変化していないが、1997 NTRS からは変化している。そこで次に、1997 NTRS と 1998/1999 ITRS との間で異なるノード時期について説明する。国際的なコンセンサスによれば、「150nm ノード」は除去されており、130nm ノードから始まる次のテクノロジーノードは、1年間早まっている。180nm テクノロジーノードで製造された製品は1999年に出荷されており、1997年の250nm ノードから2年のテクノロジーノードサイクルが実現されていることに注意されたい。また130nm テクノロジーノードが市場に導入される時期は、1997年に2003年と予測されていたが、今回2002年とされ、DRAM(dynamic random access memory)メタルハーフピッチノードの3年サイクルが継続していることが示された。合意とパフォーマンス需要に支えられ、MPU(micro-processor unit)ゲート長は2年で70%の縮小を続け、2001年には100nmのMPUゲート長を実現するが、その後は3年サイクルに戻ると予測される。DRAMのハーフピッチノードが、さらに1年間早まるという楽観的な見方も一部にある。この可能性については、2000年のITRSアップデートで再評価することになろう。多様なサイクルを反映し、将来のロードマップの変化を詳細に観察できるようにするため、1999年から2005年まで(「短期」という)については一年毎に、その後は3年間隔(2008年、2011年、2014年(「長期予測期間」という))でテクノロジーをまとめる旨が、合意された。

ロードマップの指標となる ORTC の数値は、産業界をリードしようとする半導体メーカーによって、しばしばスケジュール以前に達成される傾向がある。つまり、半導体産業の高度に競争的な環境が、ORTC 数値の多くの部分を、ひいてはロードマップを急速に陳腐化してしまいがちである。そのため、毎年のアップデートにより、テクノロジーの方向性に関して、変化を遂げる国際的なコンセンサスに十分接近した報告が提供でき、産業界にとって ITRS が有用であり続けられることを希望するものである。

17-2 背景

17-2-1 製品世代およびチップサイズモデル

このセクションでは、「製品世代」と、そのテクノロジーノードとの関係について述べる。これらの用語は、これまで区別せずに使われることが多かった。しかし、3 年毎に密度が 4 倍になり、本質的に新しいテクノロジーを基礎とした DRAM 製品世代が登場する、といった過去の単純な図式は、テクノロジーノードを定義する方法としては排除された。今回の ITRS でも、「テクノロジーノード」は予測される DRAM フィーチャーサイズ(最小メタルハーフピッチ)にリンクされているが、その関連の重要性は、製品の進化/縮小化の複雑化によって薄れつつある。したがって「テクノロジーノード」は、単なる「指標」以上のものではなくなっている。

歴史的に DRAM 製品は、半導体産業全体の牽引役として認識されてきた。1990 年代前半まで、(MPU に代表される)論理テクノロジーの開発速度は、DRAM より遅かった。しかしここ数年間は、マイクロプロセッサの製造に使われる新テクノロジーの開発が加速している。予測されていたとおり、今やマイクロプロセッサ製品は、DRAM とのテクノロジーギャップを埋めるに止まらず、最先端のリソグラフィツールを牽引している。現在 DRAM およびマイクロプロセッサ製品は、テクノロジーリーダーの地位を共有するものと認識されている。

これら 2 つの製品ファミリーには、根本的な違いがある。製品市場から、コスト削減と製品製造の生産性向上に対する強い経済的圧力を受けるため、DRAM 製品ではチップサイズの縮小が強調される。このため DRAM テクノロジーの開発では、メモセルの占める面積の最小化が特に重視される。しかし、このメモセルサイズを最小化する圧力は、電荷ストレージパフォーマンスを上げるためにセルのキャパシタを最大化するという要請とは矛盾する。このためメモリ設計者は、セルサイズを縮小しながら最低静電容量を満たすために、設計法と材料による独創的な方法を開発しなければならない。また最大限の DRAM セルを最小領域に詰め込むには、セルピッチの最小化が必要となる。マイクロプロセッサも市場から、主にトランジスタゲート長とインターコネク層の数で決定されるパフォーマンスを最大化しながら、コストを削減する圧力を受けている。このため、国内および国際的な技術者やビジネスアナリストのチームが協力し、要求される機能、チップサイズ、セル面積、および密度について討議し、コンセンサスに至った。その結果、新たな行項目を追加し、基礎となるモデル仮定を注記することになった。DRAM ハーフピッチが、引き続き ITRS テクノロジーノードの主要な指標となることについては、合意が得られている。表 1には、ハイパフォーマンスの MPU ゲート長フィーチャーサイズの変化と、DRAM ハーフピッチに並ぶ、あるいは少し遅れた MPU/ASIC(application specific integrated circuit:特定用途向け IC)製品のメタルハーフピッチを記載している。

各製品世代について、最先端(「導入」時)および量産(「生産」時)DRAM 製品が示されている。1997

年の NTRS 改訂時に予測されたとおり、最近導入された波長 193nm の露光装置と補正マスク、光抵抗テクノロジーによって、2002 年には 130nm ハーフピッチノードが可能となるだろう。150nm ハーフピッチの能力（もはや正式なノード指標ではなく、縮小目標）は、やはり 2001 年に達成されると予測されるが、さらに早まる可能性がある。現在 2005 年を目標とする 100nm テクノロジーノードの出現により、「非光学系」露光技術が光学リソグラフィの有力な競合になると予測されている。MPU で 100nm のゲート長が実現する目標は、2001 年とされている。

1999 年版の ITRS を 1997 年のロードマップと比較すると、フィーチャーサイズの年率縮小率は、1995-1999 年の期間では 16%/年（約 30%/2 年）にまで加速しているが、長期的には引き続き約 11%/年（約 30%/3 年）と予測できることが分かる。新製品世代の導入スケジュール全体は、さらに 1 年分加速されており、最良のケースでは 2001 年のロードマップ改訂で、パフォーマンスが前進する可能性がある。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
DRAM 1/2 Pitch (nm)	180	165	150	130	120	110	100	D 1/2
MPU Gate Length (nm) ††	140	120	100	85-90	80	70	65	M GATE
MPU/ASIC 1/2 Pitch (nm)	230	210	180	160	145	130	115	M AND A 1/2
ASIC Gate Length (nm)	180	165	150	130	120	110	100	A GATE
Memory								
Generation at introduction §	1G	—	2G	—	4G	—	8G	—
Functions per chip (Gbits)	1.07	—	2.15	—	4.29	—	8.59	Market — Moore's Law
Cell area factor	8.0	7.3	6.6	6.0	5.4	4.9	4.4	Market — Cost/Timing
Cell area (µm ²)	0.26	0.20	0.15	0.10	0.08	0.059	0.044	Market — Cost/Timing
Chip size at introduction (mm ²) §	400	—	438	—	480	—	526	Market — Cost/Timing
Cell array area at introduction (% of chip size) §	70%	—	72%	—	70%	—	72%	Market — Cost/Timing
Gbits/cm ² at introduction §	0.27	—	0.49	—	0.89	—	1.63	Market — Cost/Timing
Generation at production §	256M	—	(512)	—	1G	—	2G	Market — Cost/Timing
Chip size at production (mm ²) §	132	—	145	—	159	—	174	Market — Cost/Timing
Cell array area at production (% of chip size) §	53%	—	55%	—	53%	—	54%	Market — Cost/Timing
Gbits/cm ² at production §	0.20	—	0.37	—	0.68	—	1.23	Market — Cost/Timing
Logic (High-volume Microprocessor) Cost-performance *								
Generation at introduction †	p99c	—	p01c	—	p03c	—	p05c	—
Functions per chip (million transistors [Mtransistors])	23.8	—	47.6	—	95.2	—	190	Market — Moore's Law
Process/design annual improvement factor ++	0.90	0.90	0.90	0.91	0.92	0.93	0.93	Market — Cost/Timing
Transistor density SRAM at introduction (Mtransistors/cm ²)	35	50	70	95	128	173	234	Market — Cost/Timing
Transistor density logic at introduction (Mtransistors/cm ²)	6.6	9.4	13	18	24	33	44	Market — Cost/Timing
Chip size at introduction (mm ²) ***	340	—	340	—	372	—	408	Market — Cost/Timing

表 1a 製品世代とチップサイズモデル—短期予測期間

++ MPU のプロセス/設計による改善の要因は、MPU メタルハーフピッチ削減によるの寄与分と、機能面積の削減を加えた推定値である。この追加的面积の削減は、一般に DRAM の「セル面積ファクタ」と同様の意味を持ち、インターコネクトレベルの追加や、セルフアライン(self-alignment)技術、より効率的な回路レイアウトなど、多くの要因の組み合わせによって実現されている。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
DRAM ½ Pitch (nm)	180	165	150	130	120	110	100	D ½
MPU Gate Length (nm) ††	140	120	100	85-90	80	70	65	M GATE
MPU/ASIC ½ Pitch (nm)	230	210	180	160	145	130	115	M AND A ½
ASIC Gate Length (nm)	180	165	150	130	120	110	100	A GATE
Logic (High-volume Microprocessor) Cost-performance *(continued)								
Cost performance MPU (Mtransistors/cm ² at introduction) (including on-chip SRAM) ***	7	—	14	—	26	—	47	M Gate and M and A ½
Generation at ramp †	p97c	—	p99c	—	p01c	—	P03c	—
Chip size at ramp (mm ²) ***	170	—	170	—	214	—	235	Market — Cost/Timing
Cost performance MPU (Mtransistors/cm ² at ramp, including on-chip SRAM) ***	7	—	14	—	22	—	41	M Gate and M and A ½
Logic (Low-volume Microprocessor) High-performance **								
Generation at ramp ‡	p99h	—	p01h	—	p03h	—	p05h	—
Functions per chip (million transistors)	110	—	220	—	441	—	882	Market — Moore's Law
Chip size at ramp (mm ²) ***	450	—	450	—	567	—	622	Market — Cost/Timing
High-performance MPU Mtransistors/cm ² at ramp (including on-chip SRAM) ***	24	—	49	—	78	—	142	M Gate and M and A ½
ASIC								
ASIC usable Mtransistors/cm ² (auto layout)	20	28	40	54	73	99	133	M Gate and M and A ½
ASIC max chip size at ramp (mm ²) (maximum lithographic field size)	800	800	800	800	800	800	800	Lithographic Field Size
ASIC maximum functions per chip at ramp (Mtransistors/chip) (fit in maximum lithographic field size)	160	224	320	432	584	800	1064	Market — Performance/ Timing

表 1a 製品世代とチップサイズモデル—短期(続き)

†† ノードに指標に幅があるのは、2001 年から 3 年サイクルになり予測するのが難しく、またロードマップ予測の長期予測期間が不確実であることを意味している。

§ DRAM 世代モデル。4 年毎にビット/チップ(中間的に 2×ビット/チップ世代)が 4 倍。InTer 世代チップサイズ成長率モデルは 4 年毎に 1.2 倍。InTer 世代チップサイズ縮小モデルは、1999 年から 3 年毎に 0.5 倍。

† p はプロセッサ、数字は導入年を表示、c はコストパフォーマンス製品。

‡ p はプロセッサ、数字はランプアップ年を表示、h は高パフォーマンス製品。

* MPU コストパフォーマンスモデル—コストパフォーマンス MPU は、小レベル 1(L1)の SRAM (32Kbyte/1999)を含むが、主として論理トランジスタ機能から成る。SRAM、論理機能とも、2 年毎に 2 倍になる。

- ** MPU 高パフォーマンスモデル—高パフォーマンス MPU は、2 年前の世代から縮小しランプアップしたコストパフォーマンスコア機能に追加された大レベル 2 (L2) の SRAM (2MByte/1999) を含む (P99h = 11.9 ミリオントランジスタ (縮小 P97 コア) + 98 ミリオントランジスタ (2048bytes × 8bits/byte × 6 トランジスタ/bit) L2 SRAM = 110 ミリオントランジスタ/1999)。SRAM、論理機能とも、2 年毎に 2 倍になる。
- *** MPU チップサイズモデル—コストパフォーマンス MPU および高パフォーマンス MPU の InTer 世代 チップサイズ成長率モデルは、2001 年中は平坦であり、2001 年以後は 4 年毎に 1.2 倍の成長となる。InTer 世代チップサイズ縮小モデルは、2001 年中は 2 年毎に 0.5 倍、2001 年以後は 3 年毎に 0.5 倍。

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
DRAM ½ Pitch (nm)	70	50	35
MPU Gate Length (nm) ††	45	30-32	20-22
MPU/ASIC ½ Pitch (nm)	80	55	40
ASIC Gate Length (nm)	70	50	35
Memory			
Generation at introduction §	—	64G	—
Functions per chip (billion bits (Gbits))	24.3	68.7	194
Cell area factor	3.5	3.0	2.5
Cell area (µm ²)	0.017	0.008	0.003
Chip size at introduction (mm ²) §	603	691	792
Cell area efficiency at introduction (% of chip size) §	69%	75%	75%
Gbits/cm ² at introduction §	4.03	9.94	24.5
Generation at production §	—	16G	—
Chip Size at production (mm ²) §	199	229	262
Cell area efficiency at production (% of chip size) §	52%	56%	57%
Gbits/cm ² at production §	3.05	7.51	18.5
Logic (High-volume Microprocessor) Cost-performance *			
Generation at introduction †	—	p11c	—
Functions per chip (million transistors (Mtransistors))	539	1,523	4,308
Process/design improvement factor	0.93	0.93	0.93
Transistor density SRAM at introduction (Mtransistors/cm ²)	577	1,423	3,510
Transistor density logic at introduction (Mtransistors/cm ²)	109	269	664
Chip size at introduction (mm ²) ***	468	536	615

表 1b 製品世代とチップサイズモデル—長期予測年

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
DRAM ½ Pitch (nm)	70	50	35
MPU Gate Length (nm)††	45	30–32	20–22
MPU/ASIC ½ Pitch (nm)	80	55	40
ASIC Gate Length (nm)	70	50	35
Logic (High-volume Microprocessor) Cost-performance * (continued)			
Cost-performance MPU Mtransistors/cm ² at introduction (including on-chip SRAM) ***	115	284	701
Generation at ramp †	—	p09c	—
Chip size at ramp (mm ²) ***	269	308	354
Cost performance MPU Mtransistors/cm ² at ramp (including on-chip SRAM) ***	100	247	609
Logic (Low-volume Microprocessor) High-performance **			
Generation at ramp ‡	—	p11h	—
Functions per chip (million transistors)	2,494	7,053	19,949
Chip size at ramp (mm ²) ***	713	817	937
High-performance MPU Mtransistors/cm ² at ramp (including on-chip SRAM) ***	350	863	2,130
ASIC			
ASIC usable Mtransistors/cm ² (auto layout)	328	811	2,000
ASIC maximum chip size at ramp (mm ²) (maximum lithographic field size)	800	800	800
ASIC maximum functions per chip at ramp (Mtransistors/chip) (fit in maximum lithographic field size)	2,624	6,488	16,000

表 1b 製品世代とチップサイズモデル—長期予測年(続き)

奇数年の製品世代データ列として、長期テーブルフォーマットには2011年のみが含まれるため、補間数値を計算して2008年および2014年のノード列に記載している。製品世代の2年サイクルにあたる年(1999年、2001年、2003年、2005年、2007年、2009年、2011年、2013年)に関する市場ニーズに基づく製品トレンドは、短期テーブル1aに定めるパターンに従って予測されている。

†† ノード指標に幅があるのは、2001年から3年サイクルになり予測するのが難しく、またロードマップ予測の長期予測が不確実であることを意味している。

§ DRAM 世代モデル。4年毎にビット/チップ(中間的に2×ビット/チップ世代)が4倍。InTer 世代チップサイズ成長率モデルは4年毎に1.2倍。InTer 世代チップサイズ縮小モデルは、1999年から3年毎に0.5倍。

† p はプロセッサ、数字は導入年を表示、c はコストパフォーマンス製品。

‡ p はプロセッサ、数字はランプアップを表示、h は高パフォーマンス製品。

* MPU コストパフォーマンスモデル—コストパフォーマンス MPU は、小レベル 1(L1)の SRAM

(32Kbyte/1999)を含むが、主として論理トランジスタ機能から成る。SRAM、論理機能とも、2年毎に2倍になる。

** MPU 高パフォーマンスモデル—高パフォーマンス MPU は、2年前の世代から縮小しランブアップしたコストパフォーマンスコア機能に追加された大レベル 2 (L2) オンチップの (2MByte/1999) を含む (P99h = 11.9 ミリオントランジスタ (縮小 P97 コア) + 98 ミリオントランジスタ (2048bytes × 8bits/byte × 6 トランジスタ/bit) L2 SRAM = 110 ミリオントランジスタ/1999)。SRAM、論理機能とも、2年毎に2倍になる。

*** MPU チップサイズモデル—コストパフォーマンス MPU および高パフォーマンス MPU の InTer 世代 チップサイズ成長率モデルは、2001 年中は平坦であり、2001 年以後は 4 年毎に 1.2 倍の成長となる。InTer 世代チップサイズ縮小モデルは、2001 年中は 2 年毎に 0.5 倍、2001 年以後は 3 年毎に 0.5 倍。

17-2-2 チップサイズ、リソグラフィフィールド、およびウェーハサイズのトレンド

フィーチャーサイズが毎年約 30%縮小し続けているにもかかわらず、IEEE International Solid State Circuits Conference (ISSCC) 等の技術フォーラムで最初に製品デモンストレーションの行われる DRAM のサイズは 6 年ごとに 2 倍となっている (約 12%/年の増加)。このチップ面積の増加は、Moore の法則 (1.5 年毎にチップあたりの機能が 2 倍になるという経験則) に従って、毎年 59%増加するビット/キャパシタ/トランジスタ数に対応するために必要となっている。しかし機能あたりコストを 25-30%/年削減するという歴史的トレンドを維持するためには、継続的に設備の生産性を向上し、製造量を増加し、可能な最大サイズのウェーハを利用するほか、ウェーハ上のチップ数を最大化することが最も重要である。ウェーハ上のチップ総数の増大は、基本的にフィーチャーサイズの縮小 (シュリンク/スケーリング) と製品/プロセスの再設計 (コンパクト化) に組み合わせによるチップサイズの縮小を通して達成される。例えば、最新合意されたモデルによれば、コスト効率的な製品世代 (2 年毎の世代間で機能が二倍となる) の導入チップ面積は、4 年毎で 20%以上に増加してはならない。さらにこの面積は、各テクノロジーノード間の世代間では年縮小率 50% (リソグラフィ縮小率 0.7 の平方) で縮小しなければならない。2001 年までの 2 年サイクルが追加されたため、MPU 製品はフラットダイサイズを目標とできるだろう。しかし 2001 年以降は、3 年サイクルに戻るため、MPU の世代間チップサイズも 4 年毎に 20%の率で拡大するだろう。オンチップ機能 (トランジスタ数) を倍増しながら、4 年で 20%の増加に抑えるために、MPU チップおよびプロセス設計者は、リソグラフィの向上のほか、2001 年以降はさらに年率 7%の設計/プロセス改良によるチップサイズの縮小を実現しなければならない。

DRAM 製品は、世代間のチップサイズの拡大抑制するという要件を満たすほか、セル面積比率をダイ総面積の 70%未満に維持しなければならない。したがって DRAM 製品には厳しいセル面積ファクタ (最小フィーチャサイズの平方を単位としたセル面積) が要求される。フロントエンドプロセス技術 WG は、フロントエンドプロセスの章で、セル面積ファクタと、厳しいセル面積を達成するソリューションへの課題とニーズを詳細に述べている。こうした新しい課題の追跡/調整が重要であるため、ORTC テーブル 1 に DRAM セル面積ファクタ、セルサイズ、総チップサイズに対するセルアレイ面積比率、という行項目を追加した。生産性向上のためには、製造プロセスの各段階で良品チップの算出を増加する必要がある。

単一露光によって複数チップをプリントする能力は、リソグラフィツールのフィールドサイズと、ウェーハ上にプリントするチップ面積およびアスペクト比によって決まる。この有用なパラメータに関するロードマップは、テーブル 2 に含まれている。

DRAM に関する現在の ITRS チップサイズモデルでは、導入時のチップサイズの方が 800mm^2 の既存の大規模ステップアンドスキャンフィールドよりも小さい。高集積のハイパフォーマンス MPU チップサイズでも、2011 年世代までは 800mm^2 以上に拡大しないと予想されている。しかしモデルでは、リソグラフィの現在の目標を達成するだけでなく、DRAM および MPU の設計とプロセスによる目標も達成もすることが条件となっている。もしこれらの目標が達成されなければ、現在のロードマップより大きなサイズのチップをプリントしなければならなくなる。

また生産性の向上は、歴史的にウェーハサイズの増加によって達成されている。300mm ウェーハでは、200mm ウェーハと比較して、可能なチップ数が 2.4 から 2.5 に増加すると予測されている。しかし、300mm ウェーハ用フルフローのパイロットラインのデモンストレーションが 1998 に行われ、実際に商用 64M ビット DRAM も生産されたが、今のところ 300mm のウェーハを使った大量生産への移行は、2001 年まで始まらないと予測されている。この 300mm ランプアップの遅れは、1) 200mm 工場の過剰建設、2) アジア経済の大幅な停滞、および 3) 市場価格が急速に低下する中で出荷数の増加要求に対応するため、既存の工場で加速テクノロジーの向上（主にリソグラフィ）を図ったこと、の組み合わせが原因となっている。

半導体産業では、1999 年から回復の兆しが見られる。このため 300mm 生産性向上圧力は、とくに能力過剰が全くあるいはほとんどない先端技術指向のメーカで急速に強まるだろう。1999 年のウェーハサイズのロードマップは、300mm の開始の遅れに合わせて調整されている。したがって次にウェーハサイズを 1.5 倍の直径 450mm に移行するパイロットは、2009-2010 まで必要ないと予測される。また、300mm ウェーハ世代の経験から、450mm ウェーハ生産は、2012-2014 年までは量産（週あたり 20 千ウェーハ開始）に入らないだろう。しかし他の生産性向上要素がスケジュール通りに実現しなければ、直径の大きなウェーハを使って生産性を向上する必要があるかも知れない。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
DRAM Chip Size							
Cell area factor	8.0	7.3	6.6	6.0	5.4	4.9	4.4
Cell area (μm^2)	0.26	0.20	0.15	0.10	0.08	0.059	0.044
Cell array area at introduction (% of chip size) §	70%	—	72%	—	70%	—	72%
DRAM generation at introduction §	1G	—	(2G)	—	4G	—	(8G)
Chip size at introduction (mm^2) §	400	—	438	—	480	—	526
Chip height at 2:1 aspect ratio (mm)	14.1	—	14.8	—	15.5	—	16.2
Chip length at 2:1 aspect ratio (mm)	28.3	—	29.6	—	31.0	—	32.4
Cell array area at sample (% of chip size) §	60%	—	63%	—	61%	—	62%
DRAM generation at sample §	(512M)	—	1G	—	(2G)	—	4G
Chip size at sample (mm^2) §	230	—	252	—	276	—	302
Chip height at 2:1 aspect ratio (mm)	10.7	—	11.22	—	11.8	—	12.3
Chip length at 2:1 aspect ratio (mm)	21.5	—	22.5	—	23.5	—	24.6
Cell array area at production (% of chip size) §	53%	—	55%	—	53%	—	54%
Generation at production §	256M	—	(512)	—	1G	—	2G
Chip size at production (mm^2) §	132	—	145	—	159	—	174
Chip height at 2:1 aspect ratio (mm)	8.1	—	8.5	—	8.9	—	9.33
Chip length at 2:1 aspect ratio (mm)	16.3	—	17.0	—	17.8	—	18.7
Cell array area at ramp (% of chip size) §	.48%	—	49%	—	45%	—	47%
Generation at ramp §	(128)	—	256M	—	(512)	—	1G
Chip size at ramp (mm^2) §	74	—	83	—	91	—	100
Chip height at 2:1 aspect ratio (mm)	4.2	—	6.4	—	8.9	—	9.3
Chip length at 2:1 aspect ratio (mm)	8.4	—	12.7	—	17.9	—	18.6
MPU Chip Size							
High-performance MPU generation at ramp ** †	p99h	—	p01h	—	p03h	—	P05h
Chip size at ramp (mm^2) ***	450	—	450	—	567	—	622
Maximum lithographic field size — area (mm^2)	800	800	800	800	800	800	800
Maximum lithographic field size — length (mm)	32	32	32	32	32	32	32
Maximum lithographic field size — width (mm)	25	25	25	25	25	25	25
Minimum lithographic field size — area (mm^2)	484	506	529	552	576	600	625
Minimum lithographic field size — length (mm)	22	22.5	23	23.5	24	24.5	25
Minimum lithographic field size — width (mm)	22	22.5	23	23.5	24	24.5	25
Maximum Substrate Diameter (mm) — High-volume Production (>20K wafer starts per month)							
Bulk or epitaxial or SOI wafer	200	200	300	300	300	300	300

表 2a チップサイズ、リソグラフィフィールド、およびウェーハサイズのトレンド—短期予測年

(注:1999年のリソグラフィフィールドサイズは、現状の能力を示している。)

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
DRAM Chip Size			
Cell area factor	3.5	3.0	2.5
Cell area (μm^2)	0.017	.008	0.003
Cell array area at introduction (% of chip size) §	69%	75%	75%
DRAM generation at introduction §	—	64G	—
Chip size at introduction (mm^2) §	603	691	792
Chip height at 2:1 aspect ratio (mm)	17.4	18.6	19.9
Chip length at 2:1 aspect ratio (mm)	34.7	37.2	39.8
Cell array area at sample (% of chip size) §	60%	65%	65%
DRAM generation at sample §	—	(32G)	—
Chip size at sample (mm^2) §	347	398	456
Chip height at 2:1 aspect ratio (mm)	13.2	14.1	15.1
Chip length at 2:1 aspect ratio (mm)	26.3	28.2	30.2
Cell array area at production (% of chip size) §	52%	56%	57%
Generation at production §	—	16G	—
Chip size at production (mm^2) §	199	229	262
Chip height at 2:1 aspect ratio (mm)	10.0	10.7	11.4
Chip length at 2:1 aspect ratio (mm)	20.2	21.4	22.9
Cell array area at ramp (% of chip size) §	45%	49%	49%
Generation at ramp §	—	(8G)	—
Chip size at ramp (mm^2) §	115	131	151
Chip height at 2:1 aspect ratio (mm)	7.6	8.1	8.7
Chip length at 2:1 aspect ratio (mm)	15.2	16.2	17.4
MPU Chip Size			
High-performance MPU generation at ramp ** ‡	—	p11h	—
Chip size at ramp (mm^2) ***	713	817	937
Maximum lithographic field size—area (mm^2)	800	800	800
Maximum lithographic field size—length (mm)	32	32	32
Maximum lithographic field size—width (mm)	25	25	25
Minimum lithographic field size—area (mm^2)	625	625	625
Minimum lithographic field size—length (mm)	25	25	25
Minimum lithographic field size—width (mm)	25	25	25
Maximum Substrate Diameter (mm)—High-volume Production (>20K wafer starts per month)			
Bulk or epitaxial or SOI wafer	300	300	450

表 2b チップサイズ、リソグラフィフィールド、およびウェーハサイズのトレンド—長期予測年

SOI—silicon on insulator(シリコンオンインシュレータ)

§ DRAM モデル。4 年毎にビット/チップ世代(中間的に 2×ビット/チップ世代)が 4 倍。InTer 世代のチップの増加は 4 年毎に 1.2 倍。InTer 世代チップサイズ縮小モデルは、1999 年から 3 年毎に 0.5 倍。

‡ p はプロセッサ、数字はランプアップ年を表示、h は高パフォーマンス製品。

** MPU 高パフォーマンスモデル—高パフォーマンス MPU は、2 年前の世代から縮小しランプアップしたコストパフォーマンススコア機能に大レベル 2(L2)の SRAM(2MByte/1999)を加えた(P99h = 11.9

ミリオントランジスタ(縮小 P97 コア) + 98 ミリオントランジスタ(2048bytes x 8bits/byte×6 トランジスタ/bit)L2 SRAM = 110 ミリオントランジスタ/1999)。SRAM、論理機能とも、2 年毎に 2 倍になる。

*** MPU チップサイズモデル—コストパフォーマンス MPU および高パフォーマンス MPU の InTer 世代 チップサイズ成長率モデルは、2001 年中は平坦であり、2001 年以後は 4 年毎に 1.2 倍の成長となる。InTer 世代チップサイズ縮小モデルは、2001 年中は 2 年毎に 0.5 倍、2001 年以後は 3 年毎に 0.5 倍。

17-2-3 パッケージのパフォーマンス

パッドおよびピン数/パッドピッチ、ピンあたりコスト、周波数特性

より多くの機能を単一チップ上で実現するには、各製品世代において、より多くのトランジスタやビット(メモセル)の統合が必要となる。典型的には、チップ上のトランジスタ数が増えるに従って、集積回路と入出力(I/O)信号をやりとりするためのパッドおよびピンの数が増加する。表 3 を参照。

電力管理の最適化と、ノイズ耐性を向上するため、チップには電源用および接地用端子の追加が必要となる。Test TWG の作成したチップパッド数データによると、ITRS の対象期間中に、論理製品(MPU と高パフォーマンス ASIC)はどちらも 4 千パッドの最大値に近づく。この期間中、MPU 製品ではパッド総数が約 2 倍となるのに対し、ASIC ではチップあたりの最大パッド数が約 3 倍となる。この 2 種類の製品では、電源用/接地用パッドの比率にも大きな違いがある。典型的な MPU 製品では、信号 I/O パッド 1/3 に対して電源および接地パッド 2/3、つまり信号 I/O パッド 1 つに対して電力および接地パッドが 2 つとなっている。これに対して典型的な高パフォーマンス ASIC 製品では、信号 I/O パッド 1 つに対して電源および接地パッドが 1 つとなっている。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Number of Chip I/Os (Number of Total Chip Pads) — Maximum							
Total pads—MPU	2,304	2,560	3,042	3,042	3,042	3,042	3,042
Signal I/O—MPU (1/3 of total pads)	768	1,024	1,024	1,024	1,024	1,024	1,024
Power and ground pads—MPU (2/3 of total pads)	1,536	1,536	2,018	2,018	2,018	2,018	2,018
Total pads—ASIC high-performance	1,400	1,800	2,200	2,600	3,000	3,400	3,800
Signal I/O pads—ASIC high-performance (1/2 of total pads)	700	900	1,100	1,300	1,500	1,700	1,900
Power and ground pads—ASIC high-performance (1/2 of total pads)	700	900	1,100	1,300	1,500	1,700	1,900
Chip-to-package pads (Peripheral)	368	397	429	464	501	541	584
Number of Total Package Pins/Balls—Maximum							
Microprocessor/controller, cost-performance	740	821	912	1,012	1,123	1,247	1,384
ASIC (high-performance)	1,600	1,792	2,007	2,248	2,518	2,820	3,158

図表 3a パッケージのパフォーマンス:パッドおよびピン数—短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Number of Chip I/Os (Number of Total Chip Pads)—Maximum			
Total pads—MPU	3,840	4,224	4,416
Signal I/O pads—MPU (1/3 of total pads)	1,280	1,408	1,472
Power and ground pads—MPU (2/3 of total pads)	2,560	2,816	2,944
Total pads—ASIC high-performance	4,600	5,400	6,000
Signal I/O pads—ASIC high-performance (1/2 of total pads)	2,300	2,700	3,000
Power and ground pads—ASIC high-performance (1/2 of total pads)	2,300	2,700	3,000
Chip-to-package pads (Peripheral)	736	927	1,167
Number of Total Package Pins/Balls—Maximum			
Microprocessor/controller, cost-performance	1,893	2,589	3,541
ASIC (high-performance)	4,437	6,234	8,758

表 3b パッケージのパフォーマンス:パッドおよびピン数—長期

Assembly and Package TWG の作成したパッケージピン数(表 3) およびピンあたりコスト(表 4)のデータは、将来の製造に関する経済的な課題を示している。チップあたりトランジスタ数の増加予測によれば、パッケージピン/ボール数は年率約 11%で増加するのに対し、ピンあたりコストは年率 5%で減少する。これらのトレンドによれば、パッケージ化の平均コストが全体として年率 5%で増加する(1.11ピン/年×0.95コスト/ピン=1.05 コスト/年)ため、パッケージテクノロジーのサプライヤにとってコスト効率の高いソリューションの提供はより挑戦を必要とする課題となる。

非常に競争の激しい家電製品環境では、PC や携帯電話のような量産型ハイテク製品の価格は一定を保つか下降する傾向にある。また典型的に、これらのハイテク製品では、2年毎に2倍のパフォーマンスを実現している。これが先端半導体製造メーカーにとってのエンドユーザの市場環境であり、機能(ビット数、トランジスタ数)あたりコストを年率 30% もしくはそれ以上の2×2年毎に同価格での機能/チップ=29%/年を削減するという ITRS の要件の背景には、この根本的な要求が存在する。

もし将来の半導体コンポーネント製品が価格の一定化または低下を目標としなければならない場合、ユニットあたりの平均ピン数が 11%増加するのに、ピンあたりコストが 5%しか減少しなければ、次のことが起こるだろう。

- 1) 15年のロードマップ期間中、総製品コストに対してパッケージが平均的に占める割合が倍増する。
- 2) 究極的には総利益マージンが大幅に減少し、R&D および工場能力への投資力が制限される。

そのため産業界では、システムオンチップチップ (SoC) への機能の統合や、マルチチップモジュール、バンパ付チップオンチップボード(COB)等の創造的なソリューションの利用によって、システムのピン要件全体を削減しようとしている。

機能あたりコストを指数関数的に減少させながら機能を増加するの必要に加え、高パフォーマンスでコスト効率的な製品に対するマーケットの需要には際限がないように思われる。「ムーアの法則」の予測に

よれば、消費者の需要を満たすには 1.5 年毎にチップあたり機能が 2 倍になり、それに従って一段と高速な電気信号処理が要求される。MPU の場合、プロセッサの命令/秒も 1.5 年から 2 年毎に 2 倍となってきた。MPU の 1 秒あたり百万命令 (MIP) を単位とする処理能力の向上は、「1 次的テクノロジーパフォーマンス」(クロック周波数)と「アーキテクチャパフォーマンス」(クロックサイクルあたり命令数)の組み合わせによって達成される。チップの平均サイズの増加に伴って操作周波数の向上が要求され、プロセス、設計、パッケージに関する新しい技術の開発引き続き必要となるだろう。

表 4 にはこうした考慮が反映されており、複数カテゴリの周波数トレンド予測のために設計 TWG の作成した行項目が含まれている。各製品世代で実現可能な最高周波数は、内部トランジスタパフォーマンスに直接関係する(オンチップ、ローカルクロック)。「ローカル」周波数とチップ間を伝播する信号(チップ間クロック)の周波数との差は、線-線および線-基板の静電容量による信号の伝播遅延により、将来さらに拡大するだろう。その他の信号遅延は、ワイヤ接合部のインダクタンスとパッケージリードによるものである。パッケージによって生じる副作用を除去する有効な方法は、結局チップの直接接続以外にないかも知れない。チップ上での信号と消費電力の分布を最適化するため、配線層の数は増え続けると予測される。引き続き相互接続サイズのダウンスケーリングも行われるとすると、銅(低抵抗)や誘電率の低い($\kappa \sim 2-3$) 様々な層間絶縁膜が利用されるようになるだろう。チップ-ボード動作周波数(オフチップ)を上げるため、多重化技術も利用されるだろう。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Chip Pad Pitch (micron)							
Pad pitch—ball bond	50	48	47	45	43	42	40
Pad pitch—wedge bond	45	43	42	40	39	38	35
Pad pitch—area array	200	200	200	200	182	165	150
Cost-Per-Pin							
Package cost (cents/pin) (cost-performance)—maximum	1.90	1.81	1.71	1.63	1.55	1.47	1.40
Package cost (cents/pin) (cost-performance)—minimum	0.90	0.86	0.81	0.77	0.73	0.70	0.66
Package cost (cents/pin) (Memory)—maximum	1.90	1.71	1.54	1.39	1.25	1.12	1.01
Package cost (cents/pin) (Memory)—minimum	0.40	0.38	0.36	0.34	0.33	0.31	0.29
Chip Frequency (MHz)							
On-chip local clock, (high-performance)	1,250	1,486	1,767	2,100	2,490	2,952	3,500
On-chip, across-chip clock (high-performance)	1,200	1,321	1,454	1,600	1,724	1,857	2,000
On-chip, across-chip clock, high-performance ASIC	500	559	626	700	761	828	900
On-chip, across-chip clock (cost-performance)	600	660	727	800	890	989	1,100
Chip-to-board (off-chip) speed (high-performance, reduced-width, multiplexed bus)	1,200	1,321	1,454	1,600	1,724	1,857	2,000
Chip-to-board (off-chip) speed (high-performance, for peripheral buses)	480	589	722	885	932	982	1,035
Maximum number wiring levels—maximum	7	7	7	8	8	8	9
Maximum number wiring levels—minimum	6	6	7	7	8	8	8

表 4a パフォーマンスとチップ:パッド、コスト、および周波数—短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Chip Pad Pitch (micron)			
Pad pitch—ball bond	40	40	40
Pad Pitch—wedge bond	35	35	35
Pad Pitch—area array	150	150	150
Cost-Per-Pin			
Package cost (cents/pin) (cost-performance)—maximum	1.20	1.03	0.88
Package cost (cents/pin) (cost-performance)—minimum	0.57	0.49	0.42
Package cost (cents/pin) (memory)—maximum	0.74	0.54	0.39
Package cost (cents/pin) (memory)—minimum	0.25	0.22	0.19
Chip Frequency (MHz)			
On-chip local clock, (high-performance)	6,000	10,000	13,500
On-chip, across-chip clock (high-performance)	2,500	3,000	3,600
On-chip, across-chip clock (high-performance ASIC)	1,200	1,500	1,800
On-chip, across-chip clock (cost-performance)	1,400	1,800	2,200
Chip-to-board (off-chip) speed (high-performance, reduced-width, multiplexed bus)	2,500	3,000	3,600
Chip-to-board (off-chip) speed (high-performance, for peripheral buses)	1,285	1,540	1,800
Maximum number wiring levels—maximum	9	10	10
Maximum number wiring levels—minimum	9	9	10

表 4b パフォーマンスとチップ:パッド、コスト、および周波数—長期

17-2-4 欠損密度

DRAM、MPU、ASIC の欠損密度に関する最新の予測 (量産の年には 65-85%の歩留を達成する必要がある)を表 5 に示す。許容欠損数は、DRAMとマイクロプロセッサについて表 1 および 2 で報告した最新のチップサイズ予測モデルに基づいて、チップサイズの違いを考慮して計算されている。ASIC 製品の最大チップ面積は、露光装置の最大フィールドサイズに等しいと仮定している。またこの表では、生産ライフサイクル時のデータが示されている。「欠損の削減」の章で紹介される数式を使えば、同一テクノロジーノードの異なるチップサイズについて欠損密度を計算できる。ますます複雑化するプロセスの指標として、論理デバイスのマスク数を掲載している。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Defect Reduction							
DRAM at production electrical D_0 chip size at 85% yield (d/m^2) §	1,249	1,193	1,140	1,089	1,040	994	950
MPU at ramp electrical D_0 chip size at 75% yield (d/m^2) ***	1,742	1,742	1,742	1,552	1,383	1,321	1,262
ASIC first year electrical D_0 at 65% yield (d/m^2)	562	562	562	562	562	562	562
Minimum, mask count—maximum	24	24	24	24	25	25	26
Minimum, mask count—minimum	22	23	23	24	24	24	24

表 5a 欠損—短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Defect Reduction			
DRAM at production electrical D_0 chip size at 85% yield (d/m^2) §	828	723	630
MPU at ramp electrical D_0 chip size at 75% yield (d/m^2) ***	1,101	960	837
ASIC first year electrical D_0 at 65% yield (d/m^2)	562	562	562
Minimum, mask count—maximum	28	28	30
Minimum, mask count—minimum	26	28	29

表 5b 欠損—長期

D_0 —欠損密度。

§ DRAM モデル—世代。4 年毎にビット/チップ(中間的に 2×ビット/チップ世代)が 4 倍。InTer 世代チップサイズ成長率モデルは 4 年毎に 1.2 倍。InTer 世代チップサイズ縮小モデルは、1999 年から 3 年毎に 0.5 倍。

*** MPU チップサイズモデル—コストパフォーマンス MPU および高パフォーマンス MPU の InTer 世代チップサイズ成長率モデル目標は、2001 年中は平坦であり、2001 年以後は 4 年毎に 1.2 倍の成長となる。InTer 世代チップサイズ縮小モデルは、2001 年中は 2 年毎に 0.5 倍、2001 年以後は 3 年毎に 0.5 倍。

17-2-5 電源電圧と消費電力

電源電圧をさげることは、消費電力の削減、トランジスタチャネル長の縮小、ゲート絶縁膜の信頼性等、複数の要因により必要となっている。1999 年の ITRS で電源電圧の値を表す方法は、1997 年のロードマップと同じである。表 5 のとおり、電源電圧は範囲値で示されている。

特定の V_{dd} 値の選択は、IC の速度と電力を同時に最適化するための分析の一部として行われるため、各製品世代について様々な供給電力が利用できることになる。 V_{dd} の値を 2011 年までに 0.5 ボルトに引き下げることが可能と考えられ、2014 年までに 0.3 ボルトを達成するという目標がロードマップに追加されている。

最大電力のトレンド(MPU 用等)は、引き続き 1)パッケージ上の放熱が許される高パフォーマンスのデスクトップ機器と、2)ポータブル電池利用機器という 2 つのカテゴリについて示されている。どちらの場合も、低電源電圧を使用するにもかかわらず、総消費電力は増加し続けている。この消費電力の増加は、動作周波数の増大と、オンチップ機能の増加に伴う静電容量と抵抗全般の増大によって引き起こされている。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Power Supply Voltage (V)							
Minimum logic V_{dd} (V)—maximum (for maximum performance)	1.8	1.8	1.5	1.5	1.5	1.2	1.2
Minimum logic V_{dd} (V)—minimum (for lowest power))	1.5	1.5	1.2	1.2	1.2	0.9	0.9
Maximum Power							
High-performance with heatsink (W)	90	100	115	130	140	150	160
Battery (W)—(hand-held)	1.4	1.6	1.7	2.0	2.1	2.3	2.4

表 6a 電源電圧と消費電力—短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Power Supply Voltage (V)			
Minimum logic V_{dd} (V)—maximum (for maximum performance)	0.9	0.6	0.60
Minimum logic V_{dd} (V)—minimum (for lowest power))	0.6	0.5	0.30
Maximum Power			
High-performance with heatsink (W)	170	174	183
Battery (W)—(hand-held)	2.0	2.2	2.4

表 6b 電源電圧と消費電力—長期

17-2-6 コスト

表 7 はコストのトレンドを示している。機能あたりコストを毎年 25-30%削減できる能力は、半導体産業に特有のものであり、これは価格が一定あるいは低下傾向にある中で、1.5 年毎に 2 倍の機能を実現して

いることの直接的な結果である。このコスト削減をサポートするためには、R&D および製造のための資本が常に増加していなければならない。工場ベースでも、製造の資本コストは増加している。しかし過去において半導体産業は、3 年ごとに 4 倍のチップあたり機能を実現しながら、チップサイズの増加を 1.4 倍、コストの増加も 1.4 倍（半導体 1cm²あたりのコストはほぼ一定）に抑えてきた。このテクノロジー上および経済的パフォーマンスは、半導体産業の成長を支える根本的な推進力となっている。

しかし今日の競争的なマーケット環境では、コストの「穏やかな」増加にも顧客が反発する。このため半導体製造業者は、これまで産業成長の原動力となってきた機能あたりコストの削減という要件を満たすため、新しいモデルを探さなければならない。最終的に 1999 年の ITRS 参加企業は、必要なコスト削減を達成する新しいモデルを提案している。これは顧客に対して、チップあたりコストを一定にしながら、2 年毎に機能を 2 倍にするというものである。この新モデルで得られる機能（ビット、トランジスタ等）あたりコストの削減は、歴史的にユニットあたりコストを 1.4 倍にしながら、3 年ごとに 4 倍の機能を実現することで達成してきたものと同じ 29%である。

この新モデルを使って、DRAM とマイクロプロセッサに関して、それぞれビットあたりコストとトランジスタあたりコストの現実的なトレンドが設定された。これらのコスト目標と技術目標は、エンジニアが各テクノロジー開発プログラムを計画、実行する際の指針となるだろう。表 7 に示す新モデルの例では、DRAM サプライヤが最大平均販売価格（ASP）を世代間で一定に保つために、2 年毎にオンチップビットが 2 倍の世代を導入し、ビットあたりコストの削減目標を平均年率 29%としなければならない。

歴史的なトレンドを延長すると、1999 年には 1G ビット DRAM で、「導入時」に実現可能なビットあたりコストは百万分の 42 セントとなる。また歴史的トレンドによれば、DRAM 世代内でビットあたりコストが年間 45%削減されることが予測される。マイクロプロセッサに関する公表されたデータによる分析でも、同様の結果が得られる。MPU の世代でも、2 年毎に 2 倍の機能（トランジスタ）が目標とされている。同一世代内で年間 45%というトランジスタあたりコストの削減目標に加えて、世代間で年間 29%の削減目標が用いられている。

チップあたり機能が引き続き増加しているため、最終製品のテストはますます困難でコストのかかるものとなっている。これはテストのコスト上昇によるものである。テストのピンあたりコストは年間 3-9%減少しているが（表 7）、ピン数は年間 11%増加している（表 3）。このため 1999 年の ITRS の予測期間中、組込み自己テスト（BIST）およびテスト容易化設計（DFT）の実施を引き続き加速する必要があるだろう。詳細については、テストの章で議論されている。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Affordable Cost per Function ++							
DRAM cost/bit at (packaged microcents) at samples/introduction	42	—	21	—	11	—	5.3
DRAM cost/bit at (packaged microcents) at production §	15	—	7.6	—	3.8	—	1.9
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at introduction ***	1,735	—	868	—	434	—	217
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at ramp ***	1,050	—	525	—	262	—	131
High-performance MPU (microcents/transistor) (including on-chip SRAM) at ramp ***	245	—	123	—	61	—	31
Cost-Per-Pin (see Table 4)	—	—	—	—	—	—	—
Test							
Volume tester cost per high-frequency signal pin (\$K/pin) (high-performance ASIC)—maximum	8	7	7	6	6	5	5
Volume tester cost per high-frequency signal pin (\$K/pin) (high-performance ASIC)—minimum	4	3	3	3	3	2	2
Volume tester cost/pin (\$K/pin) (cost-performance MPU)	8	8	7	7	6	6	5

図表 7a コスト—短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Affordable Cost per Function ++			
DRAM cost/bit (packaged microcents) at samples/introduction	—	0.66	—
DRAM cost/bit (packaged microcents) at production §	—	0.24	—
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at introduction ***	—	27	—
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at ramp ***	—	16	—
High-performance MPU (microcents/transistor) (including on-chip SRAM) at ramp ***	—	3.8	—
Cost-Per-Pin (see Table 4)	—	—	—
Test			
Volume tester cost per high-frequency signal pin (\$K/pin) (high-performance ASIC)—maximum	5	5	5
Volume tester cost per high-frequency signal pin (\$K/pin) (high-performance ASIC)—minimum	N/A	N/A	N/A
Volume tester cost/pin (\$K/pin) (cost-performance MPU)	4	2	2

表 7b コスト—長期

++ 機能あたりの可能なパッケージのユニットコストは、各種分析レポートによる平均販売価格 (ASP) から総利益マージン (GPM) を差し引いたものを基礎とする。消費者向け DRAM では 35%、MPU では 60% の GPM を使用した。2 年毎に 0.5 倍の世代間削減率モデルを使用した。1 年毎に 0.55 倍の世代間削減率モデルを使用した。DRAM のユニット量産ライフサイクルは、典型的には導入から 7-8 年後に、世代間機能あたりコストが次の世代と交差した時点でピークとなる。MPU のユニット量産ライフサイクルは、典型的には導入から 4 年後に、次の世代のプロセッサがランプアップの段階 (典型的には導入から 2 年後) に入った時点でピークとなる。

§ DRAM モデル—世代。4 年毎にビット/チップ (中間的に 2×ビット/チップ世代) が 4 倍。InTer 世

代チップサイズ成長率モデルは4年毎に1.2倍。InTer世代チップサイズ縮小モデルは、1999年から3年毎に0.5倍。

*** MPUチップサイズモデルーコストパフォーマンス MPU および高パフォーマンス MPU の InTer 世代チップサイズ成長率モデル目標は、2001年中は平坦であり、2001年以後は4年毎に1.2倍の成長となる。InTer世代チップサイズ縮小モデルは、2001年中は2年毎に0.5倍、2001年以後は3年毎に0.5倍。

用語解説

主要な ORTC 用語 (展望と分析を含む)

主要マーケットの特徴

テクノロジーノード (nm) — プリントされる最小寸法によって決まるプロセスの基本ルール。第 1 層の配線のハーフピッチは、経済的な最小チップサイズに必要な DRAM テクノロジーのレベルを最もよく表している。マイクロプロセッサ (MPU) などの論理分野では、ゲート長が、最大パフォーマンスに必要な先端テクノロジーのレベルを最もよく表している。MPU と ASIC の配線のハーフピッチの要求は、通常 DRAM ハーフピッチより遅れている。コスト上の理由から、量産型低コスト ASIC のゲート長への要求は通常 DRAM ハーフピッチ予測に一致するが、少量生産型の高パフォーマンス先端 ASIC のゲート長への要求は MPU とほぼ一致する。

「ムーアの法則」 — 1.5-2 年毎にチップあたり機能 (ビット、トランジスタ) が 2 倍になるという、Intel 社の役員 Gordon Moore が発見した法則。彼は MPU パフォーマンス (クロック周波数 (MHz) × クロックあたり命令数 = 1 秒あたり百万命令 (MIP)) も 1.5-2 年毎に 2 倍になることを発見した。「自己充足的」な予言であると批判する者も多いが、過去 30 年間に渡って「ムーアの法則」は一貫したマクロトレンドとなっており、先端半導体製品と会社の優秀性を示す重要な基準となっている。

製造に関する生産性向上の指標「機能あたりコスト」 — 「ムーアの法則」の他に、この「法則」から経験的に導かれる「必然的な」結論がある。これによれば、競争力を保つには生産性の向上によって機能あたりコスト (ビットまたはトランジスタあたり百万分の 1 セント単位) も年間 29% 削減できなければならない。経験的には、機能が 1.5 年ごとに 2 倍になれば、チップあたりコストが 6 年ごとに 2 倍になっても機能あたりコストの削減要件を満たせるが、1999 年 ITRS のコンセンサス DRAM および MPU モデルが示すように機能が 2 年毎に 2 倍となるに止まれば、チップ (パッケージユニット) あたり製造コストは一定でなければならない。

「実現可能」な機能あたりのパッケージ搭載後のユニットコスト — テストおよびパッケージ搭載後の最終コストをチップあたり機能数で割って百万分の 1 セントで表したもの。実現可能コストは、実現可能な平均販売価格 (特定製品世代の年間総売上を年間出荷ユニット数で割ったもの) の歴史的トレンドから、DRAM では約 35%、MPU では 60% の予測総利益マージンを差し引いて得られる。機能あたり実現可能コストは将来のマーケットにおける「トップダウン」ニーズによるものであり、そのためにチップサイズおよび機能密度とは別に作成されている。実現可能性の要件は、次の要素の組み合わせによって得られるべきである。1) テクノロジーおよび設計の向上によるチップサイズの縮小。2) ウェーハ直径の増加。3) 設備保有コスト (COO) の減少。4) 設備効率全般の向上。5) パッケージおよびテストコストの削減。6) 設計ツールの生産性向上。7) 製品アーキテクチャおよび統合の拡大。

DRAM 世代 (製品世代ライフサイクル) — 特定の年、製造テクノロジー能力、およびライフサイクルの成熟度 (デモンストレーション、導入、サンプル、生産、ランプアップ、ピーク) において導入された DRAM 製品世代のチップあたりビット数の予測値。

MPU 世代(製品世代ライフサイクル) — 特定の年、製造テクノロジー能力、およびライフサイクルの成熟度(導入、ランプアップ、ピーク、組込み)において導入されたマイクロプロセッサユニット(MPU)製品の予測される機能チップあたりのロジックとSRAMに関する一般的プロセッサの識別子。

コストパフォーマンス MPU — オンチップSRAMをレベル1(L1)のキャッシュのみ(32Kbyte/1999)にまで最小化して、コスト最小化のために最適化されたMPU製品。典型的に論理機能とL1キャッシュは、2年の世代毎に2倍になる。これには典型的に6年のコンピュータ市場アプリケーションのライフサイクル導入:ランプアップピークがあり、その後次世代のコストパフォーマンスMPUに取って代われ、組込みアプリケーションへと続く。

高パフォーマンス MPU — 縮小されコストパフォーマンスがランプレベルになったMPUコアと大規模(2Mbyte/1999)レベル2(L2)SRAMを組み合わせて使用し、システムパフォーマンス最大化のために最適化されたMPU製品。典型的に論理機能とL2キャッシュは、2年の世代毎に2倍になる。比較的少量生産、高価格、高パフォーマンスコンピュータ市場では、ライフサイクルが典型的には4年しかない(ランプアップおよびピーク)。高SRAM組込MPUでは古典的な「組込み」アプリケーションがないが、複数MPUボックスのインターネットサーバへのニーズが将来発達し、通信プロセッサアプリケーションが現れることで、これが変化する可能性もある。これらのアプリケーションによって、高パフォーマンスMPUの世代内縮小をよりコスト効率的にする必要が生じるため、将来の世代のライフサイクルが伸張されるだろう。

製品世代間 — 周期的に増加するオンチップ機能と許容チップサイズに関する製品世代間の予測。この予測は、経済的な製造が可能な範囲で、「ムーアの法則」を満たすよう設定される。1999年のITRSで合意されたDRAMおよびMPUの世代間チップあたり機能の増加率は、2年毎に2倍というものである。DRAMの世代間許容チップサイズ増加率は、4年毎に1.2倍である。MPUでは、2000年まで世代間許容チップサイズが一定、その後4年ごとに1.2倍となる。4年毎に機能を4倍にしなが、面積の増加を20%に抑えるためには、世代間の設計生産性向上により、チップサイズをさらに年間7-8%縮小する必要がある。この設計に関連した縮小は、リソグラフィによる年間11%の縮小とは別に得られるものである。

製品世代内 — 特定の製品世代内。合意に基づく予測では、最新の製造および設計テクノロジーを利用して、ロードマップ上の各時点で(縮小および「カットダウン」により)チップサイズを縮小する。DRAMおよびMPUに関するITRSの合意予測では、世代内のテクノロジーノード毎にチップサイズを50%縮小する。DRAMでは、この50%の縮小が3年毎に起こる。つまり2年毎では37%の縮小となる。MPUでは、2001年まで2年毎に50%の縮小が起こり、その後は2年毎に37%となる(DRAMと同じ)。

デモンストレーション年 — 大手チップ製造業者が、設計およびテクノロジーノード処理の実現可能性と能力のデモンストレーションを目的として、使用可能サンプルを供給する年。典型的なデモンストレーションの場合は、Institute of Electrical and Electronic Engineers(IEEE)の主催するInternational Solid State Circuit Conference(ISSCC)のように主要な半導体産業のコンファレンスである。典型的にデモンストレーションサンプルは、初期開発ないしデモンストレーションレベルの製造ツールおよびプロセスを利用して製造される。歴史的にDRAMでは、実際の市場導入に通常2、3年先立って、3年毎にチ

チップあたりビット数が 4 倍の先端プロセステクノロジーノードの製品デモンストレーションが行われてきた。DRAM デモンストレーションチップサイズは6年ごとに 2 倍になっているため、市場導入が可能となるまでに多くの縮小と遅れが必要となる。またチップサイズはリソグラフィ装置で得られる実地サイズより大きいことが多く、非常に少量の実験用サンプルでのみ利用できる複数露光技術を使って「縫い合わせ」しなければならない。例:1997/ISSCC/1Gb DRAM。

導入年 (DRAM) — 大手チップ製造業者が少量のエンジニアリングサンプル (<1K) を供給する年。サンプルは、主要な顧客へ初期評価のために提供されるもので、専用の生産ツールおよびプロセスによって製造される。市場化スケジュールと製造経済のバランスを維持するため、導入される DRAM 製品は 2 年毎にチップあたり機能が 2 倍となる。また製造業者は、世代間のチップサイズ増加を 4 年毎に 1.2 倍、つまり 2 年の世代毎に約 1.1 倍に制限するようなチップサイズ縮小ないし「カットダウン」を達成するまで、導入を遅らせる。

サンプル年 (DRAM) — 大手チップ製造業者が、専用の生産ツールおよびプロセスによって製造された大量の高品質 DRAM サンプル (10K-100K) を供給し始める年。典型的な先端 DRAM 生産サンプル製品は、導入レベルの世代設計および製造ツールから「カットダウン」されたハーフサイズ世代である。例:1999/512Mb DRAM。

生産年 (DRAM) — 大手チップ製造業者が、専用の生産ツールおよびプロセスによって製造された大量の製品 (数百万/月) を供給し始める年。典型的な製品は、導入レベル設計から「カットダウン」され、チップあたりビット数が 4 分の 1 になっている。例:1999/256Mb DRAM。

ランプ年 (DRAM) — 大手チップ製造業者が、生産ツールおよびプロセスを急速に「コピー」して製造能力を複数モジュール化し、生産能力の急拡大によって大量の製品 (16-80 百万/月) を出荷し始める年。ビットあたり価格が既に「交差」した前の世代は、ユニットボリューム需要が「ピーク」に達して市場での交代を迎える。ランプレベル製品も、導入レベルの世代設計および製造ツールから「カットダウン」されている。例:1999/128Mb DRAM。

ピーク年 (DRAM) — 最多生産 DRAM が、ビットあたりの効率に優れた次世代製品に交代される年。ビットあたりコストが「交差」すると、その世代は数年前の導入レベルから始まったライフサイクルの終点に達し、生産量の増加が止まり、急速に低下する。この典型的な「ピーク」製品世代も、コストの最小化と利用率の最大化のために、現状の導入レベルの世代設計および製造ツールから「カットダウン」されている。しかし既存の成熟した生産ツールおよびプロセス能力のバランスを維持するため、「ピーク」製品能力の一部が維持されることもある。例:1999/64Mb DRAM。

導入年 (MPU) — 大手チップ製造業者が少量のエンジニアリングサンプル (<1K) を供給する年。サンプルは、主要な顧客へ初期評価のために提供されるもので、専用の生産ツールおよびプロセスによって製造される。導入レベルのコストパフォーマンス MPU は、L2 キャッシュとともに、高パフォーマンスを要求する少量コンピュータアプリケーションで、複数チップモジュールに組み入れられることがある。

ランプ年 (MPU) — 大手チップ製造業者が、生産能力を急拡大し、生産ツールおよびプロセスによって製造した大量のコストパフォーマンス MPU 製品 (2-10 百万/月) を出荷し始める年。需要の増大に

伴って、ツールおよびプロセスは急速に「コピー」され、製造能力が複数モジュール化される。少量生産の高パフォーマンス MPU も、同時期のコストパフォーマンス MPU コアと共にランプに入るが、オンチップで含まれる L2 は前の高パフォーマンス世代に比べてメモリが 2 倍になっている。

ピーク年 (MPU) — MPU は、1 次的なコンピュータ市場アプリケーションにおいて急速に交代するため、ユニットボリュームの「ピーク」が早く急激に訪れる。高パフォーマンス MPU は、高パフォーマンス MPU コアとして使われるコストパフォーマンス MPU と同時にピークを迎える。コストパフォーマンス MPU および高パフォーマンスの双方とも、DRAM に比べてライフサイクルが短く、機能/パフォーマンスの優れた世代間 MPU によって急速に置き換えられる。

組込年 (MPU) — DRAM と異なり、ランプレベルの MPU コストパフォーマンス製品世代は、共存する導入レベル世代の「カットダウン」ではないため、同一のコンピュータ市場で容易に共存できない。このためライフサイクルのピーク段階を過ぎた MPU 世代は、コスト効率的なレベルまで縮小し、低コストで大量生産される「組込」アプリケーションへ移行することになる。

チップあたり機能 — 単一のモノリシックチップ上に現状のテクノロジーレベルでコスト効率的に製造できるビット数 (DRAM) または論理トランジスタ数 (MPU、特定用途向け集積回路 (ASIC))。論理機能 (チップあたりトランジスタ数) には、SRAM と論理トランジスタの両方が含まれる。DRAM 機能 (チップあたりビット数) は、単一モノリシックチップ上のビット数 (リペア後) のみに基づいている。

チップサイズ (mm²) — 最先端の設計および製造プロセスを利用して、特定の年に製造可能なモノリシックメモリおよび論理チップの典型的な面積 (予測値は、歴史的なデータトレンドと ITRS アナリストのコンセンサスモデルに基づく)。

機能/cm² — 1 平方センチメートルあたりの機能密度=単一モノリシックチップ上のチップあたり機能をチップサイズで割ったもの。これはパッド面積およびウェーハスクライブ面積を含むチップ上の全機能の平均密度である。これは DRAM の場合、高密度のセルアレイとこれより低密度の周辺ドライブ回路の平均となる。MPU 製品では、高密度の SRAM とこれより低密度のランダム論理が平均される。ASIC の場合は、高密度の組込メモリアレイとこれより低密度のアレイ論理ゲートおよび機能コアの平均となる。最も典型的な ASIC 設計は、SRAM を中心とする高パフォーマンス MPU より僅かに低密度である。

DRAM セルアレイ面積率 — ライフサイクルの各段階において、DRAM チップの総面積中セルアレイが占めることのできる実際的な割合の最大値。典型的な導入チップサイズ予測では、周辺回路、パッド、およびウェーハスクライブ面積のために、この割合を 70%未満にする必要がある。パッドおよびスクライブ面積はリソグラフィによって縮小しないため、ほかの世代内縮小レベルでは、最大セルアレイ率が低下する (典型的には生産レベルで 55%未満、ランプレベルで 50%未満)。

DRAM セル面積 (μm²) — 予測チップサイズおよびセルアレイ面積率要件を満たすような条件によって決定される最大許容 DRAM メモリビットセル面積。セル面積因子—DRAM ハーフピッチの平方を単位として表される面積数—としても表現される。セル面積の最小化は、縮小を続けるセルの容量ストレージ能力最大化の要請と相容れない。これにより、最大許容チップサイズの経済的制約を満たすために必要なセル面積に関する技術的実現可能性との間で衝突を生じる。

DRAM セル面積因子 — 最大許容 DRAM セル面積因子を DRAM ハーフピッチの平方を単位として表される面積数で表現したもの。

例:1999:ハーフピッチの平方 = $(180\text{nm})^2 = 0.32 \mu\text{m}^2$;1Gb DRAM の最大セル面積が総チップ面積 = $0.26 \mu\text{m}^2$ の 70%未満;したがって最大セル面積因子 = $0.26/0.32=8$ 。セル因子は、ハーフピッチを単位とした同等の縦横比で表現されることも多い($2 \times 4=8$ 、 $2 \times 3=6$ 、 $1.6 \times 1.6=2.5$ 等)。

使用可能トランジスタ/cm²(高パフォーマンス ASIC、自動レイアウト) — 高度に差別化された少量生産型アプリケーション向けに、自動レイアウトツールで設計した場合の 1cm² あたりトランジスタ数。高パフォーマンスで先端の組込アレイ ASIC には、高密度機能セル(MPU、I/O、SRAM 等)のほかにチップアレイ論理セルが含まれる。密度計算には、高密度機能セル内の全トランジスタに加えて、アレイ論理セルの接続された(使用可能の)トランジスタが含まれる。最大の高パフォーマンス ASIC 設計では、利用できる生産用リソグラフィフィールド全部が使われることになる。

チップおよびパッケージ — 物理的および電気的特性

チップ I/O 数-(アレイ)パッド総数 — 機能上ないしテスト目的で、または電力/接地用接続(信号調節を含む)のために、永続的にパッケージ面に接続されたチップ信号 I/O パッドと電力および接地パッドの最大数。これにはすべてのチップ間直接接続およびチップから基板への附属接続が含まれる(パッケージ面は、すべてのインターコネクティブ面、リードフレーム、その他チップないし基板上にない配線など、パッケージ内のすべての配線テクノロジーと定義される)。典型的な MPU では信号 I/O パッドと電力/接地パッドの比が 1:2 であるのに対し、典型的な高パフォーマンス ASIC では 1:1 となっている。

チップ I/O 数-(周辺)パッド総数 — チップ周辺にのみ接点を持つ製品のチップ信号 I/O パッドおよび電力/接地パッドの最大総数。

パッドピッチ — チップ周辺部のパッドまたはチップ上のアレイ内にあるパッドの中心間距離。

パッケージピン/ボール数 — 基板への接続用にパッケージで提供されるピン/はんだ球の数(パッケージプレーンに内部電力/接地プレーンがあったり、パッケージが複数チップを持ったりするため、チップ-パッケージパッド数より少ない場合がある)。

パッケージコスト(コストパフォーマンス) — ピンあたりセントで表したパッケージエンベロップおよび外部 I/O 接続のコスト。

チップ周波数(MHz)

オンチップ、ローカルクロック、高パフォーマンス — 少量生産型高パフォーマンスマイクロプロセッサのチップのローカライズされた部分におけるオンチップクロック周波数。

オンチップ、チップ間クロック — チップの全幅を伝わるインターコネクティブ信号に関する、マイクロプロセッサおよび ASIC のオンチップクロック周波数(長いチップ間インターコネクティブの静電負荷のため、典型的にはローカライズされたクロックパフォーマンスに劣る)。

チップボード間(オフチップ)速度(高パフォーマンス、幅削減、多重化バス) — 特殊基板の幅削減多重化バスへの最大信号 I/O 周波数。

チップボード間(オフチップ)速度(高パフォーマンス、周辺バス) — 高低ボリューム論理デバイスの基板周辺バスへの最大信号 I/O 周波数。

その他の属性

リソグラフィフィールドサイズ(mm²) — 特定テクノロジーノードにおけるリソグラフィ装置の最大単一ステップ/ステップアンドスキャン露光面積。

最大配線レベル数 — ローカルインターコネクト、ローカルおよびグローバルルーティング、電力および接地用接続、およびクロック分散を含むオンチップインターコネクトレベル数。

製造属性および手法

電氣的 D₀ 欠損密度(d/m⁻²) — 特定のテクノロジーノード、製品ライフサイクル年、予測プローブ生産量における、1 平方メートルあたりの電氣的に重要な欠損数。

最少マスクカウント — 最大配線レベル(論理)を持つ成熟した生産プロセスフローにおけるマスクングレベル数。

最大基板半径(MM)

バルク/エピタキシャル/シリコンオンインシュレータウェーハ — 主要な IC サプライヤが使用する大量シリコンウェーハの直径。Factory Integration Technology WG の作成した ITRS タイミング予測は、最初の 20K ウェーハ開始/月製造設備を基準としており、1997 年 NTRS の最初のパイロットラインタイミング予測と異なる。

電氣的設計およびテスト計測値

電源電圧(V)

最低論理 V_{dd} — チップが設計要件で動作する際の電源からの名目操作電圧。

最大電圧

熱吸収源付き高パフォーマンス(W) — 外部熱吸収源のある高パフォーマンスチップにおける最大電力散逸量。

電池(W) — 電池駆動チップにおけるチップあたり最大電力散逸量。

設計およびテスト

大量テストコスト/ピン(\$K/ピン) — 大量アプリケーションの機能(チップソート)テストのコストをパッケージピン数で割ったもの。