

5. 設計

5-1 スコープ

半導体ビジネスの目的は集積回路メーカ、顧客、供給者、戦略的なパートナーのための利益を生み出すチップの生産である。チップの設計、検証、テストにおける困難度の増加は、製造技術の提供よりも大きい目的達成への障害となった。本章では、正しく動作する設計におけるチャレンジを述べ、チャレンジを解決する解決策候補を記述する。テスト装置とチップのテストは別章でカバーされるが、本章は組み込み自己テスト(built-in self test:BIST)を含むテスト容易化設計については記述する。他の領域の場合と同様に、技術ソリューションの前進または障害は設計の中で新しい問題を創ると同時に新しい技術の出現の機会をつくる。

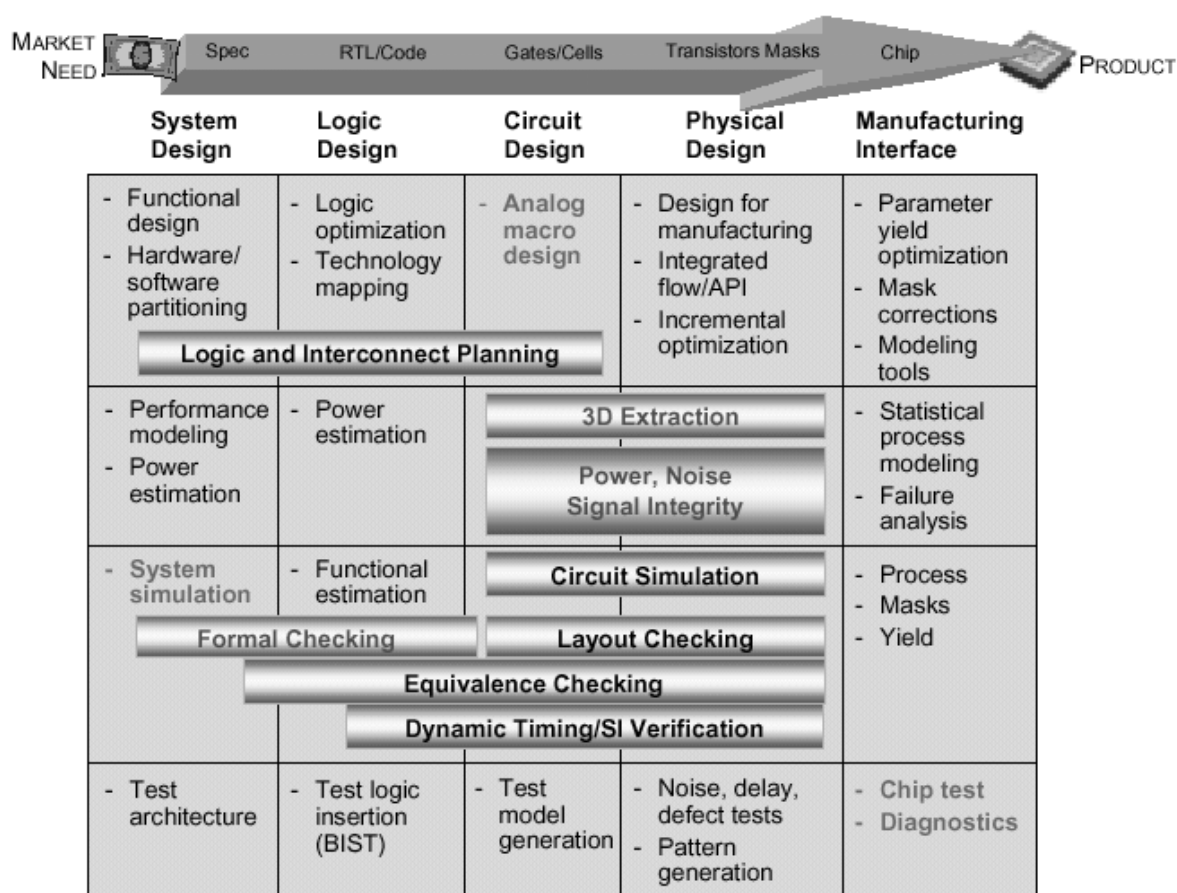


図 4 IC 設計における問題

設計複雑性の増加は、高度に設計技術に熟練しかつ、広く養成された設計者グループを必要とする一方で、以前の世代のテクノロジーでは無視出来た要因を考慮できるコンピュータによる設計支援ツールが必要である。図 4 でそれらのツールを示す。以前はこれらのツールは設計工程の個々の部分に集中していたが、今日ではより広い設計工程の様々な要因を考慮しなければならなくなっている。例えば、論理合成ツールは今日では配線(インターコネクト)と配置を考慮に入れなければならないし、今後はそれに加えて、ダイナミック回路のトランジスタレベルの動作や機器の小型化と高周波数化によるノイズの影響に対応して行かなければならない。設計フローはチップのファンクションの正しさ、タイミング、消費電力、信頼性、製造容易性、信号完全性(シグナルインテグリティ)、テスト

容易性等の必要条件を保証しなければならない。このように、設計複雑性は指数的に増加しているが、しかし、一方で設計自動化ツールは一世代前のコンピューター設備で動作しなければならないハンディキャップを負っている。この設計複雑性は、論理設計、レイアウト、回路設計の間の区別がぼやけるために、設計者（設計者の能力はムーアのカーブに追いつけないが）に対して同様な影響を与える。

設計がデジタル・マイクロプロセッサや特定用途向け集積回路(application-specific integrated circuits:ASIC)からシステムオンチップ(system-on-a-chip:SoC)へと移行するにつれ、設計者および設計ツールも複合組込ソフトウェア、異種システム、シングルチップの上で多様な構成コンポーネントの拡大というチャレンジに遭遇している。アナログおよびミックスシグナル、RF(radio frequency)、マイクロエレクトロメカニカル・システム(micro-electromechanical systems:MEMS)、エレクトロオプティカル、エレクトロバイオロジカルなどの新規なものが出現し、技術の変革をもたらしている。システムオンチップにおける異種混交、技術進歩、新製品の要求急速な変化により、一旦は設計生産性における軽減要因であると思われてきた設計済のIP(intellectual property)の再使用は難しくなっている。さらに、別々に設計されたコンポーネントを1チップに組み込むためには、インテグレーションおよび検証に多大のコストを必要とする。

急速に変化している技術環境も結果として製品のライフサイクルを短縮させ、半導体顧客にとって市場化に要する期間(Time to market)が最重要な課題となっている。この Time to market の強い要求は有線、無線の音声交信、データ通信ならびにインターネットを通しての個人情報著しい増加によって推進されている。したがって、市場に出る前に陳腐化しないチップをつくるトータルタイムの削減を求める圧力は非常に大きい。このチップ開発のトータルはシステム設計および検証工程によって大きく支配されている。技術革新に対する投資は製品開発リソースに集中投下されてきたが、一方で設計生産性の改善はトランジスタ数の成長と足並みをそろえることができなかった。図 5 はマイクロプロセッサの設計で搭載可能なトランジスタ数と現実に設計できるトランジスタ数の間で増大している設計生産性のギャップを示している。上記の如く、設計再利用は生産性ギャップのほんの一部にししか対応していない。設計チームサイズの拡大は大グループゆえの設計生産性に関する問題をもたらし、同時にチームサイズの拡大は、インテグレーションおよびソフトウェア問題によって、ある限界が存在する。

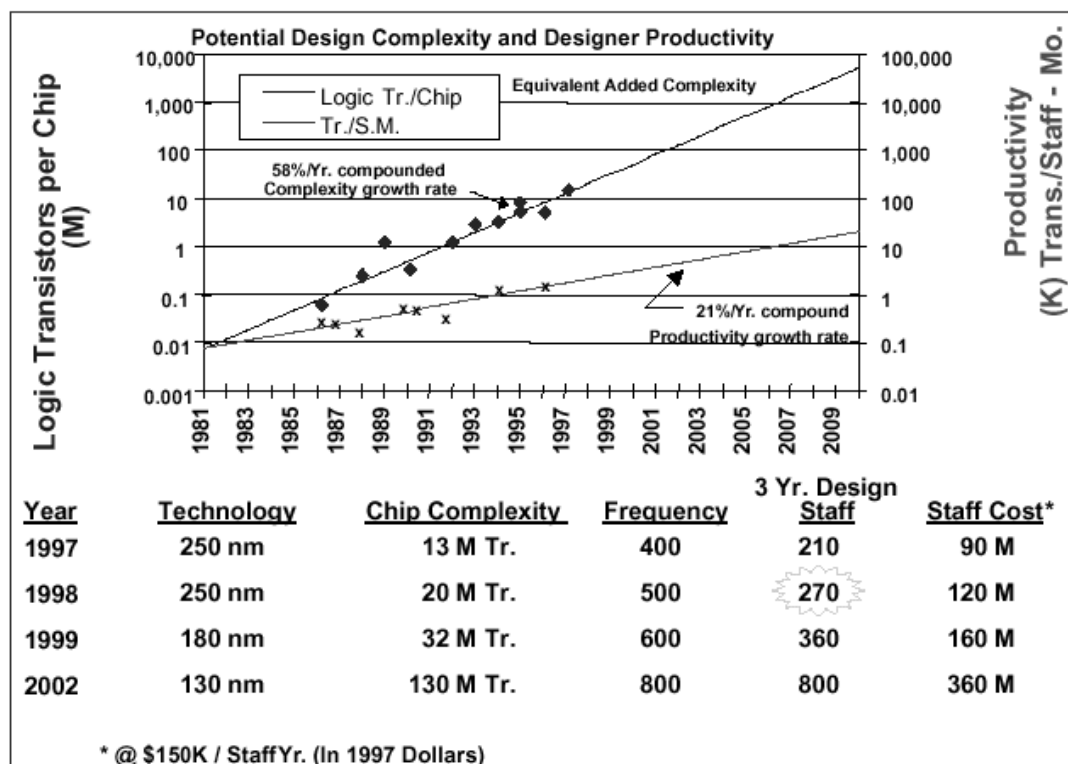
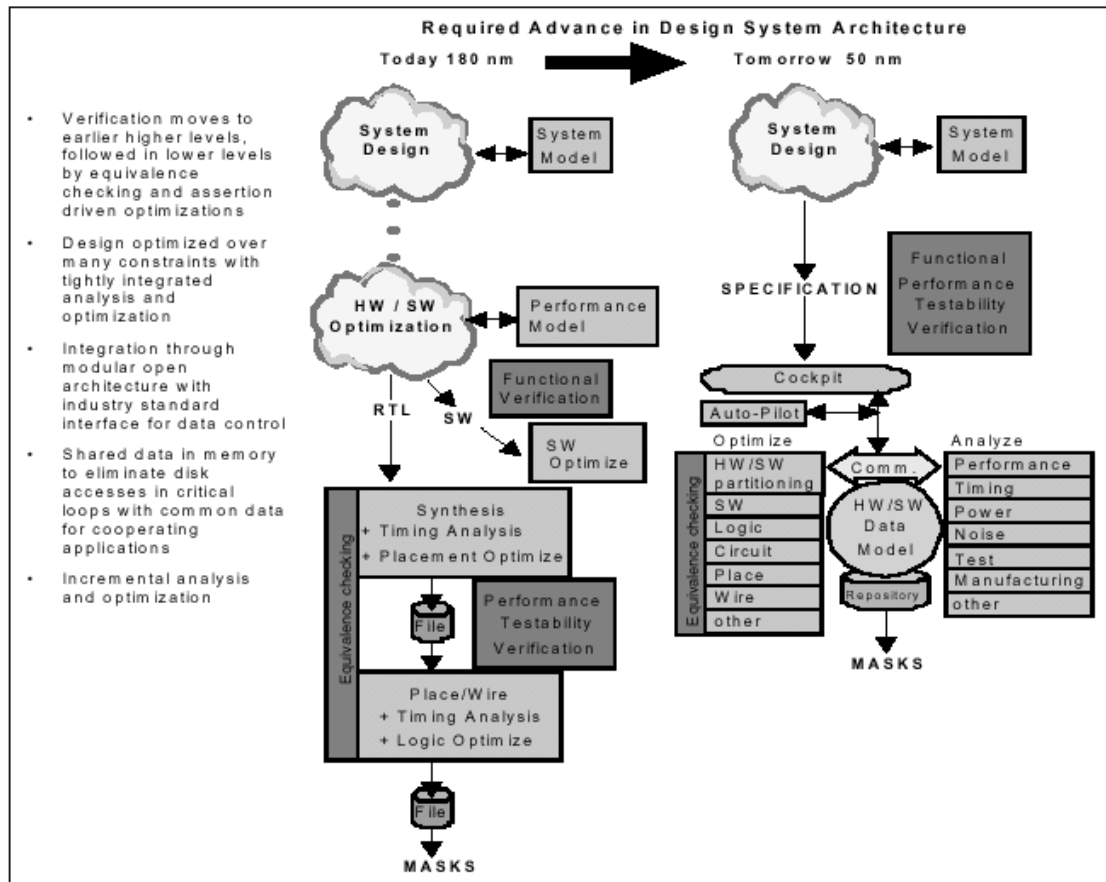


図 5 設計生産性のギャップ

Time to market の要求が高まり、またシステムオンチップが一般化するにつれて、組み込みソフトウェアは設計上の大きな主要課題となった。製品に占めるソフトウェアの割合およびその開発コストは増加し続けている。これに関わる問題としては、設計の高位レベルでのアーキテクチャ設計の探索、ハードウェアおよびソフトウェアの設計におけるトレードオフ(サイクルタイム、性能、コスト)の解析、設計の高位レベルでのプランニングや見積り、全設計レベルでのハードウェア/ソフトウェアの協調設計、および、その他の難しい検証や解析がある。ソフトウェアの信頼性は、特に基幹となるアプリケーションや分散型システムにおいて、本質的に重要な要件になっている。かつては専用のプロセッサ上でのみ動くように設計されたソフトウェアが、今やグローバルに互いに接続しているオープンシステム環境の中で動作している。高位設計および高位設計自動化ツールは、常に設計生産性改善へのキーファクターとみなされる。しかしながら他方では、頻繁なやり直しや繰返しを避けるために、設計の上位レベルでなされる決定は、それが設計の下位レベルでの決定に与える影響の正確な見積りに基づかなければならないし、また下位の設計工程での論理レベルや物理レベルの調整や変更が整合性を持って可能にならないとなければならない。図 6 は設計が個別の工程を単位として独立に進む従来のチャートから論理ツール、物理ツール、レイアウトツールおよび他のツールが一体化して動作できる統合されたシステムへの移行を示している。この新しい設計システム環境では、設計者はコックピットから「オートパイロット」により自動設計ツールを起動してそれらを制御することになる。

最後に、ITRS の設計章の特異性について銘記しておく必要がある。本設計章は、製品を生産利益を生み出すことに要求されるあらゆる努力や今後の取り組み、および Time to market への要求にとってますます重要であるが、特にテクノロジー・ノードへの必要設計技法のアラインメントにポイントをおいている他の技術ロードマップ章と本質的に異なる。技術の進歩は一般的には、製造の中で必要とされる要素技術が整備されたときに生じる傾向がある。一方で、設計技術や設計プロセスの改良や

改善は、それが開発され、設計生産性や設計品質や全体のコストの低減の改良に直ちににつながる時に生起する。



HW/SW-ハードウェア/ソフトウェア

図 6 設計システム・アーキテクチャにおける必要な変化

5-2 大チャレンジ

設計されているコンポーネント、コンポーネントの設計に使われている製造技術、および、コンポーネントの設計に使用するツールの複雑性が増加するために設計チャレンジは生じる。トランジスタ数および組み込みソフトウェアの複雑性に関して、システムサイズは指数的に増加している。その上に、システムの異種混交が増加し一方でチップサイズが減少するにつれ、設計者と設計ツールが考慮しなければならない要因の数は増えている。図 7 は考慮しなければならない様々な要因を示す。

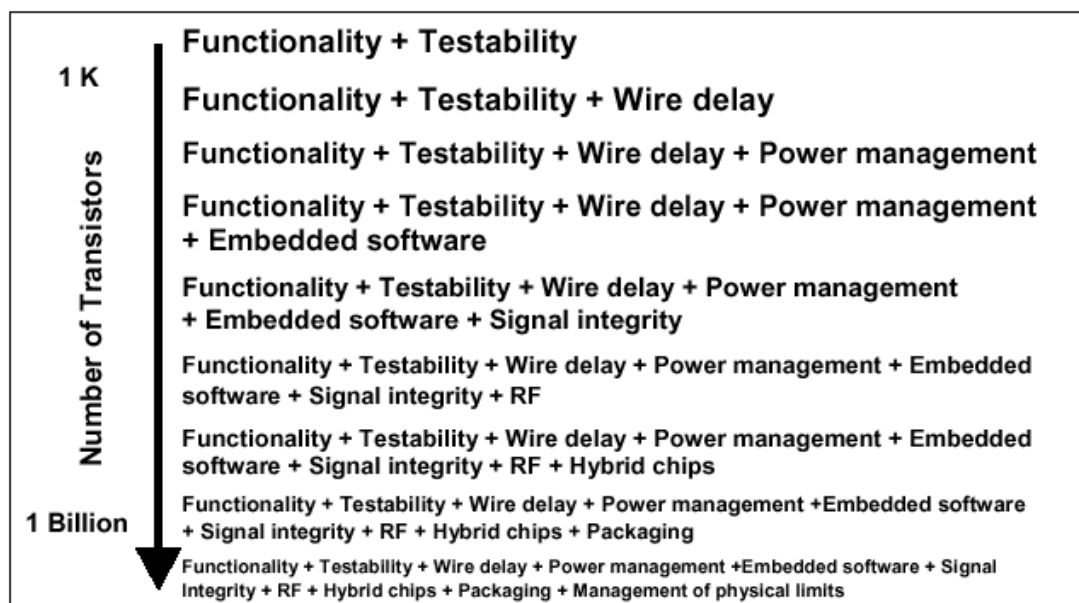


図 7 指数的に増加する設計複雑性

表 13 は設計における課題を、5 つの異なる複雑性スケールにグループ化し、ニーズの優先度によって順番をつけて記載している。技術の進歩によりシリコン複雑性(silicon complexity)がもたらされた。小さいチップサイズに多数のデバイスを搭載することが可能になった一方で、以前には無視できた影響が顕著に甦っている。システム複雑性(system complexity)は容量増加を可能にした。システム複雑性を顕著にしている要因は、多機能アプリケーションを短い Time to market と低コストで要望する消費者需要である。技術およびシステムの両方の要因のために設計手順複雑性(design procedure complexity)も増加している。さらに、チップ、パッケージ、全製品に関する検証、解析、テストおよびテスト容易性等もより複雑になっている。

5-3 技術的要求

表 14 は実際の設計の中に各種技術の進歩や変革が実現されたとして、要求される大幅な設計生産性向上のニーズを示す。これらの数値目標を成し遂げるためのソリューションは設計されるアプリケーションに大きく依存している。例えば設計再利用部分の比率やソフトウェアおよびメモリ・オンチップの信頼性である。設計ツール等の性能改善は全て設計生産性ギャップを埋める試みである。この表では設計期間はわずかに減少するが、一方で設計チームのサイズは ASIC で設計者 50 人およびマイクロプロセッサで設計者 300 人と固定することを前提としている。設計者間のコミュニケーション問題が増加するので、それに対応する方法論なしではこれ以上設計チームのサイズを増やすことは難しい。

Table 13 Design Difficult Challenges

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Silicon complexity	Large numbers of interacting devices and interconnects Impact of signal integrity, noise, reliability, manufacturability Power and current management; voltage scaling Need for new logic families to meet performance challenges Atomic-scale effects Alternative technologies (such as copper, low κ dielectric, SOI)
System complexity	Embedded software as a key design problem System-on-a-chip design with a diversity of design styles (including analog, mixed-signal, RF, MEMS, electro-optical) Increased system and function size Use of open systems and incorporation into global networks Integrated passive components
Design procedure complexity	Convergence and predictability of design procedure Core-based, IP-reused designs and standards for integration Large, collaborative, multi-skilled, geographically distributed teams Interacting design levels with multiple, complex design constraints Specification and estimation needed at all levels Technology remapping or migration to maintain productivity
Verification and analysis complexity	Formal methods for system-level verification System-on-a-Chip specification Early high-level timing verification Core-based design verification (including analog/mixed-signal) Verification of heterogeneous systems (including mixed-signal, MEMS)
Test/testability complexity	Quality and yield impact due to test equipment limits Test of core-based designs from multiple sources (including analog, RF) Difficulty of at-speed test with increased clock frequencies Signal integrity testability
<i>FIVE ADDITIONAL DIFFICULT CHALLENGES < 100 nm / BEYOND 2005</i>	
Silicon complexity	Uncertainty due to manufacturing variability Uncertainty in fundamental chip parameters (such as signal skew) Design with novel devices (multi-threshold, 3D layout, SOI) Soft errors
System complexity	Total system integration including new integrated technologies (such as MEMS, electro-optical, electro-chemical, electro-biological) Design techniques for fault tolerance Embedded software and on-chip operating system issues
Design procedure complexity	True one-pass design process supporting incremental and partial design specification Integration of design process with manufacturing to address reliability and yield
Verification and analysis complexity	Physical verification for novel interconnects (optical, RF, 3D) at high frequency Verification for novel devices (nanotube, molecular, chemical)
Test/testability complexity	Dependence on self-test solutions for SoC (RF, analog) System test (including MEMS and electro-optical components)

κ —dielectric constant

SOI—silicon on insulator

IP—intellectual property

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
MPU new design cycle (months)	36	36	36	32	32	32	30
MPU transistors per designer-month (300-person team) (thousand)	2	3	4	7	10	15	20
ASIC new design cycle (months)	12	12	12	12	12	12	12
ASIC transistors per designer-month (50-person team) (million)	0.3	0.4	0.5	0.7	1.0	1.3	1.8
Portion of verification by formal methods	15%	15%	15%	20%	20%	20%	30%
Portion of test covered by BIST	20%	20%	20%	30%	30%	30%	40%

表 14a 短期的な技術的要求

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
MPU new design cycle (months)	28	26	24
MPU transistors per designer-month (300-person team) (thousand)	65	200	600
ASIC new design cycle (months)	11	10	9
ASIC transistors per designer-month (50-person team) (million)	5	13	36
Portion of verification by formal methods	40%	50%	60%
Portion of test covered by BIST	50%	60%	70%

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 14b 長期的な技術的要求

システムレベル設計

設計工程の全体は2つの終点によってその範囲を区切ることができる。(1)一つ目は最上位のシステム設計である。そこでは、製品に必要な機能を満たすアーキテクチャが設計される。(2)二つ目は例えば論理ゲートなどのプリミティブなビルディングブロック設計である。ここでは、デバイス技術によって大きく影響される。このように、全体のシステム設計は、コンピュータ支援設計 (computer aided design: CAD) ツールで構築されるプリミティブ・ビルディングブロックを使用したアーキテクチャの構築である。システム性能がプリミティブ回路ビルディングブロックではっきりと規定される関数であるという意味でこのコンセプトは重要である。技術スケーリングがディープサブミクロンに到達するにつれ、ビルディングブロックは急速に性能および機能の限界に達している。技術限界が切迫する一方で、システム設計の複雑性は急速に増加している。すなわち、システムがより多機能化し、大きな分散型システムの一部としてより多くの複雑なアルゴリズムおよびソフトウェアを含むようになったからである。これら全ての要因は、結果としてシステム設計をますます困難にしている。

システム設計には2つの定義がある。一つは、限定された技術を前提とした、複雑なアプリケーションを実現するための新しいアーキテクチャおよびアルゴリズムの開発である。これは、正に「設計」そのものとしての位置付けである。いま一つは、CAD 方法論とツールを使った、システム設計のプロセスという位置付けである(「設計自動化」)。各種の制約を満たし、かつ最適に近い実現手段を設計者に支援するのが、設計自動化である。

上記で示したシステム設計の「設計」部分では以下の課題がある。

- システム機能を達成するアルゴリズムをインプリメントする回路ブロック、ソフトウェア、通信を含む全体アーキテクチャを組み立てる高位設計スペースの探索。
- 利用できるシリコンおよび実装技術オプションに関する選択肢や制約、限界の検討と決定、および処理可能な階層の小さいサブシステムへの全体システムの分解。

同じく上記で示したシステム設計の「設計自動化」部分では以下の課題がある。

- 高位レベルのフロアプランを含む、仕様開発、要求仕様や制約のキャプチャ、アルゴリズム・トレードオフ、早期のアーキテクチャ分割やバジェットイング。

分割された小規模ブロック達おのおのの接続情報の初期仕様の生成。このブロックやそれらの相互接続はフロアプランで制御される。

純粋なデジタル設計と回路設計の間の境界が変化して来ている。例えば、論理設計でタイミング収束を実現するためには、本来は物理設計に属する配置および配線遅延を考慮しなければならない。従って「論理合成」は、これらの物理的な制約を考慮したセル選択および最適化にますます注力しなければならない。

同じように、システム設計とデジタル設計の間の境界もぼやけて来ている。タイミング境界や個別のロジックの仕様は、設計サイクルの中で早期に出現しなければならない。例えば、論理設計は一般的なアルゴリズムを内部ビット幅が見込まれた誤差または精度目標を満足する最適化設計に変えることができない。その代わりに、グローバルな精度および誤差をトレードオフしなければならない。また、データの転送を指定するプロトコルおよび手法の仕様は、アルゴリズム実現の上で大きいインパクトを持つ。

システム設計における大チャレンジ($\geq 100\text{nm}$ 、2005 年迄)

100nm テクノロジ・ノード迄は、システム設計は以下の機能および開発を必要とする。

- 長い配線用の最速のバッファ付きの配線は、個々のゲートのスイッチング時間の 100 倍以上に達する。グローバルクロック周波数が 3GHz に近づくと、その配線上でマルチサイクルのレイテンシーを導入しない限り、同期式のオンチップ動作を達成するのは困難になる。システム設計はより完全にタイミングの問題を包含しなければならない。
- 電力密度の増加による大電流と低電圧は、より大きな電源の電磁ノイズをもたらす。同期式システムは、一定の周期で電源スイッチのサージがスケジューリングされる事によって問題を悪化させる。このように、電圧降下または電流サージのような影響を減らす電源レール設計は設計工程の中で早期に必要である。
- 評価手法は大きい電流振幅 ($> 500\text{ A}$) を考慮した電源配線 (例えば電圧降下、グラウンドバウンス) のために必要であり、又、サブ回路の電源投入に起因する電力サージ、および電源投入/リセット条件サージを考慮したクロック配線のために必要である。
- スwitchingの増加に対するプロセステクノロジーの対応は、クロック周波数の増加の傾向についていない。このように、クロックレジスタ間の論理レベル数の低減等の設計技法は、現在のクロッ

クレイト増加の傾向を許容する。シングルパス対マルチサイクルパスと回路を慎重に考慮することは、設計工程の初期においてより重要となる。特に、ローカルに同期式であり、グローバルに非同期式である設計技法をツールでサポートする必要がある。

- ハード IP ブロックおよび、トランジスタのスウィッチングタイムを超える配線の支配的な影響を考慮すると、フロアプランおよび制約バジェットプランは特に必要である。
- ブロックの間の配線およびプロトコル遅延に関する新しい評価技術は、信号のノイズ(例えばカップリングノイズ)、電力不均等による熱勾配、その他の影響を考慮しなければならない。主要な配線バスおよびラインは、フロアプランやブロック分割プロセスにおいて早期に設計する必要がある。
- 様々な選択肢の間の、最終的な面積と時間のトレードオフの推定が貧弱なために、ビヘイビア合成は限られた適用可能性しかもたなかった。オペレータ選択およびスケジューリングの前のこの推定は、この機能を可能にするために改善されなければならない。推定を支援する手法は定義済みのライブラリ(IP)要素の選択、および詳細で最終的な最適化を迂回する高速な合成手法である。これらの同じ推定手法は他の形式のビヘイビア合成(例えば、プロトコルおよびデータパス合成)を支援し、次いで、初期のブロック分割のトレードオフと解析においてシステム設計者を支援する。
- 組み込みソフトウェアは ASIC および SoC 設計で大きな役割を演じ、それとともに以下の設計課題の増加をもたらす。ハードウェア/ソフトウェア協調設計および設計分割およびトレードオフ解析;ソフトウェア検証およびその複雑性;ハードウェア/ソフトウェアのスキルおよび設計チーム構成:混合ハードウェア/ソフトウェア信頼性およびテスト;ソフトウェア再利用およびソフトウェア IP。

システム設計における大チャレンジ(<100 nm、2005 年を越えて)

- 約 100nm 以下の設計において変曲点に到達する。小さいブロックに対してバッファを用いず、タイミング予測ができる論理合成が可能になるまでは、より自動化された詳細設計は実現できない。100nm のテクノロジーにおいて、これはランダムロジックブロックが約 100k ゲート以下でなければならないことを意味する。ASIC に関しては、詳細設計を始める前に、約 200~400 個のそのようなブロックを特定し、プランを立てなければならないことを意味する。これはシステム設計フェーズにとってあまりに複雑であり、したがって、詳細論理設計とシステム仕様/分割の間に新しい「中間」の設計レイヤを設けることが必要となる。設計プロセスにおけるこの中間レイヤの入口および出口を定義することが必要となる。
- 100nm 以下における電力密度は、全ての回路が同時にスイッチできる電力を超えると予測される。したがって、電流は 1000A を上回り、ひとつのクロックサイクルにおいて 0 から 1000A へスイッチングする。どんなに慎重に設計された電源レールでも、電圧降下その他の厳しいインパクトなしにこの電流を取り扱うことはできない。瞬間の電力ニーズを管理し、必要電力量を平均する手法を採用する必要がある。アルゴリズムの開発においてこの点を考慮するツールは、性能と電力の最適なトレードオフを満たすことを要求される。
- クロック速度が 5GHz を超え、チップを横断する通信が 5~20 クロックサイクルを上回ると、ローカルでは同期式でありグローバルでは非同期式な配線でクロック周波数を階層化するアプローチが必要である。ローカルにおいて同期式で高性能な近接通信だけでなく、非同期やマルチサイクルの配線を取り扱うツールが必要である。同じブロックの中で 2 桁以上異なる 2 種類以上のクロック周

波数を用いた設計をする能力が必要である。非同期の領域(非同期で結合されたブロック)における通信やマルチサイクルの配線パスがますます増えるであろう。

- チップを横切る「システム」通信はコストが高いために、グローバルにアクセス可能なレジスタやバッファの構造はもはや可能でなくなる。したがって、いろいろな形のメモリとの通信コストはどのブロックが関係しているかに大きく依存する。分散型メモリ・アーキテクチャの仕様と設計、オンチップ・バスとのトレードオフを考慮に入れる設計システムが必要である。これはアルゴリズム・トレードオフツールにも大きなインパクトを与える。
- 100nm ルールを越えた新しいテクノロジーにおいては、設計トレードオフの優先順位を決定しなければならない。このような複雑なシステムの集積回路を実装するための最も大きなインパクトを認識し、その特性を導き出さなければならない。これによって、必要であれば仕様設計の時点において、このインパクトをツールに組み入れ、システム設計のトレードオフの中での対応を可能にすることができる。例えば、アルゴリズムまたは仕様が 20 個の 1Gbit フレームバッファにランダムアクセスを必要とするならば、20Gbit ランダムアクセス・メモリをインプリメントするコストを早期に考慮し、ターゲット・アーキテクチャにおいてインパクトを最小にするか仕様を最大にするかのトレードオフを行わなければならない。
- マルチタスクかつマルチレート・システムはシングルチップ(多くのトランジスタを搭載する、カプセル化されたシステム)にとっては標準となる。様々なタスクの実装と、それらのタスクの異なる応答時間およびデータ処理レートの要求事項を仕様決定、検証、処理、トレードオフする手法が必要となる。おそらく、今日のマルチメディア処理の中で見られるとおり、そのようなマルチタスク・システムはリソースを共有する必要がある。配線バス、バッファメモリ、機能ユニット等の全ては、異なるデータ処理レートと応答時間をもつ様な、複雑なタスクの間で共有される。
- 様々なアプリケーション領域をカバーするため、代数やその他の離散数学に基づいた形式(フォーマット)を開発する必要がある。より厳密な仕様の形式があつて初めて、設計を捕捉、検証、最適化するための自動ツールが開発可能となる。動的なデータフローまたは同期式データフローなどのいろいろな計算モデルにマップされた時、デジタル信号処理理論は、それらの領域において高い抽象度でシステムを記述し、処理するための新しい代数の実例となる。
- 今日の大規模な電子システム設計においてさえ、過去のコンポーネントや機能を全く再利用しない、完全に新規の設計を想像するのは困難である。設計の 25%未満が新規であるようなインクリメンタル設計であることがより標準的になる。100%新規のシステム仕様記述や処理への期待と相反し、このようなインクリメンタル設計をサポートするツール環境を開発する必要がある。
- 製造の最終工程において機能テストを行うには、システムがあまりに大きくなるので、設計に自動的に耐性を挿入する機能が重要になる。故障耐性のための冗長ロジックのような手法の自動導入が必要である。

合成および論理設計

論理設計は、システム設計フェーズからの出力であるレジスタ・トランスファ・レベル(register

transfer level:RTL)のハードウェア仕様を、物理設計ステージへの入力に適した、ゲートレベルの表現へマッピングするプロセスである。この設計段階で、RTL は予め特定のクロックエッジに「スケジュール」された、ディジタルのハードウェア機能を表わすにすぎない。設計生産性の理由のために、論理設計におけるテクノロジマッピングとロジック最適化の改善の大部分は、論理合成ツールおよびアルゴリズムによる自動化を必要とする。

論理設計における大チャレンジ($\geq 100\text{nm}$ 、2005 年迄)

チップ上に集積されるトランジスタの数が増加するにつれ、配線遅延の扱いが大きな問題となってくる。そのため、アーキテクチャ設計及び論理設計段階において、ブロック単位の階層設計手法の適用が必須である。また、各ブロックのチップ上での配置は、ブロック間の配線遅延にも大きく影響されるため、その考慮も必要になってくる。これらの問題を解決するためには、合成アルゴリズムと連携して、各種制約条件のもとで配置/配線まで可能な手法が求められ、論理設計から配置/配線までの一貫したプロセスとしての処理が必要である。これらを実現するためには、フロアプランツールが大きな役割を持つ必要があり、論理設計及びチップ上での実現のための設計フロー全体のコントロール役を担うことになる。

動作電圧が低下した場合でも、予測されたチップの動作時の消費電力は、実装上及びバッテリー容量上でサポートされる電力よりも多くなる可能性がある。そのため、アーキテクチャ設計および論理設計段階からのパワーマネジメント設計が重要であり、合成と連携した自動化が必要である。しかし、消費電力見積もりアルゴリズムは、シミュレーションベクターの作成以前の問題として、大規模回路及び、デジタル/アナログ/ソフトウェアのトレードオフ設計を処理できる必要がある。消費電力見積もりのためには膨大なシミュレーション実行時間を要するので、早期に見積もりが可能で、精度の高い統計的な見積もり手法が求められる。このアルゴリズムは、論理設計、合成～配置/配線までの設計フローの中で求められた値をフィードバックし、精度の改善が可能となるしくみが必要である。

信号完全性、信頼性は、配置/配線までに考慮されないと、対応が困難となる。これに対応するためには、合成プロセスの中でサポートできる設計手法、ツールを開発する必要があり、論理設計～配置/配線までの設計プロセス中で必須となる。これは、エレクトロマイグレーション(electro migration:電子誘導元素移動)、電圧降下等の下流設計、実装設計での問題を上流設計、及び合成、論理設計段階で処理することがチップ実現のために必要になるからである。また、クロストーク、ノイズ等の基本的な信号に関する問題は、タイミング、面積、消費電力と同様にトレードオフ対象となる。

シリコン上で実現されるあらゆる機能および設計スタイル、インテグレーションの違いにより、個々の設計スタイルに対応して最適化したアルゴリズムを適用する。しかし、これらの最適化に対しても、それぞれの異なる設計スタイルを認識し、対応できるアルゴリズムが必要である。これは、特定の設計スタイルに対応できる詳細な処理ルーチングが含まれ、特定用途対応にローカライズされた合成、データパスおよびメモリに関する合成処理を含む場合もある。

論理設計の傾向は、マルチプル・オンチップ電圧と基準電圧を使用して消費電力およびタイミングを最適化する方向にある。設計目標を満たすために適用される電圧レベルだけでなく、精度の高いライブラリの適用を考慮した、最適化、トレードオフが可能な環境が、将来の合成環境のために必要

である。これは、精度の高いライブラリ化への拡張を意味する。

新しい材料および製造プロセスが採用されるにつれ、従来の合成環境にさらに新たな変更が必要である。銅ベースの配線はより速い性能を実現できるが、異なる金属同士でアルミニウムと混ぜ合わせた場合は、新たに詳細で精度の高い、大きなインテグレーションが必要である。同様に、各レイヤ間の低誘電率絶縁膜は回路速度を改善できるが、論理設計段階での配線性能およびクリティカルパスの推定にも適用できる。シリコンオンインシュレーター(SOI)も同様にもう一つのプロセス技術の高度化を提供する。これらの取り組みは、精度の高いライブラリ化とともに、アルゴリズムの改善、最適化につながる。

大部分のデジタル論理機能は RTL レベルで設計されるが、10-50M ゲートのシリコンベースで設計される回路、アナログまたは RF の周辺ブロックに関しては、別のアプローチが要求される。合成は回路に対応したマッピングや最適なルールを適用し、物理的な配置を考慮して処理される必要がある。同様に、特に合成、配置、配線アルゴリズムの連携のもとで、再利用可能なハード IP ブロックも扱える処理が必要である。

テストビリティに関しては、より自動で完全なテスト回路挿入戦略なしでは、将来のロジック密度に対応することが困難である。

現在の取り組みは、回路に応じて考慮してテスト機能を加えているが、将来のテストに必要な条件(システム設計フェーズで指定された)は、一連のプロセスの中での自動化である。タイミング、消費電力、集積密度、信頼性、波形完全性等の制約条件を満たしながら、最適なテスト回路を自動的に挿入できる合成アルゴリズムを開発する必要がある。テスト回路自動挿入には自己診断ロジックを含む必要があり、オンチップ・プロセッサ(おそらく、補足のファームウェア・コードを有する)の使用にも対応する必要がある。

論理設計における大チャレンジ(<100 nm/2005 年以降)

シリコン製造技術が 100nm 以下へと進歩するにつれ、論理設計に関してはさらに考慮すべき条件が発生する。予期される低電圧トランジスタの適用、非常に厳しい閾値およびマージン、厳しいパワーマネジメント、マルチギガヘルツ性能対応の必要条件等により、スタティック CMOS は別の論理回路ファミリーに替えられる可能性がある。論理合成は新しい論理スタイル(例えば部分的な振幅、マルチ閾値またはクロック遅延型ドミノ・セル)のための合成技術および最適化アルゴリズムをサポートする必要がある。

何億ものトランジスタおよび配線が故障を起こさずに動作しなければならないサブ 100 nm において、合成ツールはフォールトトレラント設計の自動化が要求される。このフォールトトレラント機能はハードウェア冗長性、再プログラマブル配線、再構成可能な制御ロジック等を含み、これらの全てはオンチップ自己診断ロジックの制御の下で動作することが必要である。

システムオンチップ設計では、シングル・ダイの範囲内で周辺のアナログ回路、ミックスシグナル、RF 回路が搭載される。そのため、信号完全性等の問題を最小にするように、デジタル論理側に特別な注意が要求されるが、設計生産性向上、自動化の必要性との間のトレードオフとなる。これらの問題は、クロストーク、スイッチングノイズ、基板上のノイズ、EMI(electro-magnetic interference)、電圧

降下問題を含む。また、MEMS技術、エレクトロケミカル技術、エレクトロバイオリジカル技術がシリコンに採用されるにつれ、フォールトトレラント機能のためには、さらに付加回路が必要になってくる。

このような大規模なシステムおよびシリコン制約の下で生成されるロジックの莫大な回路規模を考慮すると、再利用設計は必須の技術である。大部分の既存の設計回路を活用し、さらに新規設計回路、新しいプロセス、シリコンの制約、条件のもとでチップを実現することになる。2005 年以降では、カスタマイズで設計された新規設計回路と既存設計回路を組み合わせ、合成および最適化を実現する必要がある。100nm 以下では、半導体歩留りおよびフィールドレベルの製品信頼性の両方に激しくインパクトを与えるのに十分なほど頻繁にソフトウェアエラーは発生すると予測される。このソフトウェアエラーからの保護はセル、トランジスタタイプ、配置によってエラーを統計的に分析する高度な専用ツールを必要とする場合があり、通常動作とは別モードで実行できるようにする必要がある。さらに、チップの範囲内で他のどの設計制約条件も犯すことなく、これらのエラーを防ぐため論理・物理設計を修正、調節の自動化も要求される。

検証および解析

検証および解析は複雑な IC および SoC のタイムリーな設計のための重大なボトルネックであり続ける。検証が設計リソース(人間およびコンピュータ)の半分以上を必要とし、新製品の「利益を得るに要する期間(time to market)」を大幅に遅らすと評価されている(図 8)。したがって、この領域に対する研究の貢献は新製品の開発において最大の改良の余地があることを意味している。

検証の精度は使用モデルの精度に依存する。検証シミュレーションの速度はシミュレーション・アプリケーションソフトウェア、シミュレーションが動くハードウェアプラットフォームおよびモデルの複雑性の関数である。シミュレーション速度は「利益を得るに要する期間」に重大であり、シミュレーション速度および精度の間でよいトレードオフを行わなければならない。設計の進捗に応じて様々なシミュレーション精度のレベルを扱うことができる方法論を開発する必要がある。

設計はシステム、アーキテクチャ、マイクロアーキテクチャ、レジスタ転送、ゲート、スイッチ、レイアウトを含む多くの異なる抽象化のレベルでモデル化されている。レジスタ転送(register transfer:RT)レベル以下でのモデルのために多くの検証ツールおよび方法論が存在するが、しかし、ミックスシグナル問題は言うまでもなく、デバイス機能サイズの減少、同期設計のクロック速度の増加、チップに対する配線支配の増加によりモデルは複雑さを倍加している。効率的なコア再利用のために、機能、タイミング、電気的特性に関するブロックのキャラクタライズはますます重要になる。システムレベル設計およびハードウェア/ソフトウェア共同設計への先進的な取り組みは難しい検証および解析問題を解く商業上有用なツールをちょうど生み出し始めている。組込みコア、システムオンチップの複雑性、デジタルおよびアナログのインテグレーション、センサーまたはアクチュエータのようなデバイスのインテグレーションは解析および検証の課題を大きくしている。デジタル設計については、「回路中の」エミュレーション、シミュレーション技術、形式的な検証のための能力は今日の IC 複雑性に対してすら最適からは程遠い。ミックスシグナル(デジタルおよびアナログ)チップについては、解析および検証のために若干のツールが存在するが、多くの改良が必要である。

システムレベルアーキテクチャの検証および解析

斬新なアーキテクチャを必要としている設計については、上流の動作記述言語の形式で全体アーキテクチャが記述されたトップダウン型設計の取り組みが必要である。設計者はこの高級言語を使用して、チップの全入出力およびチップ範囲内の主要なブロックを正確に記述する。これを行うには、設計者はブロックインタフェース仕様に綿密な注意を払わなければならない。設計者がこのレベルの検証をよりよく行えば行うほどに、残りの設計がスムーズに行われ、このプラットフォーム設計から再利用可能なブロックを用いて次の派生製品はより簡単に開発できる。トップレベルのアーキテクチャ定義のためには、設計者が使用する場合は早く正確に複雑な SoC を記述することができ、ツール自身はいろいろな種類のシステム（ネットワーキング、テレコム、コンピュータ、その他）によって使用される言語を理解できる、もっとよりよいツールが必要である。速い検証を容易にするために、これらのツールも 1 つ下のレベルのハードウェア記述言語 (hardware description language: HDL) とインタフェースをとらなければならない。

システムアーキテクチャ以下のレベルでの検証は多くの協調動作する多様な抽象化されたモデルを広く用いる必要がある。現在、使用できる抽象の種類は不適當である。システムのアブストラクトビュー（抽象的な見方）を定義し、操作する方法はほとんど存在しない。又、特に設計が展開するにつれて、同システムのいくつかのアブストラクトビューの間で同じシステムの複数の異なる抽象化されたビューの間の整合性を維持する問題は未解決である。

デジタル検証ツール

業界での現在の設計検証方法は、タイミングアナライザおよび他の簡単な規則チェッカーと共に、人手で生成されたテストケースまたは疑似ランダム入力を用いた HDL またはゲートレベルシミュレーションに大部分を頼る。過去 10 年間にわたって、形式的検証技術の進歩は、難しい設計エラーを見つけて診断する能力において、従来のシミュレーションベースの方法を機能的に上回る検証ツールをもたらした。この仕事の多くは、記号モデルチェックを通して行うことのような均一な設計抽象の中の規則性を利用することに基づいている。形式的証による等価チェックの進歩によって、ゲートまたはネットリスト論理レベルでの検証時間は大いに低減した。これらの進歩にもかかわらず、既存の形式的検証ツールはギガスケール・システムのサイズおよび複雑性を取り扱えるまでには至っていない。

モデルチェックはたくさんの会社によって現在使用されているが、主流の方法論にはまだなっていない。シミュレーションベースの方法は可能な入力の僅かな割合をカバーするが、現在のモデルチェッカーは設計の小さい分割された一部、または高度に抽象化された記述に適用しなければならない。定理証明はほとんどが研究レベルの使用に限定されている。記号シミュレーション (symbolic simulation) は異なる形式的な検証パラダイムの 1 つであり、ある程度の成功をおさめている。記号シミュレーションは 2 進決定ダイアグラム (binary decision diagrams BDDs) または論理式を含むいろいろな記号表現で利用できる。データフロー型設計を扱うとき記号シミュレーションは有力である。

ハードウェア/ソフトウェア・システムレベル検証

将来のギガスケール・システムでは異種部品の混載が予測されるため、それぞれに特化し且つ協調的な検証方法を必要とする。さらに、新しい検証方法論は、検証問題を処理できる範囲のコンポ

ーネットに分割することも含まれる。コンポーネントはアナログ、RF、位相同期ループ (phase-locked loops: PLL) およびデジタル構造を含む場合がある。新しいデジタル構造は例えばデジタル信号処理装置 (digital signal processor: DSP)、組み込みプロセッサ、プロトコル・エンジン、メモリ・サブシステムおよび画像ストリーム等の多種多様なアプリケーションのために多くの異なる設計スタイルを含む。それに加えて、センサーおよびアクチュエータのコンポーネントは外界と相互に作用するため、物理的な環境のモデル化によりそれらの正当性を検証する。

アナログ、RF、新しいインタフェース構造および組み込みコントローラを含む、連続的な動作システムのための新しいモデル、記法、検証技術が開発されなければならない。システム設計の全ての範囲をカバーする単一の数学モデルおよび検証手法をつくらうとするよりはむしろ、異種混載が領域に特有の仕様および検証技術を使用する機会をもたらす。これらは特定のアプリケーションまたは設計スタイルについて知られていることを活用し、桁違いに検証を効率化する。例えばアナログ、RF、物理的な環境モデリング等の若干の領域では、どんなシステムティックな推論プロセスでも適用するためには新しい理論を工夫しなければならない。これを行うために、新しい回路構造は検証を考慮して開発されなければならない。検証方法を考慮せずに混載構造を単純に設計すると、おそらく正しく検証することができない大型システムに終わる。同じように、関連構造を慎重に構築しないと、異なるパラダイムに基づいたサブシステム間の信号変換 (例えばアナログ-デジタル信号レベルまたは非同期対同期タイミング) として働くコンポーネントを形式化し、チェックすることは可能ではない。

大規模なシステム検証は異種ツールを組み合わせ、保証のレベル、ツール容量およびツール性能の間のトレードオフを行うことにより最も効率良く行われる。これらのツールは、検証されるシステムエレメント、インタフェースおよび属性のために互換表現を使用して、できるだけ一体化されなければならない。電子設計自動化 (electronic design automation: EDA) 業界は、効率的なシミュレーション・アルゴリズムおよびハードウェア・エミュレーションを通してより速い評価性能を成し遂げる方法の開発を続ける。システム正当性分析のための洗練されたテクニックが必要である。これは、改善、拡張された形式的な検証技術、ならびにシミュレーションおよび形式的な検証の中間的な「半形式的」手法の結合を含む。これらの複合手法は共通の検証フレームワークに一体化される必要がある。

組み込みプロセッサが広範囲に普及するにつれ、ソフトウェアの正当性は全体システム検証の一部となる。現在まで、既存のツールおよび方法論の限界により、ソフトウェア検証の形式的な方法は広範囲にわたり業界に強い影響を与えるに至らなかった。形式的検証の研究も、例えばスケジューラ、デバイスドライバ、プロトコルコンバータ等の組み込みシステムに含まれるソフトウェアの形態に焦点を当てなければならない。そのような低レベルのソフトウェアはハードウェアの延長として見なすことができ、データの保存と操作のモデル化に高い抽象化のレベルを使用すること以外は、類似した手段によって検証できる。他の形のソフトウェアについては、ソフトウェアエンジニアリングの分野で開発された半形式的且テストベースのアプローチが有効に活用されなければならない。これまで次第に減少する製品ライフサイクルがますますソフトウェア的に再構成可能な回路へのニーズをつくるので、ソフトウェア検証の方法は重要になってくる。

コンフィギュラブルゲートの配列を持つ大型 PC ボードを備えたハードウェアエミュレーションが、複雑なロジック・システムのための検証に有用であることが判明した。この方法における主たる困難な点は、回路の分割問題と、通常オンチップである信号がゲートアレイのチップ間に移動しても所望のタイミン

グを損なわせない事である。もう一つの困難な点は、設計されようとするチップよりも最速エミュレータが常に 1 世代程遅れており、新しい設計を表現するのに十分速くないということである。エミュレーションは簡単に検証されないミックスシグナル設計のような純粋なデジタル設計によりよく適している。エミュレータは、ソフトウェアとハードウェアの協調検証のよい手段を提供する。

タイミング検証

一般的なデジタルコンポーネントでさえ、タイミング検証は克服すべき課題に直面する。一般にレイアウトが完了し、寄生（容量、抵抗）が正確に評価されることができ設計サイクルの終盤で、タイミング検証は実行される。最近 10 年間におけるタイミング検証の研究は、いくつかの長年にわたる課題にソリューションを与えた。それには多相クロックおよびレベルセンシティブ・ラッチを使用した回路の検証および論理上動作しないまたはフォールスパスを自動的に取り除く能力を含む。しかし、ディープサブミクロン技術は、カップリング容量が支配的になる等新たな課題が表面化する。それにより、隣接配線とのカップリング容量による遅延が、隣接ワイヤのスイッチング状態に従い 300-400%も変化する。これにより、機能およびタイミング検証を同時に行うか、少なくとも擬似静的検証を行わなければならない。デジタル・システムにおいて、支配的な配線容量を考慮したインクリメンタルなタイミング検証に関する新しいメソッドが開発されなければならない。技術進歩によってもたらされる新たな課題のもう一つの例は、SOI の設計においてフローティングウェル内の電荷保存のために「メモリ」効果を示すことであり、閾値電圧変化のためにタイミングエラーが起こる。これらの影響は、パターンおよび動作に強く依存しており、スタティックタイミング検証を使用するとき不正確を引き起こす。

ディープサブミクロンにおける更なる課題は、製造変動に起因する性能変化である。したがって、信頼性の確保やテストを実現する為の、統計的検証手法を開発しなければならない。これらの手法は、新しい合成および物理設計の機能を徐々に増加させ、また設計の全てのレベルにわたって抽象をサポートする必要がある。したがって、データおよび制御信号間の区別、あるいは、オペコード、アドレスまたは動作モードの区別等の意味的情報は、その精度を劣化せずに、タイミング検証複雑性を管理するために利用されなければならない。

電力解析

正確な電力見積もりおよび解析のよりよい方法はこれまでより重要となっている。設計サイクルの中で出来るだけ早期に、そして、正確に電力見積もりを行わなければならない。可能であるならば、アーキテクチャの設計フェーズで行う。さらに それらはそのパッケージまたはシステムについて 1 つまたは複数の理由でも一般的なポータビリティまたは信頼性に関して超えることのない電力余裕を持つ。不正確な電力見積もりは設計アーキテクチャ、ロジック、タイミング、時には作業の大変なアナログ・ブロックのリワークをたびたび生じさせ、設計の遅れをもたらす。

テスト容易性解析

テスト容易性は出来る限り早い段階で設計されなければならない。テスト容易化設計はアーキテクチャの設計フェーズまたは設計の早い段階で特別なテスト容易化セルを取り入れることで行われなければならない。これにより、タイミングならびにテストカバレッジに対する影響が分析・評価できる。目的は、回路性能、面積および電力への悪影響を最小にして高い故障検出率を実現することである。設

計の早い段階で行ったシミュレーションおよび解析をテスト回路挿入の後やり直す必要がおきないように確実な方法でなければならない。

雑音解析

今日の高性能ロジックまたはミックスシグナル・チップの設計の中で最大の問題の 1 つは雑音解析および雑音最小化である。これは、主に、オンチップおよびパッケージ配線の寄生容量およびインダクタンス、配線クロストークおよび基板を経た雑音注入を含むノイズ問題の複雑性に起因する。いつデジタルおよびアナログ領域で信号/ノイズ限界を超えたかを設計者に速くおよび正確に伝達するツールが必要である。

アナログ回路検証

RF 増幅器のようなアナログ回路は 3~4 つのトランジスタしか持たないが、寄生素子を含む全ての受動素子の正確なモデリングのために、電圧および温度範囲にわたる回路の検証が大量のシミュレーション時間を必要とする場合がある。複雑性がより多くなると、大きいアナログ・ブロックの検証ではシミュレーション時間が何週間もかかることがある。古典的なソリューションはより速いシミュレータを用いることである。新しいソリューションでは多くの電圧-温度シミュレーションを不用にするために統計手法を用いる必要があり、さらに、精度を犠牲にすることなくより速いシミュレーションを可能にする為に、より一層コンパクトなモデルを用いなければならない。

物理設計検証

物理設計検証フェーズはタイミング検証における最も重要なステップである。このフェーズにおいてのみ正確なタイミング情報を抽出できる。我々がディープサブミクロン (deep sub-micron DSM) 設計へ移行するにつれ、物理設計の検証には R、C、そして現在は L を含む配線寄生要因の複雑性の増加により長い時間を要するようになった。物理設計の検証は現在では設計サイクルタイムへの中ぐらいの要因に過ぎないが、常にスムーズに終わるとは限らない重要な課題を含んでいる。ある1社のツールが他社のツールより非常に効果のある処理を行う場合があるので、設計者はこのフェーズにおいて複数の CAD ツールをしばしば使用する。これらの異なるツールは互いに標準インタフェースを持たないので、予定外の数日の処理の遅れの要因となる。異なる供給者からのツールとスムーズにやりとりするために、標準インタフェースを開発しなければならない。

検証のための設計

次の 10 年間にブロックベース設計設計に期待される主なことは、形式的検証方法に影響を与える見込みがあることである。洗練されたブロックベース設計設計は、システムをはっきりと定義され完全にキャラクタライズされたインタフェースを通して伝達される複雑性を扱い易いサブシステムに分割することを求められる。検証は適切な抽象化のレベルでインタフェース、コンポーネントおよび全体システムを検証して、このモジュール性を利用することができる。この可能性を実現させるために、新しい形式的または半形式的な検証技術を開発し、統合しなければならない。

ワードサイズ、容量あるいは具体化の段階で決定される詳細な機能を示したパラメータ化されたモジュールはコンポーネントベース設計の中で非常に重要である。検証は、モジュールを具体化する

各々の利用者より、むしろ設計者によって一度だけ行えば十分であろうから、具体化前のパラメータ化されたモジュールの正当性を検証する方法が非常に有利になる。サイズ n のモジュールを固定サイズの検証問題にまとめる抽象化によって、あるいは、特別な決定手続きによって、あるいは、汎用的な定理証明法による帰納的な証明によって、パラメータ化されたコンポーネントの検証を行うことができる。そのようなテクニックに関する調査結果は発表されているが、現在の機能は制限されており、ユーザ側での多大な努力および専門的知識を必要とする。

ギガスケール・システムの検証は多くのレベルの階層および抽象化を利用しなければならない。抽象化が大規模システムを検証することへの鍵であると広く認められているが、現在の検証方法で利用されているほとんどの抽象化はその場限りであり、極端に労働集約的である。既存の形式的検証技術を適用する際に、最も時間のかかる工程および最も多くの専門的知識を必要とすることは、チェック可能な程度に十分粗く、有益な情報を現し且論理上正しい程度に十分細かく抽象化および簡略化を構築することである。より自動的な手段で適切に抽象化を行う方法を工夫しなければならない。よりシステムティックに、トップダウン設計手法を用いることによって、これらの抽象化の生成は大いに促進される。システム設計工程で利用された階層化された抽象化は検証と連携することができる。

統合化された検証環境

業界での現在のやり方は複数の形式のシミュレータ、タイミングアナライザ、その他を含む多様な検証ツールを寄せ集めて使用することである。互換性を持たない回路フォーマット間の変換および設計の進展に応じて自動的に該当ツールを起動する環境の設定に多大な努力が費やされている。ツールの統合のために業界標準を開発する努力は限られた成功しかあげていない。我々が包括的に設計の異なる側面を分析し、異なる抽象化のレベルでシステムを見るような新しい形のツールを加えるに従って、ツールの統合は一層厳しく挑戦的となる。互換フォーマットに加えて、我々は全体検証方法論の完全性を評価するだけでなく、異なる表現の整合性を確実にする方法を必要とする。

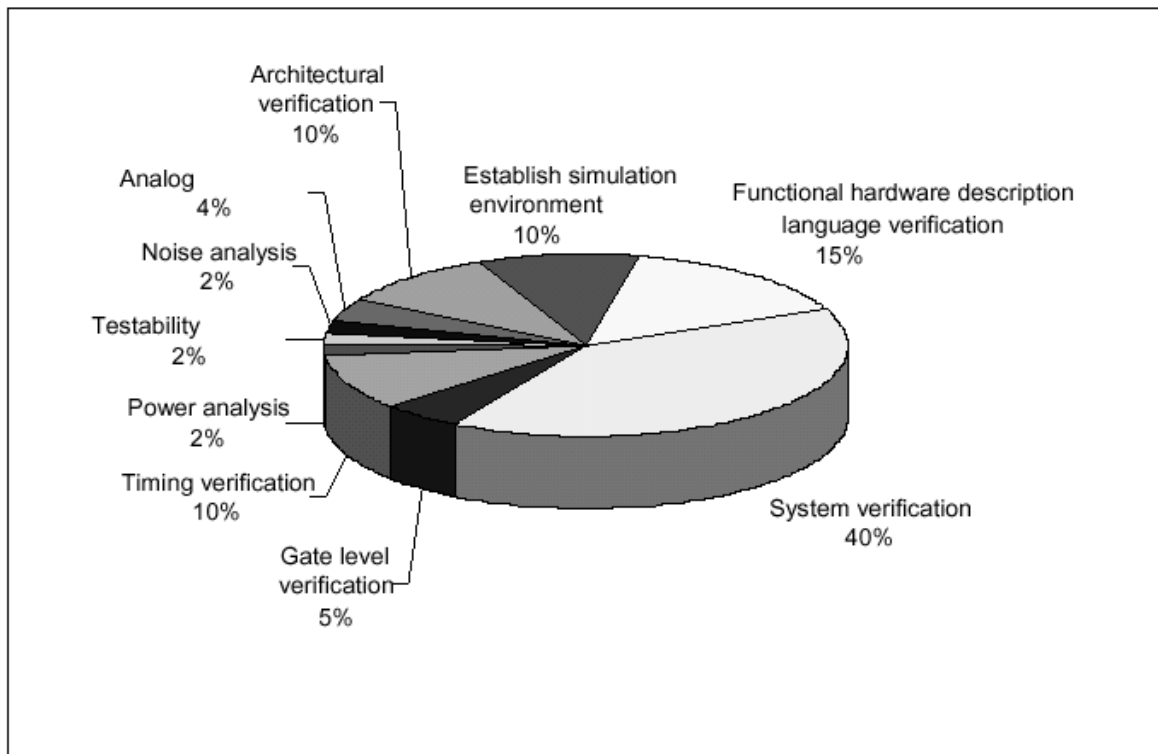


図 8 設計努力の 50%以上が検証に費やされている

要約:問題およびニーズ

半導体業界はシステムおよびアーキテクチャの数学的に正確なモデル、シングルチップでは現在機械的手順で複雑性を取り扱う自動解析ツール、同じ設計の下位レベルモデルとのモデルコンプライアンス(適合性)を保証できる自動検証ツール等を必要とする。複雑性の増大は設計工程での多くの自動化を要求する。合成、解析および検証問題を取り扱うために、形式的検証、シミュレーション、エミュレーションおよびそれらが混在した方法における新しい考えおよび一層の自動ツールが現在必要である。

物理設計

物理設計はデバイスおよび配線のチップ上への実装に関連する側面を取り扱う。技術の進歩につれ、タイミング、電力、信号完全性、信頼性および製造容易性が主要目標になってきており、物理的効果を見積もり、また、抽象化しながら、これらの品質をチップ上を実現していくことは、より困難になってきている。このように、物理設計はシステムレベル設計および論理レベル設計とより密接にリンクされ続ける。それに加えて、物理設計は回路実現およびその基幹となるプロセス技術との緊密な結び付きを可能にする新しい製造インタフェースを必要とする。図 6 の中で描写されるとおり、周囲の設計方法論は下記の項目と密に連携しなければならない。

1. 主要要素の(インクリメンタルな)適度な精度を有するモデリング、解析および抽象、
2. これら抽象化された要素の(インクリメンタルな)設計合成および最適化
3. デザインのマルチレベルでの設計手法の(インクリメンタルな)(再)仕様化。

これらのニーズは等しくデジタル、ミックスシグナルおよびアナログシステムの設計にあてはまる。

2005 年以前の大チャレンジ

シリコン複雑性 — シリコン複雑性の増加は消費電力、信号完全性およびレイアウト複雑性という課題をもたらす。電力および電流管理のために新たなツールが必要であろう。これは、IR ドロップと実効消費電力のための解析及び設計ツールを含む。更に、電力密度問題は動作温度範囲内にシリコンを保つために絶え間ない注意を必要とする。最後に、消費電力は、デザインフローの各段階に置いて、さまざまなコストを最適化する中でも、優先度が高いものである。許容可能な信号完全性を確実にする努力はノイズならびにカップリングの影響に対応する必要がある。配線および配線相互のダイナミックな干渉は信号完全性を収束させる上での不確実性の主要な原因になる。ツールは、インプリメント(例えば配線容易性)の品質を低下させずに、これらの相互干渉を理解し管理しなければならない。

許容可能なレイアウト・ソリューションに収束させる際に、異なるコスト関数をバランスさせることはもう一つの主要なチャレンジである。物理設計が大規模かつマルチレベルで、多目的、グローバル最適化がますます必要になるので、制約考慮型グローバル最適化、インクリメンタルな最適化、リソース拘束型最適化、部分的または確率的設計情報による最適化等の新たなパラダイムを開発しなければならない。

システム複雑性 — システム複雑性の増加は、多様な設計スタイルおよびシステムレベルインテグレーションへの傾向に起因する独自の物理設計チャレンジを持つ。これは、クリティカルな信号の分離、IP ブロック配置、混成の設計スタイルおよびタイプ(アナログ、デジタル、ミックス、RF)の処理を可能にする配線を考慮するレイアウトツールにつながる。高周波デジタル設計およびアナログ/ミックスシグナル設計の区別はぼやけている。テストおよび検証の責任が物理設計フローに分散するので、制御容易性および可観測性はレイアウトで理解される必要がある。

設計手順複雑性 — 対応されない限り、IP ブロック活用および再利用による設計手順複雑性のチャレンジは生産性に影響を及ぼす。これは、再利用推進型ブロックの特性抽出と抽象化、設計データ管理、フレキシブルな機能的/物理的な階層管理をを扱えるツールを必要とする。異なる製造プロセス世代での再利用を支援するプロセステクノロジマッピングは生産性改善を維持するために必要になる。

クロック周波数の増大や、スイッチング電流の増大により、信頼性およびノイズドリブンのレイアウトに併せて、消費電力、クロック、テストの合成を統一するツールが必要になる。図 6 の新しい設計システムアーキテクチャの中で反映するとおり、データモデル、リポジトリおよびインタフェースは例えば論理と物理のコンカレントなデザイン、または解析と合成の密接なループ等の「統合化」のために再構成しなければならない。製造バラツキは、分布に応じてパラメータ化される寄生、遅延およびジオメトリを理解するタイミング解析および物理検証ツール等のような、統計的設計および設計センタリングツールを必要とする。

製造バラツキ(および新しいマテリアルとプロセスの増殖)もレイアウトに設計ルールおよび他のプロセス抽象を供給する新しい設計と製造のインタフェースを必要とする。これらを推進するものは平坦

化した多層配線プロセスおよび波長以下の光リソグラフィを含む。そして、その両方は製造のハンドオフの物理的な検証および性質に影響を及ぼす。物理設計は将来のプロセス開発も推進する場合がある。

検証複雑性 — システムレベルインテグレーションが集積回路に普及するにつれ、検証複雑性は増加する。その上に、サイズが縮小し且周波数が増加するにつれ、支配的な寄生が出現する。

対応を必要とするチャレンジの1つはIPブロックおよびそのインタフェース接続に関する機能と性能の検証である。ツールは個々のブロックの機能およびタイミングを検証し、異なる設計スタイルの混在を検証しなければならない。

タイミング検証は、これらの微細化および高周波においてデバイスおよび配線のために物理モデルおよび支配的な寄生を理解しなければならない。動的なタイミング検証は現在のスタティックタイミングツールに置き替わる。その上に、モデリングはソリューションスペースの存在を許容するために最小のガードバンドを理解する必要がある。

テスト複雑性 — DSMのチャレンジに対応するために設計および製造プロセスが進化するにつれ、経済面から全工程でテストを考慮する必要がある。回路実現は標準スタティックCMOSから離れ、ダイナミック論理と非同期回路を含める。将来は混成のアナログおよびRF要素を含むだろう。雑音、クロストーク、ソフトエラーの増大する影響によりこれらのプロセスと複雑な回路はテストにインパクトを与える。これらのチャレンジに対応するには、欠陥ベーステストの信頼性向上は新しいタイプの欠陥に関する故障位置を特定する物理設計ツールを必要とする。短納期生産にはこの多様な回路タイプに関して故障の迅速な診断をサポートするツールの開発を必要とする。

2005年以降の大チャレンジ

シリコン複雑性 — シリコン複雑性はレイアウト作業で取り扱われる斬新なデバイスとともににより複雑になる。抽出ツールがアクティブ(RF/ミックス/デジタル)およびパッシブ(インダクタ)デバイスの双方を識別しモデル化する必要がある。解析ツールはこれらのデバイスの動作ならびにチップのプロセスバラツキの影響を理解する必要がある。

システム複雑性 — システム複雑性は新技術(MEMS、エレクトロオプティカル等)のインテグレーションで増加する。フィジカルなプランニングおよびレイアウトアクティビティの間、ツールはこれらの技術の特別な要求を認識する必要がある。

設計手順複雑性 — [図6](#)に示すように、斬新なデバイスおよび技術の増加により、真のインクリメンタルなワンパスでの設計工程収束は設計のソリューション・スペースを十分に探索するために重要になる。

検証複雑性 — 複雑性はより斬新なデバイスおよび構造の導入のために増加する。「2005年以前の課題」で言及した問題はまだ残っている。

テスト複雑性 — レイアウトツールがBISTおよびチップ外組み込み自己テスト(built-off-chip-self-test: BOST)をサポートすることが必要である。現行のポストシリコンテスト方法はひどく高価になる。これらのツールは自動的にサポートする回路を認識して加える。

物理設計解決策候補

これらの重大なチャレンジを与えられて、物理設計ニーズのロードマップは現在設計フローで見出せる多くの異なるアクティビティのインテグレーションを含む。解析および合成は今日の異なるフローステージの間に存在するバリヤーを消去し解析と合成のループを収束するために統合されなければならない。コンストラクトバイコレクション(修正しては作り上げていく)という反復改善プロセスにおいて、制約は合成を駆動し、寄生の見積もりは解析を駆動する。「解析バックプレーン」は意味論的に一貫した設計の見方およびマルチプル実現フェーズを横切る性能解析をサポートする。性能一体化を成し遂げるために、そのような解析は上流の合成の機能的な意志によってますます知らされなければならない。

レイアウトレベルおよびシステムレベルの設計は統合されなければならない。モデリング機能(設計インスタンスおよびツール動作に関して)はフォワード推定による合成および設計探査を可能にするように開発されなければならない。階層および再利用のための新しいサポートに加えて、マルチプル実現レベルにまたがることは自動、対話型のモデルおよび反復設計のためにより大きいニーズを意味する。性能またはエリアを犠牲にしてクロストーク雑音またはクロックスキューの検証を単純化するために、設計生産性必要条件はより「構造化」設計方法論および回路構造も必要とする場合がある。

タイミング最適化、クロック合成およびテスト合成は配置と一体化できる一方で、テクノロジマッピングはレイアウト合成と一体化できる。一つの環境でのシステム・タイミング管理、ロジック最適化、配置配線の実現は次のプロセス世代で熟成すべきである。

要約および優先順位

上記の内容およびニーズの要素が全てクリティカルであるので、短期間に優先的に解決しなければならない問題は以下を含む。

1. 解析-合成およびレイアウト/ロジックレベル設計の一体化を可能にするような設計システムの再構成。
2. 現在使用中の繰り返しのフローに対して大幅な生産性を提供するインクリメンタルな最適化設計フロー。
3. 電力管理。

これらの下位の優先順位項目は、優先順位が高い項目で構成される既存のインフラを必要とする。

テスト方法論

テスト容易化設計のためのニーズ

過去には、テスト容易化設計を設計オプション(いろいろな経済的パラメーターによって、含まれたり外されたりすることができた物)としてみなすことが一般的であった。回路設計者がチップ機能の大規模なテストを書くことが可能であり、自動テスト装置(automated test equipment:ATE)が期待されるチップ動作と一致した方法でこれらの複雑な機能テストを適用して、動作しないチップと動作するチップを正確に識別することができるという仮定がこの見地では暗黙に存在する。この暗黙の仮定は現

在、あるいは、近い将来に破綻し、そしてテスト方法と適用において大きな変更が行われることは今や明白である。

設計者が開発する機能テストベクタのコストはチップ世代毎に指数的に増加している。極大量生産の製品でさえ、巨大な人員リソースを機能テスト開発にかけることはもはや実行可能でない。その他に、設計がより複雑になるにつれ、テスト入力および出力データをブロック境界（設計者が精通している）からチップ境界（ATE インタフェースが存在する）に変換することはますます難しくなる。それは、また、本来的に特に割込みおよびバス・トランザクションのような非同期や非決定性信号が関係するとき、システムシミュレーション環境から同期した決定性チップレベル・データを抽出することは難しい。

たとえ機能ベクタが利用できたとしても、ATE 性能はチップ性能と同じ速度では改善されない。テスト全体タイミング精度 (overall timing accuracy: OTA) は最小デバイス周期の増加部分には対応できるが、7 年以内でデバイス周期を上回ることが予測されている。これは、ATE は at-speed 機能テストについて正確に欠点部分を識別することができず、大幅な歩留りロスまたは不適当な出荷品質をもたらすことを意味する。さらに、ATE 環境はシステム環境と異なり、ピンにつき通常実質的により高い負荷を特徴とする。最後に、高性能 ATE は非常に高価である。雑音および温度を制御した環境においてロードマップによって予測される速度で正確に信号と電力を供給し測定する必要がある回路の開発は恐るべきタスクである。したがって、トランジスタ製造原価が低下しても、製作されたトランジスタにつき機能テストコストが実質的に変わらないことはありそうである。

機能テストがますます実行不能になるので、代替策を開発しなければならない。スキャン設計等の伝統的な形を取るかまたはより革新的な取り組みをするかは別にして、これらの全てはテスト機能を設計に加えることを含む。オフチップ方法がもはやチップ性能を評価することができない場合、または、深い組込ブロックのためのテストデータをチップ境界に持ってくることができない場合、代替オンチップ方法（組み込み自己テスト）を開発しなければならない。これらの変化を次節で説明する。

テスト方法論で予想される要求

テストは、IC 開発および製造工程における主要な費用であり続ける。最高 35% の (nonrecurring engineering: NRE) コストがテスト開発およびデバッグに帰し、トランジスタ当りの ATE コストは変わらない。プロセスおよび設計方法の変更はテスト容易性を経済性の限界を越えて進めている。全体のテスト容易性およびテスト経済性を改善するために、改良を速く行わなければならない。

- チップ性能がテストタイミング精度を追い越し始め、テストデータの全体ボリュームが ATE およびチップ境界機能を上回るにつれて、組み込み自己テスト(BIST)は必要となる。新人設計者が短い設計サイクル環境の中で使用できるように、BIST を作る必要がある。全ての故障タイプのために高カバレージを提供するロジック BIST 方法を開発しなければならない。電力管理およびテスト順序制御は BIST ツールで対応されなければならない。BIST の概念は現在 ATE によって実行されるオンチップ・パラメトリック測定を含めるために広げる必要がある。
- フラットな設計で適切なテストを開発することは不可能になるので、階層ブロックまわりのスキャン・ラッパおよびローカライズされた BIST のような divide-and-conquer (分割して解決する) 手法がテスト複雑性を管理するために必要である。

- コアの再利用はカプセル化を必要とし、テストの再利用をも必要とする。コア・テストのための標準化インタフェースおよびアクセス方式が必要である。アナログ・コアを含む複数のコアを備えたチップに対する完全なチップテストをアSEMBLする合成法である。コア間の配線をテストする方法も開発しなければならない。雑音が多い電力、接地および配線の存在下でさえも大型チップの範囲内で予期されるとおりにコアが組込時に機能することを保証する信号完全性の標準も開発しなければならない。それに加えて、ポータビリティを確実にするために標準化されたテストデータ・フォーマット(例えば標準テストインタフェース言語 (standard test interface language:STIL))が必要である。
- ネット・タイミングおよび信号信頼性の問題が劇的に増加しチップ故障の新しいモードを導入するので、新しい故障タイプを識別しそれに対するテスト方法を開発しなければならない。
- テスト容易化設計は合成、評価および物理設計を含む設計フローの全てのステップヘタイトに一体化されなければならない、全ての関連した故障タイプ(例えば縮退故障、タイミング、ブリッジング、信号完全性)について高カバレレッジで自動テスト生成を含まなければならない。これらの DFT 手法はマルチプル・タイミング・ドメインによる複雑なチップに適用されなければならない、ウエハテストでプロービングに要求されるものを単純化する方法を含まなければならない。
- チップおよびテスト装置が複雑になるので、信号完全性および電磁気 (electromagnetic:EM) 現象はますます重要なテスト問題になる。EM フィールドの影響を取り入れる新しい故障モデル(ソフトウェア・モデルを含める)を開発しなければならない。設計制約条件、製造容易性およびテスト容易性の関係を異なる設計ドメインについて開発しなければならない。テストジェネレーターは信号完全性問題に対して感度が高くななければならない。
- タイミング・テストは配線遅延、遅い合成システムドライバ、周波数増加、マルチプル・タイミングドメインおよびクロックスキューによってインパクトを与えられる。自動テスト発生は大量のクリティカル近傍のパスを適応させるために必要であり、BIST システムはタイミング故障の高カバレレッジを保証しなければならない。
- 静止電流 (IDDQ)テストは故障解析の価値あるテクニックであるが、バックグラウンド電流が増加するにつれ、製造テストの延長を必要とする。多くの CMOS プロセスにとってシングル閾値 IDDQ テストはもはや実行不能であり、デバイス信頼性を確実にするために他の取り組みが必要である。
- ハードウェア/ソフトウェア協調設計はテスト支援に使用される機会をシステム・ソフトウェアに提供する。全ての高水準設計方法論は特別なテスト問題および未知の故障統計量で未知のライブラリおよびプロセスを目標とする場合があるという事実に敏感でなければならない。
- アナログ/RF システムは主に構造上のテストよりむしろ仕様テストを必要とするので、テストに関して持続的な課題を提示する。その結果、意味がある故障モデルをつくるために、どのような簡略化を提示するかは課題が存在する。エンベデッドアナログ・ブロックはたぶん BIST 取り組みの開発を必要とする。
- エンベデッドコア(簡略テスト装置でなく実際のチップの上で)を含んでいる非常に複雑なチップによる速い歩留り向上のために、および欠陥が視覚的にもはや見つけることができない程の非常に高度な自動故障解析のために、歩留り改善と故障解析ツールおよび方法を供給する必要がある。

短い故障解析および歩留り改善サイクルを実現する場合、診断のための設計および合成を含む必要がある。

他の問題はシステムの運用速度を制限しているテスト容易性回路のシステム内挿入を含む。図 9 は ITRS ピン数予測に関するテスト時間の増加を示す。テストプログラムがシステムを過度の電力を消費するモードに入れないように、テスト間の消費電力は慎重に考慮されなければならない。テストプログラムのアプリケーションもソフトウェアの可能性のある過度の雑音を引き起こさないことが必要である。

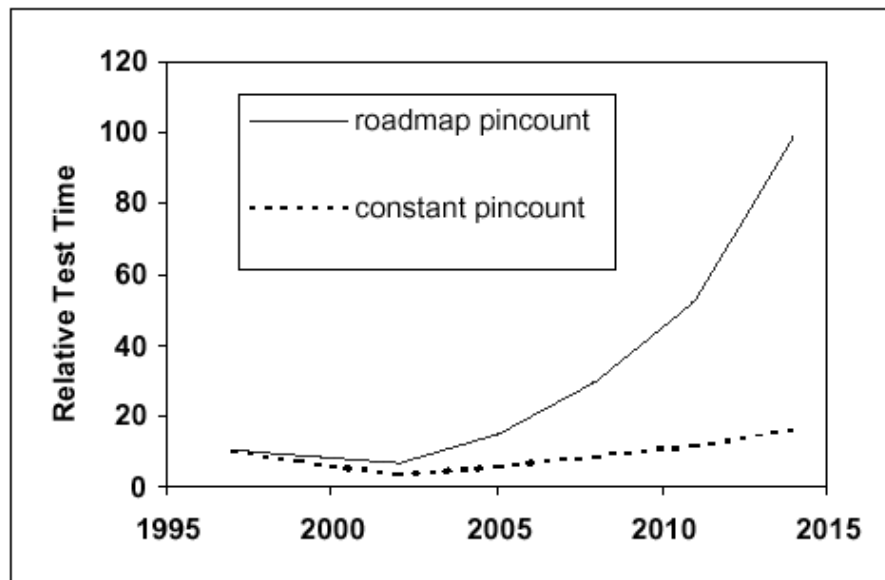


図 9 関連テスト時間の増加

設計技法および方法論

次の 10 年間の IC 設計は無線および有線テレコム(広帯域)および信号処理および先進のコンピューティングによって支配される。しかし、迫り来る問題は、大規模デジタルシステムおよび SoC によって立証されるとおり、チップ機能および性能の拡充により IC 設計複雑性は超指数的に増加することである。他方、物理的で技術的なバリアーの出現で設計スペースがより難しくなるので、設計複雑性も成長している。

IC システム設計の伝統的なルールはこれらの傾向によって激しく酷使されており、今後 10 年間の中での新しい取り組みに委任する。最も広く採用されたルールの一部は以下を含む。(1)システム全体の同期、(2)規定された固有サイズを持たない(すなわち、より速い性能のためにスケールアップしなければならず、そして、このスケールアップがトランジスタ動作の中に統計バラつきを導入する)スイッチングデバイス—CMOS トランジスタの使用(3)100%動作するトランジスタおよび配線によるチップ組み立て機能

設計技法

設計技法は方法論を構成するステップの実現に付随する。これらは回路ビルディングブロック(また

はプリミティブ)そのものにも、そして、最終製品と同様に技術インフラにも関わる。新たな関心は電力管理、回路雑音、配線内遅延と信号のと完全性、クロック生成と分配、回路ブロックの周波数増加への方法、およびより速い論理である。

高性能デジタル論理

マイクロプロセッサ、DSP、コアベース設計(ASIC、SoC)は高性能デジタル論理を推進する。デジタル論理は、次のように、2つの異なる要求を満たさねばならない。

1. MOSトランジスタは70nmテクノロジーノードの直後に発生すると予想される現実的なスケーリング限界に近づいているので、理想的ではなくなっている。ディープサブミクロンCMOS回路は、高いゲート、ドレイン・リーク電流、MOSトランジスタのスケーリングの限界、高いソース/ドレイン抵抗、 V_t および V_{dd} の低減、スケーリング効果の低い寄生を適応させる特別な構成を必要とする。
2. 高性能設計のためにスタティックCMOSに替わるもの—現在高速ロジックのニーズは、「高性能ロジック」が「スタティックCMOSでない」と定義されうる。低電圧振幅およびプリチャージされたノードは、高電力、雑音への強い感受性および設計困難性を伴うが、高速化への追求を容易にする。アプリケーションによっては、これは許容可能なトレードオフであり得る。性能面の要求からダイナミック論理は限定して使用されるが、その設計困難および雑音への感受性からその使用を制限される。高速ロジック実現への新しい研究を進めなければならない。

配線

配線に関する将来の設計問題は以下の通りである。(1)クロックレイトおよびゲート遅延と関係があるグローバル信号の増加している信号伝送遅延に関する配線性能のボトルネック；(2)ライン終端不整合からの雑音を含む、クロストークおよびEMIに関する信号完全性；(3)信号およびバスのスケーリングに厳しい制約を課すエレクトロマイグレーション；(4)性能最適化のために下流に最大自由度を提供するように設計フローの中で早期に配線を考慮するCAD機能；および(5)チップ間で等電位面を生成する電源ネットワーク。

主要な区別がローカル配線とグローバル配線の間にある。例えば、マイクロプロセッサ・アーキテクチャのための典型的な配線長分布は、90%以上の配線が40個未満のゲート領域にまたがる。ローカル配線遅延の推定は、それがゲート遅延と同じくらいであり、最高1/10まで全体ゲート遅延より小さくなることがありえる。しかし、グローバル信号の状況は全く異なる。チップサイズの増加は、グローバル配線長の増加を意味する。周波数も増加しており、グローバル・ワイヤー遅延/ゲート遅延の比率は急速に上昇しており、ワイヤー遅延が支配的となり遅延がクロックサイクルを上回ることもある。つまり、信号に関して、「配線問題」はグローバル信号のワイヤー遅延に帰着する。

配線における技術進歩—特に銅および低誘電率誘電体—は、重大なグローバル信号問題の発生を1あるいは2技術世代遅延させた。1999年初頭までに、銅は製品レベルに近づいており、そして、lowk誘電体は中期の研究テーマであると考えられている。グローバル信号の光伝送は次の有効なグローバル配線方式である。高価な方式でない配線ボトルネックを解くための設計ソリューションを業界が使い尽くすであろう。以下の可能性がある：

- 全体設計サイクルの中で早期に配線制約を考慮し、それによって最大の設計自由度を提供する

Interconnect-aware（配線に注意を払う）CAD ツール。これは物理および論理設計の観点が最も高い抽象レベルから同時に考慮され、EDA ツールに一体化されることを意味する。

- グローバル信号伝送遅延を短くするリピータの最適使用。
- 銅配線システムの改良と共に生産に用いられる low k 誘電体の技術の成熟。
- 利用可能な金属のシステム（Al、Cu、SiO₂、low k、その他）の組合せを使用するオンチップ配線階層の洗練化。配線層の数および層毎の機能を決定するための形式化した配線アーキテクチャ最適化方式。
- 長いグローバル配線を避ける新しい回路およびシステム・アーキテクチャ。
- クロストーク、スキューおよび反射を最小にする斬新な伝送路設計。これは多分接地面の使用を含む。
- ローカル通信を最大にして、グローバル信号を最小にする革新的なシステム・アーキテクチャ。
- 寄生を減らすよりよいパッケージ構造。これはチップ-オンボードのような新しい概念を含む。電力およびグローバル信号配線はパッケージの中で取り扱われる場合がある。これは効率的なチップ〜パッケージ信号および速いパッケージ間信号が可能であることを仮定する。
- 同期および準同期式アーキテクチャ。
- 符号化、抽出、マルチステート、スキューおよび待ち時間を補償するローカルなフェーズ最適化等を利用する革新的なクロックの構造。

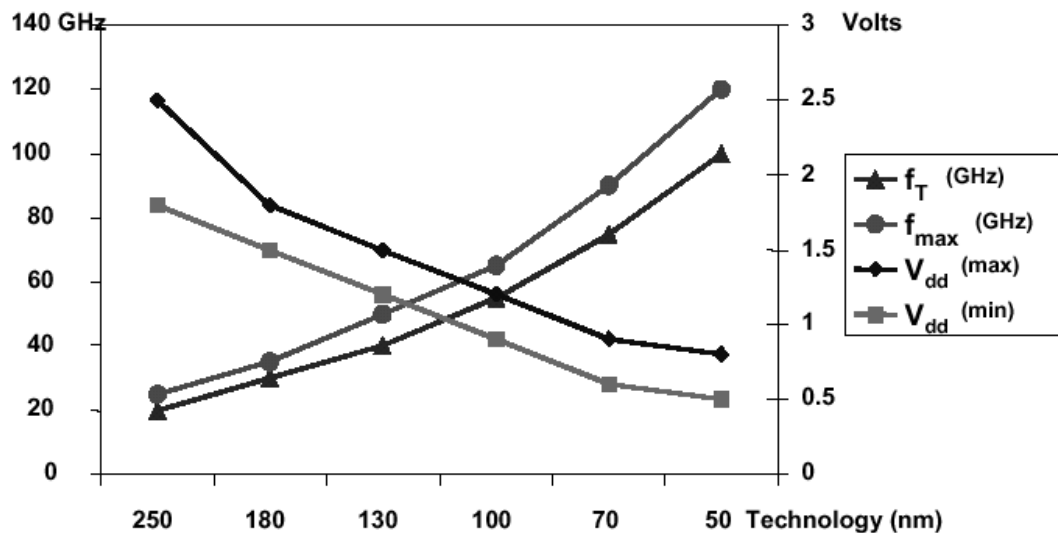


図 10 V_{dd} によるアナログ MOS f_T および f_{max} 対テクノロジーノード

より高い性能 SoC へのニーズにより、デバイスの f_T が増加するので、技術スケーリングはこの性能達成に役立つが、電源電圧 (図 10 に示す) のスケーリングはアナログ回路にはあてはまらない。継続した性能増加を得るために、設計における革新はアーキテクチャレベルおよび回路レベルで必要である。新しい設計技法なしでは、集積回路プロセスがスケーリングを続けるにつれ、性能のインクリメンタルな改良は減少する (図 11)。

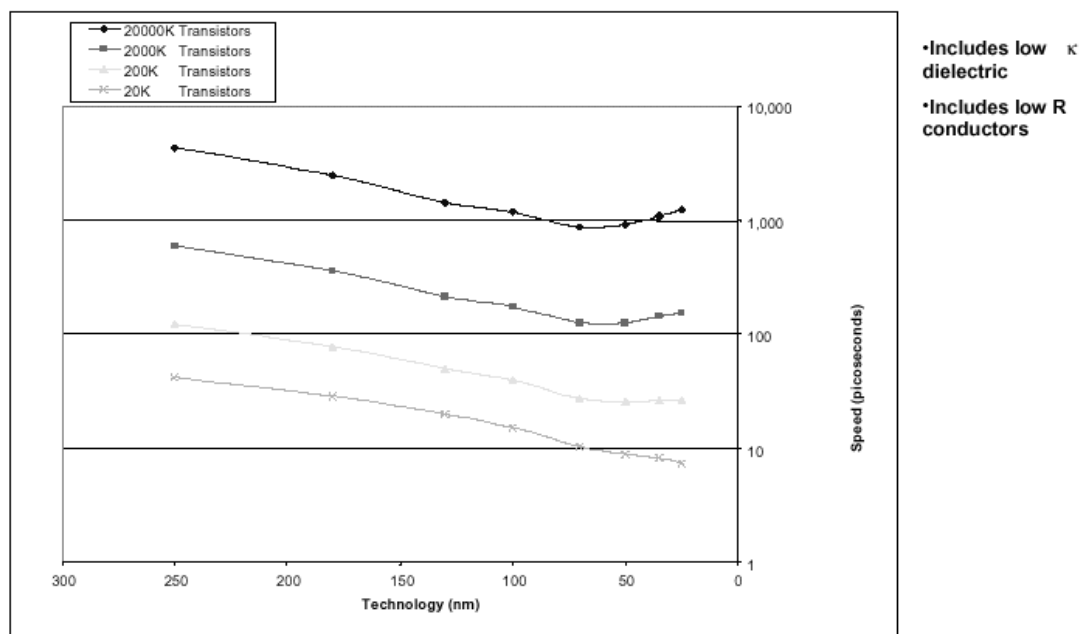


図 11 いろいろなサイズ・コアについての最小半周期長遅延

クロックおよびグローバル信号伝送

2014 年までに、ローカルなクロック周波数が 10GHz を上回るとともに、グローバル・クロックレイトは約 3.5GHz まで上がると予測される。立上りエッジおよび立下りエッジは通常クロック・パルス幅の約 25%を占める。正しく立上り/立下りエッジを表わすために少なくとも 5 つの高調波を必要とすると、配

線の信号周波数内容は25GHzに近づく。さらに、タイミングスキュー(設計者が設計の中で制御を必要とする量)の問題がある。50nm のノードまでは、タイミングスキューバジェットはおそらく 40ps 以下となる。耐雑音性とともに関信号完全性に対するニーズが、これらの性能ターゲットに重ね合わされる。また、前述の配線議論において具体化された遅延の全体な問題が存在する。

クロック設計およびシステム全体の同期設計を必要としないシステムのために、よりよい方法が求められている。高性能システムのクロックは、ローカルには同期式である。ブロックの間のインタフェースは準同期であり、位相を調整しなければならない場合があることを意味している。これらのブロックにおけるクロック周波数はインタフェースより非常に高い周波数である場合がある。

設計メソドロジー

設計メソドロジーは、設計および CAD コミュニティの共有企画である。それはシステムをつくるステップのシーケンスとして定義される。このシーケンスは、実現可能な設計空間の中で設計ターゲットに出来るだけ近い設計を生み出すために、設計フローをガイドする。概念的に、これは、トップダウンおよびボトムアップの制約伝搬を組合せることによって現れる。トップダウン・パスはシステム仕様のプランおよび実施を意味する。反対に、ボトムアップ・パスは、根本的なデバイス・インフラおよび関連の物理的かつ技術的な限界を主張する。このデュアル・トップダウン/ボトムアップ方式は ad hoc 方法ではじめから設計に普及した。しかし、VLSI 時代では、制約の数および困難ゆえに、高水準 CAD ツールにおいて制約についての深い知識を必要とする。トップダウン/ボトムアップ方式の当然の結果として、できるだけ高い設計階層の中での問題を見つけて解決する必要がある。これは、作業可能な設計空間を見つける最大の機会を提供する。

将来の設計メソドロジーおよび関連 CAD ツールは、いくつかの出現しつつある傾向において、それらの起源となっている、例えば、SoC 設計を容易にするために、各段階を横切るトップダウンおよびボトムアップ設計メソドロジーおよびアーキテクチャの拡充。それに加えて、そのような機能は、伝統的なデジタル・フローにソフトウェア、RF、アナログを含めなければならない。人間と物理の世界にインタフェースするために、電氣的領域を越えて広がるニーズが存在する。これらのインタフェースは、ユーザ・インタフェース、エレクトロメカニカル、センサー、光通信のようなドメインを含むことがありえる。また、この広げられたドメインにおいて、マルチプル・レベル階層での設計のための統合的なシミュレーション・システムが必要である。

知的所有権 (Intellectual property: IP) (コアベース設計および再使用) — 設計コミュニティは、カプセル化した IP を容易に組み込み、使用するのを許すフレームワークを利用できるようにしなければならない。そのために、標準コア・インタフェースは 7400-シリーズ TTL と同じくらい普及していなければならない。たとえば、ブロックレベル「ハンドシェーキング」プロトコルはタイミングおよび信号レベルのために確立されなければならない。

ハイレベル見積もり — ローレベルの問題の多くは既知であり表現可能ならば、システムレベルで解決できる。このように、新生の設計メソドロジーは、配線およびトランジスタ/ゲート性能に関連したローレベルの物理的で技術的な量のハイレベル見積もりを使用することによって、ローレベルのニーズに適応させることを目的としている。このレベルでの見積もりは相対精度 (アーキテクチャオプションの

離散的な数の中から選択するのに十分な)だけを必要とする。

コレクト・バイ・コンストラクション設計 — 検証はコストがかかる。設計階層内のいろいろなレベルの間で繰返しが最小であることが望ましい。目標は、電気的特性を含むビヘイビヤールレベルでコレクト・バイ・コンストラクション設計に移行することである。以前検証の中にあった機能は合成の中へ入れられる。

ロバストで、完全に統合したデバイス・モデリングおよびシミュレーション — 設計マージンが少なくなるにつれ、ファーストパス・シリコンを保証するタスクは非常に難しくなっている。これに加えて、SoC設計における問題のような、多くの設計スタイルおよびデバイスの問題がある。このように、アナログ/ミックスシグナルおよび高性能ディジタル論理に関するモデルおよびシミュレーション機能を提供するために、完全に統合したロバストなシステムが存在しなければならない。これらは以下を含む

- モデル・パラメータのクリティカルティを確かめる感度解析
- 可変なモデル複雑性をもつ拡張可能なコンパクトなモデル
- 雑音（フェーズ、ジッター、直線性）と周波数依存型動作のために統合的な回路シミュレーション/解析機能
- ディープサブミクロン・デバイス、配線、寄生、基板効果、雑音、熱変化（自己加熱）およびRFに関する分散効果等のモデル

信号完全性 — 合成を通して信号完全性を保存するために、設計方法を実現しなければならない。信号完全性の考慮事項にはクロストーク、反射、EMI および基板容量を含まなければならない。