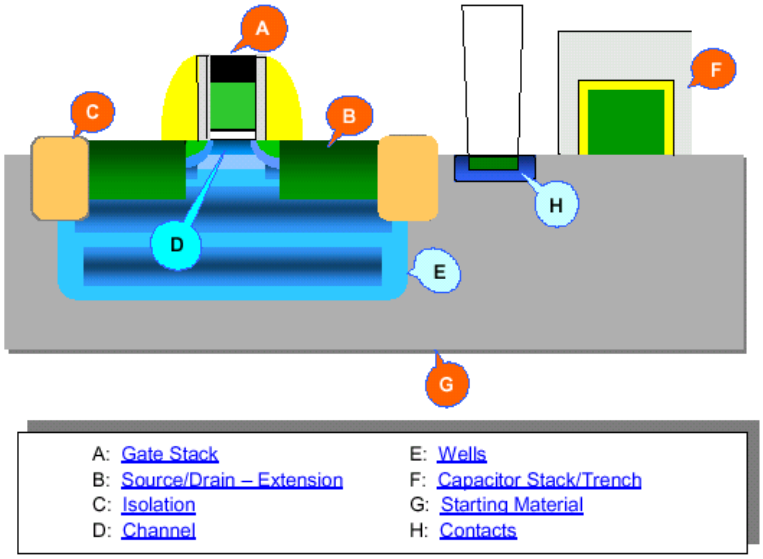
8. フロントエンドプロセス

8－1 スコープ

FEP(フロントエンドプロセス)のロードマップは、メモリ及びロジック製品のどちらにも適した、高性能トランジスタと DRAM キャパシタの構造に焦点を絞って作成した。このロードマップで意図しているのは、集積回路のウェーハ製造工程のうち、FEOL(front end of line)の鍵となる技術領域の広範囲な要求項目と、その解決可能候補技術を定義することである。そのため、このロードマップは装置、材料、プロセスに関し、最初のシリコンウェーハからシリサイド化工程までを含んでいる。具体的には次の技術領域を取り扱った。すなわち、「スターティングマテリアル」、「表面処理」、「熱処理/薄膜プロセス」および「ドーピング」、それに「プラズマエッチング」である。

微細化していく上で必要な技術と解決可能候補技術については、それぞれの技術領域に提示してある。また、必要な技術の表の目標及び技術動向は、特に記されていない限りモデルを基にしたものである。なお、解決案はあくまで知られている可能性のある解決策の例であって、必ずしも唯一のアプローチではない。革新的で新規な解決策が求められる。

FEP に関連した話題は、国際半導体技術ロードマップ(ITRS)の他の部分にも取り上げられている。プラズマエッチング装置関連とトレンチ分離用化学機械的研磨(CMP)装置関連の懸案事項は、BEOL(back end of line)の装置のものと重複するため、FEP よりもむしろ配線の章に記述がある。FEP のロードマップは、FEOL のデバイス形成に関連したプラズマエッチングと CMP 工程の将来の要求事項のみならず、製造工程の懸案事項も含んでいる。FEP で他の分野と関連する要求事項は、「欠陥の低減(Defect Reduction)」、「測定技術(Metrology)」、「環境、安全、及び健康(Environment, Safety, & Health)」、それに「モデル化およびシミュレーション(Modeling & Simulation)」の部分で言及されている。



A:ゲートスタック　E:ウェル
B:ソース/ドレイン―エクステンション　F:キャパシタ(積層/トレンチ)
C:素子分離　G:スターティングマテリアル
D:チャネル　H:コンタクト

図 16 CMOS トランジスタ、コンタクト、及び DRAM の構造

8－2 大チャレンジ

8－2－1 大いなる挑戦 ― シリコン酸化膜の時代を越えて

半導体産業は、素子を微細化することを主要な手段として、ムーア(Moore)の法則で数値が示されている通りに、前例のないほど生産量が増大し、デバイス特性が向上してきた。歴史を振り返ると、これは新しい光リソグラフィ技術やマスク、フォトレジスト材料の開発により進められてきたと言える。ところが今ここに、克服するためには極めて多くの人材や財源の投入を要する、「新たな課題」が水平線から顔を覗かせてきた。もし解決されなければ、これまでの歴史的な進展が止まってしまうかもしれない。その課題とは、CMOS デバイスの生産の初期からずっと大黒柱であった、従来のシリコン酸化膜/デュアルドープポリシリコンのゲートスタックプロセスを別のものに置き換えることである。新しい CMOS ゲートスタックプロセスには、コストが安く、厚さがナノメートルのオーダーの高誘電率(high-k)ゲート絶縁膜とデュアルメタルゲート電極を低温プロセスで統合することが求められるであろう。この新しいプロセスの生産展開が必要となるのは今から 5 年以内と予想される。もっとも、この規模のプロセス変更を生産に導入するには、これまでの例から見て 10 年以上かかるというのが相場であるが。

現時点では、この新しいプロセス開発は何とかなりそうだと考えられており、それには少なからず根拠がある。研究者側もこの課題に対し成果を出している。すなわち、high-k 絶縁膜とメタルゲート電極の有望な材料が多く示され、電界効果トランジスタの試作もいくつか見られている。しかしながら、生産に実際に応用するとなると話は別である。生産適用レベルにするまでには、多くの大チャレンジを良く理解し、解決することが不可欠で、それには極めて多くの人的・経済的資源の投入が必要である。

それらの課題とは、

a) ゲート絶縁膜材料の選択肢を絞り、最終候補を決めること。

b) ゲート電極材料の選択肢を絞り、最終候補を決めること。

c) プロセスの特性を明確にする測定技術を開発すること。

d) ゲート絶縁膜自体と、シリコン基板との界面及びゲート電極との界面の、電気的特性及び信頼性特性を明確にするテスト装置と手法を開発すること。

e) ゲート絶縁膜の積層構造と、シリコン基板側と電極側それぞれの良好な界面形成のためには1原子単位の制御が必須とさているが、それを信頼性と再現性が高く、かつ低価格で実現するのに必要な超高レベルの雰囲気制御ができる製造装置を開発すること。

f) トランジスタの特性や信頼性に及ぼす、起こり得る問題をはっきりさせ、解明し、解決すること。

および、

g) 前述の異質な材料とプロセスをコストが安く、信頼性の高い CMOS の製造プロセスにまとめ上げること。

等である。

なお、ゲート構造を変えるという大いなる挑戦は、これらの大チャレンジに対する最終的な解ではな

く、ITRS のスケジュール達成に必要な産業界と大学の適切な人的・経済的資源を結集する役目を果たすものである。

素子の微細化を続けて行くことにより、もう一つ重要な結果がもたらされる。それはドーパント濃度が平衡状態で許される限界を越えており、かつ急峻にドープされた超浅接合を形成するのに関連した大チャレンジが生ずることである。この課題を解決するには新しい技術や装置の開発が必要である。その新技術と前述のゲートスタックを一つにまとめ上げるのは、とりわけ困難なことである。というのも、high-k ゲートスタックプロセスの温度には制限があると予想されているためである。付け加えると、さらに接合を浅くして行くと恐らくコンタクト構造は何らかのエレベーテッド構造に移行していくが、その場合も high-k デュアルメタルゲートスタックと統合される必要がある。

今回のロードマップで取り上げた期間の終わりまでに、現在実現している MOSFET の構造では、ITRS で述べられているトランジスタ特性をもはや実現できないという事態に直面することになるかもしれない。従来の CMOS のスケーリングが成り立たなくなった場合は、当然新しい素子構造が必要となるであろう。だがその構造では、電荷が漏れないようにし、かつ損失なく電流を流すために、high-k 絶縁膜と導電材料に対し、従来と同じか、あるいはもっと厳しい要求があると思われる。これらロードマップ終了時期の要求に答えるためには、創意工夫のある新しい素子の構造と概念が求められている。

DRAM の使用量が急増したのは、ビット単価の急激な低下によるもので、その一因はセルの大きさを DRAM ハーフピッチの2乗の縮小率より、もっと大きな割合で小さく出来たことである。その結果、これまで1チップに乗っているビット数は2年毎に倍となってきた。このような積極的なスケーリングが出来たのは、チップ面積を効率的に使ったセルのキャパシタ配置の工夫によるものである。この期間を通して、キャパシタの絶縁膜はずっとシリコン酸化膜あるいは窒化膜の派生膜であった。しかし、さらにこの積極的なスケーリングを進めるとなると、今までの絶縁膜で得られる比誘電率では限界があり、もっと大きな比誘電率の材料を替わりに採用することが必要である。この変更を実現するには、合わせてキャパシタ電極の変更も必要になる。この目的のための high-k 膜と電極材料に、MOSFET のゲート用と同じものが選ばれるとは考えにくい。なぜなら、高い比誘電率が必要という共通項は別として、他の要求事項は異なっているからである。従って、現行のスタックキャパシタかトレンチキャパシタ構造を実現する新しい製造プロセスが必要になると思われる。その新プロセスでは、将来の CMOS ゲートスタックの検討で出てくるのと同様な複雑さで、同様な範囲の問題点が生じ、また生産に応用するためのスケジュールも極めて似通っている。それ故、この変更に対応するためには、キャパシタとゲートでは同じ分野の産業界の人的・経済的資源が必要であろうと考えられる。

以上述べた課題の特性は表31に詳細に示してある。また、本章のこの後の文中、図表にも同様に示してある。

BEFORE 2005, LOGIC GATE LENGTH > 65 nm	*ISSUES*
Nitride Derivatives and High κ Gate Stacks	Effective oxide thickness ~/>1.2 nm for nitride derivatives, ~/< 1.2 nm for high κ Achieve optimal channel mobility >95% of SiO_2 Minimize gate leakage mechanisms to achieve ~/<1A/cm^2 for high-performance logic and ~/<0.001 A/cm^2 for system LSI Control Boron penetration. Minimize gate electrode depletion, e.g., polysilicon depletion Chemical compatibility of dual metal with appropriate work functions
DRAM Storage Cells (Stack and Trench Capacitors)	Implementation of Ta_2O_5, BST, etc., with associated compatible electrode materials Capacitor structures that meet (DRAM ½ Pitch)^2 scaling Trench and stack capacitor scaling to <100 nm
Ultra-Shallow Junctions (USJ) with Standard Processing	Achievement of lateral and depth abruptness Achievement of low series resistance, <10% of channel R_s Annealing technology to achieve ~/<300Ω/□ at ~/<30 nm X_j
L_{eff} Control	Etch CD control and selectivity Sidewall etch control Microloading effects of dense/isolated lines Halo/pocket implant optimization Overall thermal cycle control
Metrology	Physical, electrical and chemical measurement and characterization of gate dielectric, electrodes, USJ, etc.

表 31　フロントエンドプロセスの大チャレンジ

2005 AND AFTER, LOGIC GATE LENGTH ≤ 65 nm	ISSUES
Ultra High κ Gate Stack	Effective oxide thickness <0.9 nm Chemical compatibility of dual metal with appropriate work functions Acceptable channel mobility Thermal budget and dielectric stability CD Control Gate Leakage ~/<1A/cm^2 for high performance logic, ~/<0.001 A/cm^2 for system LSI Cost-effective CMOS integration
Memory Storage Cell	Will an alternate storage cell supplant conventional memory? Ultra high κ capacitor dielectric (Epi BST) Are trench and stack capacitor structures viable at or below 70 nm while meeting (DRAM ½ Pitch)^2 scaling?
Alternate and Ultra-scaled Transistor Structures	CMOS structure: raised S/D, replacement gate process flow, CD control, CMOS integration, and others New device structures beyond planar CMOS: pillar, wraparound gate, and others.
Integration of Silicon Compatible Materials	CoO of large wafers (>300 mm): epi, SOI, Si:Ge Development of compatible high κ dielectric materials Development of compatible dual metal electrodes Development of material compatible cleaning processes
Metrology	Physical, chemical and electrical measurement and characterization of new dielectric, electrodes, and ultra-shallow, ultra-abrupt, dopant distributions

表 31　フロントエンドプロセスの大チャレンジ（続き）

8－3　技術的要求と解決策候補

8－3－1　スターティングマテリアル（Starting Materials）

現在スターティングマテリアルとしては一般には、チョコラルスキー（CZ）法によるポリッシュウェーハかエピタキシャルウェーハのどちらかが選択され使われている。130nm 以下の世代では silicon-on-insulator（SOI）ウェーハがニッチな技術以上に注目され始めるかも知れない。他のスターティングマテリアル候補としては表面近傍の特性を改善した水素処理ポリッシュウェーハや特殊な成長条件でグローイン欠陥を低減したウェーハが挙げられる。メモリ製品は一般的にコストの安い CZ ポリッシュウェーハで製造される。一方ロジックICは一般により値段の高いエピタキシャルウェーハで製造される。これはIC製造の工程での安定性（例えばゲート耐圧の安定性）や、ラッチアップ低減効果が期待されるためである。しかし後者の理由はシャロートレンチ分離（STI）の採用によりそれほど問題にならなくなるかも知れない。エピタキシャルウェーハとポリッシュウェーハの価格比の減少は、ロジック対応のエピタキシャルウェーハの使用が継続されるのには好ましい方向である。SOI も含め、可能性のあるスターティングマテリアルが色々ある状態が当分続くように思われる。そしてこれらについては図17に、解決策の候補技術として示してある。

表 32a と 32b はシッピングボックスから出した直後のウェーハの、重要な特性についての目標値をリストアップしてある。これらの特性は、一般的なウェーハの特性と、ポリッシュウェーハ、エピタキシャルウェーハ、SOI ウェーハに対応した固有のパラメータからなっている。これらの値は、各々のパラメータが、チップの歩留低下に対し、1%以上は寄与しないと考えて選ばれている。表中の値は、モデルベ

ースの解析から求められている。これらの値は例えばチップ当たりのビット数、あるいはトランジスタ数やウェーハサイズに対し、クリティカルディメンジョン（CD）を考慮して求めた。これらの値は基本としているモデルが信頼できるとした値であるが、モデルに関してはまだまだ問題がある。

ここで決められた要求値は、ウェーハ製造でのバラツキによる分布は考慮していない。ウェーハ技術のバラツキは2種類の分布がよく見られる。一つは平均値を中心にして対称に分布する正規分布で、例えばウェーハの厚さ分布はこちらである。もう一つは、値がゼロを下回らない（zero-bounded）パラメータが従う分布である。例えば、フラットネス、パーティクル密度、表面金属濃度がこちらに属し、これらの分布は一般に対数正規分布で表される。対数正規分布は非対称性が高く、値の大きい方で長い裾を引く。

YEAR *TECHNOLOGY NODE*	*1999* *180 nm*	*2000*	*2001*	*2002* *130 nm*	*2003*	*2004*	*2005* *100 nm*	*Driver*
DRAM ½ PITCH (nm)	*180*	*165*	*150*	*130*	*120*	*110*	*100*	*D ½*
MPU GATE LENGTH (nm)	*140*	*120*	*100*	*85*	*80*	*70*	*65*	*M*
*General Characteristics * [A,B]*								
Wafer diameter (mm) **	200	300 ***	300	300	300	300	300	*M*
Edge exclusion (mm)	2	1	1	1	1	1	1	*D ½, M*
Front surface particle size (nm), latex sphere equivalent [C]	≥ 90	≥ 82.5	≥ 75	≥ 65	≥ 60	≥ 55	≥ 50	*D ½*
Particles (cm^{-2}) [D]	≤ 0.13	≤ 0.12	≤ 0.12	≤ 0.14	≤ 0.13	≤ 0.12	≤ 0.10	*D ½*
Particles (#/wf)	≤ 38	≤ 84	≤ 80	≤ 95	≤ 89	≤ 84	≤ 72	*D ½*
Critical surface metals (at/cm^2) [E]	$\leq 1.8\times10^{10}$	$\leq 1.4\times10^{10}$	$\leq 1.2\times10^{10}$	$\leq 8.8\times10^{9}$	$\leq 6.8\times10^{9}$	$\leq 5.8\times10^{9}$	$\leq 4.9\times10^{9}$	*D ½, M*
Site flatness (nm) [F]	≤ 180	≤ 165	≤ 150	≤ 130	≤ 120	≤ 110	≤ 100	*D ½*
Oxygen (center point value ± 2.0 ppma) (ASTM '79) [G]	19–31	18–31	18–31	18–31	18–31	18–31	18–31	*D ½, M*
*Polished Wafer **								
Total Allowable Front Surface Light Scattering Defect Density is The Sum of Crystal Originated Pits (COPs) and Particles (see General Characteristics)								
Front surface COPs size (nm), latex sphere equivalent [C]	≥ 90	≥ 82.5	≥ 75	≥ 65	≥ 60	≥ 55	≥ 50	*D ½*
COPs (cm^{-2}) [H]	≤ 0.13	≤ 0.12	≤ 0.12	≤ 0.14	≤ 0.13	≤ 0.12	≤ 0.10	*D ½*
COPs (#/wf)	≤ 38	≤ 84	≤ 80	≤ 95	≤ 89	≤ 84	≤ 72	*D ½*
Back surface particle size (DRAM), latex sphere equivalent (nm) [I]	≥ 667	≥ 617	≥ 567	≥ 500	≥ 467	≥ 433	≥ 400	*D ½*
Particles (DRAM) ($#/cm^2$) [J]	≤ 0.63	≤ 0.61	≤ 0.58	≤ 0.55	≤ 0.53	≤ 0.50	≤ 0.48	*D ½*
Particles (DRAM) (#/wf)	≤ 191	≤ 423	≤ 403	≤ 384	≤ 367	≤ 352	≤ 336	*D ½*
Total bulk Fe (at/cm^3) [K]	$\leq 1\times10^{10}$	$< 1\times10^{10}$	$< 1\times10^{10}$	$< 1\times10^{10}$	$< 1\times10^{10}$	$< 1\times10^{10}$	$< 1\times10^{10}$	*D ½, M*
Oxidation stacking faults (OSF) (DRAM) (cm^{-2}) [L]	≤ 4.4	≤ 3.9	≤ 3.4	≤ 2.8	≤ 2.5	≤ 2.2	≤ 1.9	*D ½*
Oxidation stacking faults (OSF) (MPU) (cm^{-2}) [L]	≤ 3.1	≤ 2.5	≤ 1.9	≤ 1.5	≤ 1.4	≤ 1.1	≤ 1.0	*M*
Recombination lifetime (μs) [M], see also [N]	≥ 305	≥ 350	≥ 350	≥ 350	≥ 350	≥ 350	≥ 350	*D ½*

Solutions Exist □　　*Solutions Being Pursued*　　*No Known Solutions*

表 32a　スターティングマテリアルの技術的要求—近い将来

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	Driver
DRAM ½ PITCH (nm)	180	165	150	130	120	110	100	D ½
MPU GATE LENGTH (nm)	140	120	100	85	80	70	65	M
Epitaxial Wafer *								
Total Allowable Front Surface Defect Density is The Sum of Epitaxial Large Area Defects, Epitaxial Stacking Faults and Particles (see General Characteristics) [O]								
Minimum layer thickness (DRAM) (µm) (± % tolerance) [P]	3–4 (±4%)	3–4 (±4%)	3–4 (±4%)	2–3 (±4%)	2–3 (±4%)	2–3 (±4%)	2–3 (± 3%)	D ½
Minimum layer thickness (MPU) (µm) (± % tolerance) [P]	1.5–2 (±4%)	1.5–2 (±4%)	1.5–2 (±4%)	1.5–2 (±4%)	1.5–2 (±4%)	1.5–2 (±4%)	1– 1.5 (± 3%)	M
Layer large area defects (DRAM) (cm^{-2}) [Q]	≤ 0.008	≤ 0.007	≤ 0.007	≤ 0.007	≤ 0.006	≤ 0.006	≤ 0.006	D ½
Layer large area defects (MPU) (cm^{-2}) [Q]	≤ 0.006	≤ 0.006	≤ 0.006	≤ 0.006	≤ 0.006	≤ 0.006	≤ 0.006	M
Layer stacking faults (DRAM) (cm^{-2}) [R]	≤ 0.015	≤ 0.015	≤ 0.014	≤ 0.013	≤ 0.013	≤ 0.012	≤ 0.012	D ½
Layer stacking faults (MPU) (cm^{-2}) [R]	≤ 0.012	≤ 0.012	≤ 0.012	≤ 0.012	≤ 0.012	≤ 0.012	≤ 0.012	M
Silicon-On-Insulator Wafer*								
Silicon final device layer thickness (tolerance ± 5%) (nm) [S]	30–200	30–200	30–200	30–200	30–200	20–100	20–100	M
Buried oxide (BOX) thickness (tolerance ± 5%) (nm) [T]	≤ 200	≤ 200	≤ 200	≤ 200	≤ 200	≤ 100	≤ 100	M
D_{BOX}, BOX defects (DRAM) (cm^{-2}) [U]	≤ 0.106	≤ 0.100	≤ 0.096	≤ 0.091	≤ 0.085	≤ 0.080	≤ 0.069	D ½
D_{BOX}, BOX defects (MPU) (cm^{-2}) [U]	≤ 0.359	≤ 0.346	≤ 0.352	≤ 0.344	≤ 0.275	≤ 0.254	≤ 0.208	M
D_{INC}, inclusions (DRAM) (cm^{-2}) [V]	≤ 0.127	≤ 0.120	≤ 0.115	≤ 0.109	≤ 0.102	≤ 0.096	≤ 0.082	D ½
D_{INC}, inclusions (MPU) (cm^{-2}) [V]	≤ 0.431	≤ 0.415	≤ 0.422	≤ 0.413	≤ 0.330	≤ 0.305	≤ 0.250	M
D_{TD}, threading dislocations (DRAM,MPU) (cm^{-2}) [W]	≤ 2×10^6	≤ 2×10^6	≤ 2×10^6	≤ 2×10^6	≤ 2×10^6	≤ 2×10^6	≤ 2×10^6	D ½, M

Solutions Exist □ *Solutions Being Pursued* ■ *No Known Solutions* ■

表 32a スターティングマテリアルの技術的要求―近い将来（続き）

＊パラメータは限界値を定義している。歩留については、独立であるとしての予測値であり、数学的にあるいは実験的に 99%の限界値としてモデル化してある。一つ以上のパラメータが同時に重なることは希であるとしている。ある与えられたウェーハは、一般的には、同時に一つ以上の限界値を示さないであろう。他のパラメータは大抵は中央値の近傍の値をとるだろう。それ故にすべてのパラメータに対する総合歩留は少なくとも 99%と言える。

＊＊計測法とウェーハ製造への要求の大きなギャップは 200mm について完了しておくべきである。特に 180nm と 130nm 世代は 300mm が遅れそうなので、200mm はなお 130nm 代では主流であるであろうから。

＊＊＊200mm が主たるウェーハ径であるが、数値は 300mm に対するものである

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm	DRIVER
DRAM ½ PITCH (nm)	70	50	35	D ½
MPU GATE LENGTH (nm)	45	32	22	M
*General Characteristics * [A,B]*				
Wafer diameter (mm)	300	300	450	M
Edge exclusion (mm)	1	1	1	D ½, M
Front surface particle size (nm), latex sphere equivalent [C]	≥ 35	≥ 25	≥ 17.5	D ½
Particles (cm^{-2}) [D]	≤ 0.10	≤ 0.10	≤ 0.10	D ½
Particles (#/wf)	≤ 73	≤ 72	≤ 165	D ½
Critical surface metals (at/cm^2) [E]	≤ 4.2×10^9	≤ 3.6×10^9	≤ 3.4×10^9	D ½, M
Site flatness (nm) [F]	≤ 70	≤ 50	≤ 35	D ½
Oxygen (center point value ± 2.0 ppma) (ASTM '79) [G]	18–31	18–31	18–31	D ½, M
*Polished Wafer **				
Total Allowable Front Surface Light Scattering Defect Density is The Sum of Crystal Originated Pits (COPs) and Particles (see General Characteristics)				
Front surface COPs size (nm), latex sphere equivalent [C]	≥ 35	≥ 25	≥ 18	D ½
COPs (cm^{-2}) [H]	≤ 0.10	≤ 0.10	≤ 0.10	D ½
COPs (#/wf)	≤ 73	≤ 72	≤ 165	D ½
Back surface particle size (DRAM), latex sphere equivalent (nm) [I]	≥ 300	≥ 233	≥ 184	D ½
Particles (DRAM) ($\#/cm^2$) [J]	≤ 0.42	≤ 0.37	≤ 0.32	D ½
Particles (DRAM) (#/wf)	≤ 294	≤ 255	≤ 504	D ½
Total bulk Fe (at/cm^3) [K]	< 1×10^{10}	< 1×10^{10}	< 1×10^{10}	D ½
Oxidation stacking faults (OSF) (DRAM) (cm^{-2}) [L]	≤ 1.1	≤ 0.7	≤ 0.4	D ½
Oxidation stacking faults (OSF) (MPU) (cm^{-2}) [L]	≤ 0.6	≤ 0.4	≤ 0.2	M
Recombination lifetime (μs) [M] [N]	≥ 350	≥ 350	≥ 400	D ½
*Epitaxial Wafer **				
Total Allowable Front Surface Defect Density is the Sum of Epitaxial Large Area Defects, Epitaxial Stacking Faults and Particles (see General Characteristics) [O]				
Minimum layer thickness (DRAM) (μm) (± % tolerance) [P]	2–3 (±3%)	2–3 (±3%)	2–3 (±3%)	D ½
Minimum layer thickness (MPU) (μm) (± % tolerance) [P]	1–1.5 (±3%)	1–1.5 (±3%)	1–1.5 (±3%)	M
Layer large area defects (DRAM)(cm^{-2}) [Q]	≤ 0.005	≤ 0.004	≤ 0.004	D ½
Layer large area defects (MPU)(cm^{-2}) [Q]	≤ 0.006	≤ 0.006	≤ 0.006	M
Layer stacking faults (DRAM) (cm^{-2}) [R]	≤ 0.010	≤ 0.009	≤ 0.008	D ½
Layer stacking faults (MPU) (cm^{-2}) [R]	≤ 0.012	≤ 0.012	≤ 0.012	M

Solutions Exist □ *Solutions Being Pursued* ▭ *No Known Solutions* ▭

表 32b スターティングマテリアルの技術的要求—遠い将来

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm	DRIVER
DRAM ½ PITCH (nm)	70	50	35	D ½
MPU GATE LENGTH (nm)	45	32	22	M
Silicon-On-Insulator Wafer*				
Silicon final device layer thickness (tolerance ± 5%) (nm) [S]	20–100	20–100	20–100	M
Buried oxide (BOX) thickness (tolerance ± 5%) (nm) [T]	≤ 70	≤ 50	≤ 50	M
D_{BOX}, BOX defects (DRAM) (cm^{-2}) [U]	≤ 0.061	≤ 0.060	≤ 0.052	D ½
D_{BOX}, BOX defects (MPU) (cm^{-2}) [U]	≤ 0.154	≤ 0.107	≤ 0.080	M
D_{INC}, inclusions (DRAM) (cm^{-2}) [V]	≤ 0.073	≤ 0.072	≤ 0.063	D ½
D_{INC}, inclusions (MPU) (cm^{-2}) [V]	≤ 0.184	≤ 0.129	≤ 0.096	M
D_{TD}, threading dislocations (DRAM,MPU) (cm^{-2}) [W]	≤ 2×10^6	≤ 2×10^6	≤ 2×10^6	D ½, M

Solutions Exist □ *Solutions Being Pursued* ▭ *No Known Solutions* ▭

表 32b スターティングマテリアルの技術的要求—遠い将来(続き)

＊パラメータは限界値を定義している。歩留については、独立であるとしての予測値であり、数学的にあるいは実験的に 99%の限界値としてモデル化してある。一つ以上のパラメータが同時に重なることは希であるとしている。ある与えられたウェーハは一般的には同時に一つ以上の限界値を示さないであろう。他のパラメータは大抵は中央値の近傍の値をとるだろう。それ故にすべてのパラメータに対する総合歩留は少なくとも 99%と言える。

表 32a、32b のスターティングマテリアルに対する要求の注釈

[A] 機物/ポリマーは 1 分子層のおおよそ 0.1 と想定、< 1×10^{14}C at/cm^2

[B] 表面ラフネスは全ての CD 世代に対して＜0.12nm(RMS)である。;装置の選択と目標値と空間周波数領域(スキャンサイズ)は適用目的を基に選ばれる。パワースペクトル(密度)解析は装置で可能な全ての領域で行うことを推奨する。

[C] 表面パーティクルあるいは結晶起因ピット(COP)のサイズは＝K_1(CD)で示され K_1＝0.5 である。

[D] 表面パーティクルは Y=exp[-DpRpTA(CD)2](6)の式で歩留 99%で示されており、Rp=0.2、T はテクノロジー世代での1チップ当たりのトランジスタ数あるいはビット数、A は DRAM のセルエリアファクターであり技術世代の関数である。表面処理ではパーティクルは 50%のゲート前洗浄効率を仮定しており、パーティクル数はこれに従って 2 倍の値に増やしてある。この結果として、表 33a において、表面処理で示された値の 2 倍の数値となっている。MPU に対しては類似したような A の値は利用できないので MPU に対するパーティクルは DRAM に対しての値と等しいとした。

[E] 金属は、実験をもとにして Y=exp[-DMRMTA(CD)2](6)の式で歩留 99%になるように示されており、RM=0.2、T はテクノロジー世代での1チップ当たりのトランジスタ数あるいはビット数、A は DRAM のセルエリアファクターであり技術世代の関数である。DM=K2(M)3exp[-

To/0.7]であり K2=1.854×10-29cm4、To は量子効果とポリ電極の空乏効果で補正した等価酸化膜厚であり、MIS DRAM 構造を基本にした技術世代毎にnm単位で示されている。このモデルに組込まれている実験データは、以前に出版されたものをベースにし拡張した。(7) 表面処理において、金属についてはゲート前洗浄での 50%の洗浄効率を仮定しているので、従って金属値は2倍の値に増やされている。この結果として、表 33 において、面処理での値と示された値の 2 倍の数値となっている。表に示してある値は次の金属の各々に対する限界値である。(Ca, Co, Cu, Cr, Fe, K, Mo, Mn, Na, Ni)

[F] サイトフラットネスの測定は、最先端を適用する時に使用される露光装置の方式に合致しているべきである。180nm の技術に対しては、正方形のフィールド(通常は22×22mm)のフルフィールドのステッパーが使われるだろう。そしてSFQRが適切な計測基準である。130nm技術世代に対しては、光学的な露光技術の終焉まで、長方形のフィールド(通常は25mm×32mm)を持ったスキャンタイプが用いられるだろう。そして SFSR が適切な計測基準である。いずれのケースにおいても、計測基準値は緻密なライン(DRAM の 1/2 ピッチ)に対して、CD の値にほぼ等しいだろう。パーシャルサイトは含まれているべきである。フラットネスの測定法は、各々の技術世代に対して関連のある幾何学的な形状を把握するために十分な空間分解能を要求するということを明記しておく。ワープは全ての技術世代に対して 50μm以下であるべきである。

[G] IC に対する要求を基にした中央値のレンジすなわち±許容誤差は、中央値の周りの最大値と最小値の範囲である。バルク微小欠陥(BMD)は IC 工程を経た後、内部ゲッタリングがあるポリッシュウェーハで＞1×108/cm3 でありゲッタリングのないもので＜1×107/cm3 である。IOC'88 酸素濃度値は ASTM 値に 0.65 を乗じることによって得られた値である。

[H] COP は Y=exp[-DCRCTA(CD)2](6)の式で 99%の歩留になるように決めた。この式で RC=0.1、T はテクノロジー世代での 1 チップ当たりのトランジスタ数あるいはビット数、A は DRAM のセルエリアファクターであり技術世代の関数である。MPU に対しては類似したような A の値は利用できないので MPU に対する COP の値は DRAM に対しての値と等しいとした。

[I] サイズ D の裏面パーティクルによる表面の高さの上昇は、厚さ T の裏面の膜がついておりウェーハの厚さが W の時、[(xD＋xT+W)－(T+W)]で表される。この式は[(xD)-(1-x)T]となる。ここで x=0.6 はウェーハのチャッキング圧力によりパーティクルと裏面膜の圧縮(率)である。表面の上昇が 2(CD)になると 100%リソグラフとして焼き付け不良になると仮定して、裏面パーティクルサイズは次のように表される。D=[(2/0.6)(CD)+(0.4/0.6)(T)]、CD と T は nm で表示されている。この表では、T は 100nm に固定してある。

[J] 裏面パーティクルは Y=exp[-DpRpAEFE](1)の式で 99%の歩留になるように決めた。Rp=1.0、AEFE=ACHIP×0.03×0.8 であり、チャックに接触しているチップ面積はたったの3%であることに対応した 0.03 と有効チップ面積の 80%に対応した 0.8 が裏面パーティクルによる表面のデフォーカス効果によって劣化する。表面処理ではパーティクルは 50%のゲート前洗浄効率を仮定しており、パーティクル数はこれに従って 2 倍の値に増やされている。

[K] Fe は τ_rと関係が深い([M]参照)。他のバルク中の金属もまた重要である。バルク Fe 濃度 (at/cm^3)はウェーハの厚さで換算して表面濃度(at/cm^2)に変換することは出来ない。

[L] OSF 密度は実験に基づいて K3(CD)1.42 で表される。CD は nm 単位で示され、K3=2.75 ×10-3（8） である。1100℃ 1時間スチーム酸化し酸化膜を除去しエッチングして調べた。n 型のシリコンは OSF を制御するのがより困難である。

[M] 再結合ライフタイムは τ r>2(L2)/Dn で示される。ここで L はマイノリティキャリアの拡散長であり Dn は 27℃でのマイノリティキャリアの拡散係数である（9）。拡散長はウェーハ厚に等しいとし、安全係数 2 が使われている。SPV、PCD のような技術では、表面効果を制御、安定化、そして保護するための適当な技術が要求される。サンプルでは酸素析出は無く、抵抗率は 5-20Ω-cm を推奨する。

[N] 発生ライフタイムは τ g=ni/G、（10） で表され、ni は真性キャリア濃度（11, 12）、G は単位体積当たり、単位時間当たりの発生速度である。τ g=(niqW)(Ilimit/ACRI)-1>50 μ s は DRAM の ACRI=2.5 μ m2 （13）に対し 27℃で、Ilimit<10-16A/bit（100℃で<10-13A/bit）の接合リーク電流を保証している。W=0.5 μ m、Ilimit は CD の世代と共に小さくなる。サブスレショールドデバイスリーク電流、ゲート絶縁膜リーク電流、拡散電流は 100℃で接合リーク電流よりも小さいと仮定している。

[O] ヒロック、マウンドといった他のエピタキシャル欠陥は同様に考慮されるべきである。しかし適当な歩留モデルは利用できない。

[P] 目標値の範囲は中央測定値対してウェーハ内で中央値からの最大のプラスまたはマイナスの%偏差で示した許容値を付けて表示されている。データは p/p－、p/p＋、p/p＋＋について適用できる。フラットゾーンは 0.8 エピ厚としている。

[Q] 大面積エピタキシャル欠陥は 99%歩留でモデル化されており、式は Y=exp[-DLADRLADACHIP]（1）である。RLAD=1、ACHP は DRAM、MPU に対して適切な値が適用される。

[R] エピタキシャル積層欠陥は 99%歩留でモデル化されており、式は Y=exp[=DSFRSFACHP]（1）である。RSF=0.5、ACHP は DRAM、MPU に対して適切な値が適用される。

[S] 目標値の範囲は、中央測定値に対して、ウェーハ内で中央値からの最大のプラスまたはマイナスの%偏差で示した許容値を付けて表示されている。最終的なシリコンの厚さはデバイス製造工程で消費されるために投入した材料よりも薄い。現在示されている値は部分空乏型と完全空乏型の両方に使われるもので、現時点で最も良いと考えられるデータである。完全空乏型の基板に対しては、シリコン層と埋込酸化膜（BOX）の厚さは、ほぼ同じ値に分割されるだろう。

[T] 目標値の範囲は中央測定値に対してウェーハ内で中央値からの最大のプラスまたはマイナスの%偏差で示した許容値を付けて表示されている。現在示されている値は部分空乏型と完全空乏型の両方に使われるもので、現時点で最も良いと考えられるデータである。トップシリコン層と BOX の界面電荷は<1011/cm2 である。完全空乏型の基板に対しては、シリコン層と埋込酸化膜（BOX）の厚さはほぼ同じ値に分割されるだろう。

[U] 99%歩留の BOX 欠陥は Y=exp[-DBOXRBOXT β (CD)2 δ]（1）で表され、DBOX は BOX 欠陥密度（主としてピンホール）、RBOX=0.2（現在の最良の見積もり値）、β は DRAM では 1,

MPU では 10、δ=6 単位（ゲート、ソース、ドレイン（LDD 領域を含む））である。

[V] 99%歩留の Inclusion 欠陥は、Y=exp[-DINCRINCTβ(CD)2δ]（1）で表され、DINC は Inclusion 欠陥密度、RINC=1（現在の最良の見積もり値）、βは DRAM では 1, MPU では 10, δ=1 単位（ゲート）である。評価は欠陥をデコレートするために,HFエッチング液（14, 15, 16）を用いてエッチングし光学的に計数を行った。Inclusionの原因は,COP、金属シリサイド、トップシリコン層の局在する酸化膜島などを含んでいる。これらの含有物はまた局在化した光散乱体（LLS）計測に拠っても検出されるかも知れない。（15, 16, 17）

[W] バルクデバイスとほぼ等しい歩留が貫通転位（DTD） 2×106/cm2 に於いて達成された。キラー率は、信頼できる計算では十分に求められていない。このためには実験的な歩留と DTD の関係が得られなければならない。これからの技術によって DTD は少なくなる方向へ推移する事が期待できる。

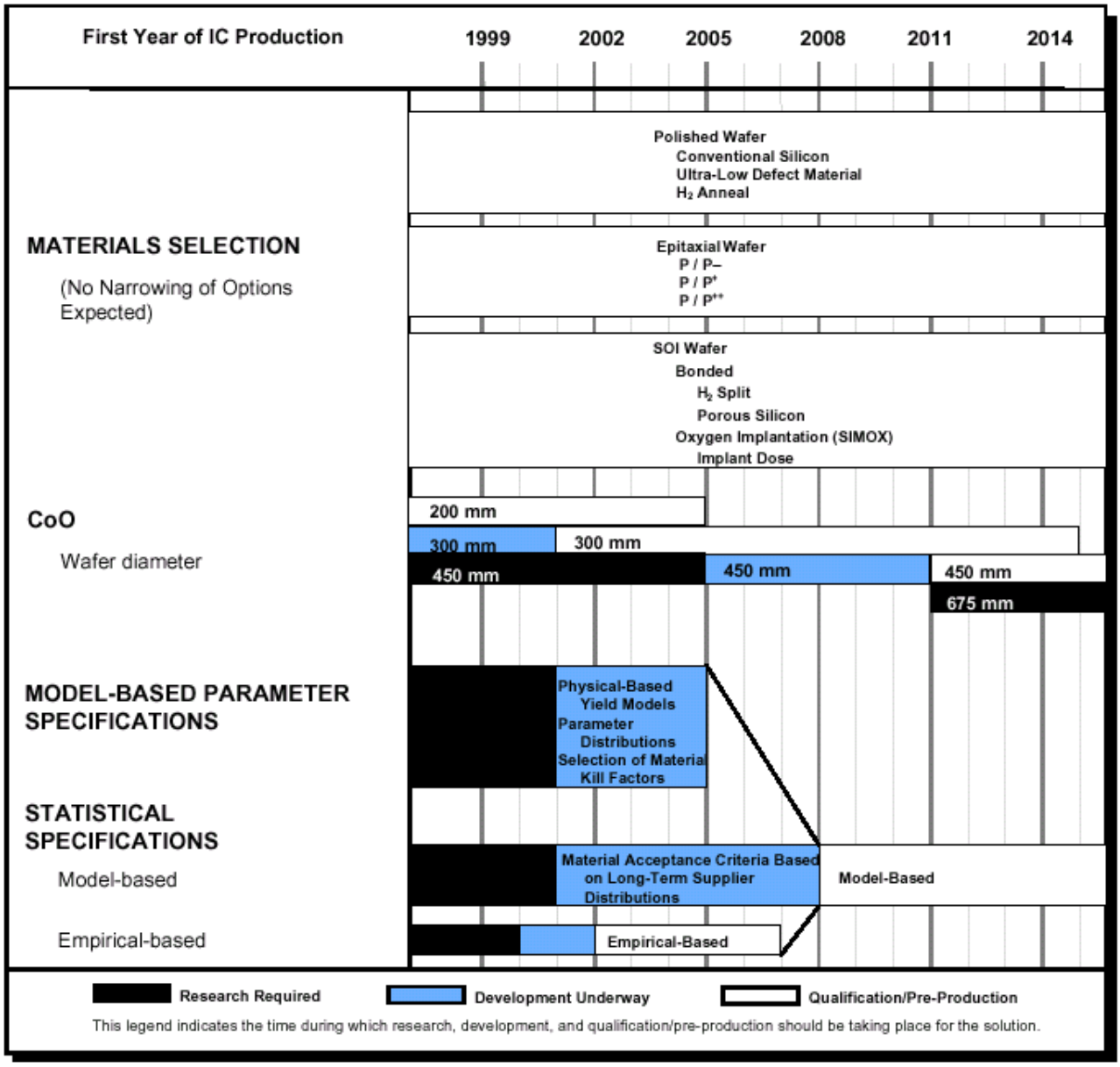


図17　スターティングマテリアルの解決策候補

理想的な方法としては、スターティングマテリアル起因の歩留低下が、全体で1%を越えないように、欠陥の種類別に歩留低下を割り当てるべきである。特定の欠陥による歩留損失は、(1)与えられたパラメータ値(適切な歩留モデルで確証)で決まる不良率に　(2)そのパラメータを持つウェーハの割合(対数正規分布関数で確証)を掛けたものを積分すると得られる。この近似法を用いて決めた受け入れ可能な製品の分布は、材料の受け入れ基準としても使うことが出来る。この方法は許容できるパラメータの表を与えるのではなく、個々のウェーハメーカの製品が持つパラメータ値の分布に収まるように仕様を合わせ込むものである。

そのようなアプローチをするためには、次の三つの進展が必要である。第1は現在の歩留モデルが大部分のパラメータについて確認されなければならない。第 2 はパラメータに対する生産者側の分布を明確にしなければならない。第 3 は材料の受け入れは、IC メーカによる少量のサンプルテストよりはむしろこれら生産者の製品分布を基にした受け入れ基準に修正しなければならない。これらの課題

はまた、図17の解決策の候補技術に示されている。それまでの間は、最も役に立つ情報を基にした歩留モデルが使われている。そして要求値は、そのパラメータに対して 99%歩留が確保されるという事を基本に、限界値が決められている。どの各々のウェーハも、考慮しなければならない特定のパラメータを除いて、他のどのパラメータも歩留低下には大きく寄与しないという事を、更に仮定している。この実験的な近似は、モデル化されたパラメータの分布を持っているとしての理想的な方法論から得られた限界値と、結果的にはほぼ等しい値であることが示されている。

将来、多くのパラメータに対して受け入れ可能な値が、検出限界あるいは分解能の限界に近づくので、ウェーハ製造メーカとIC製造メーカのますますの共同作業が、受け入れ可能な製品分布を確立し、維持するために重要となるであろう。材料特性と関係において、IC歩留モデルの更なる開発が要求されている。そこで上に示された理想的な方法論は、受け入れ可能な製品の分布を確立するために道具となることが出来る。作りうる最高品質のウェーハと、COO の観点から、検出限界までシリコンに対する要求を厳しくしてゆくのではなく、高 IC 歩留達成に問題のない範囲で、いくらかゆるめの値とするというバランスが基本的に重要である。 それ故にスターティングウェーハの表面金属とパーティクルの推移(トレンド)は表面処理で挙げてあるゲート前洗浄の値よりも、厳しくないものになっている(表 33a、33b 参照)。これは初期のIC製造工程で、最低洗浄効率 50%で除去できると仮定しているからである。ウェーハ製造メーカで作られた表面の化学的性質(親水性 vs. 疎水性)と出荷に使うウェーハキャリアの相互作用は、伴に、ウェーハ表面の不純物やパーティクルのその後の吸着の制御において重要である。

ウェーハ表面の物理的構造は重要な関心事として浮かび上がってきた。ポリッシュウェーハとエピタキシャルウェーハは、高IC歩留を達成するために制御しなければならない欠陥を、有している。ポリッシュウェーハの重要な欠陥としては、有機物のような表面の化学的な残留物、パーティクルと結晶起因ピット(COPs)のようなグローイン微小欠陥の両方を含んでいる。エピタキシャル積層欠陥や他の大面積欠陥のような構造欠陥はエピタキシャルウェーハにおいては制御されなければならない。材料に対する要求は、表面欠陥の特別なタイプ毎に示されている。表面欠陥の除去と抑制は、シリコンウェーハ技術での、現在最大の挑戦課題である。これらの欠陥を計数したりサイズを測定したり成分や形状を測定するレーザスキャニング技術や他の装置の開発は重要な計測上の挑戦事項である。全欠陥数は色々な要素欠陥の合計である事を明記しておくことは重要である。例えば、パーティクルとCOPの両方がポリシュウェーハの全表面欠陥密度を考える時には考慮されなければならない。 この章は、これらの欠陥をモニターするあるいは区別する方法の有用性あるいは有効性については考慮していない。

付け加えて、ウェーハの裏面については、パーティクル汚染の低減、ウェーハの平坦度の改善、あるいはウェーハ強度の増進のためより光沢度が高くなる。ポリッシュされた裏面はミクロな汚染や取り扱いによるスクラッチが、より見え易くなる。皮肉なことに、よりクリーンな表面が、実際にはより汚れているように見えるかも知れない。もっと厳密なロボットハンドラー基準が暗黙のうちに、裏面のクリーンネスの要求を満たすために必要とされているのかも知れない。これまでは、裏面のラフネスが大きくて見えていなかったが、裏面のパーティクルによるフラットネスの劣化も、考慮されなければならない。多くの外部ゲッタリング技術は、またポリッシュした裏面の品質を劣化させるかも知れない。そして積層膜を利用した外部ゲッタリッングでの厚さの不均一性は、ウェーハのフラットネスを劣化させるかも知

れない。そのような外部ゲッタリング技術は適切ではないのかも知れない。

ポリッシュウェーハ — デバイス形状の縮小化が継続するにつれ、非常に低密度の欠陥と微小な表面特性が重要になってくる。制御されない SiOx 析出物の形成は、デバイスのリーク電流の増大を引き起こすことがあるので、ポリッシュウェーハでの内部ゲッタリングには、より大きな注意が必要である。析出量と均一性に対する要求に対処するためには、均質な内部ゲッタリングを行う事が必要で、厳密なバルク欠陥制御を必要とする。

結晶成長パラメータとそれに関係した点欠陥及びその集合体と、ゲート絶縁膜の完全性（結果としての D0）への関連性については、非常に多くの出版物が出された。このパラメータ（D0）は、いくつかのデバイス世代に対する材料品質の物差しとして、非常に有効であった。しかしながら 表 34a、と 34b に示されている等価酸化膜厚を持ったデバイス構造に対しては、デバイスの歩留や性能と関係しているようには見えない。 それ故に D_0 は目標パラメータとして表 32a と 32b から削除した。しかしながら、SiO_2 より十分大きな誘電率をもったゲート絶縁材料の使用開始に際しては、これらの材料は異なったゲート前およびゲート後の表面清浄化を必要とするかも知れない事に注意しておくべきである。

エピタキシャルウェーハ — エピタキシャル材料において、ゲート絶縁膜の完全性が改善されるのは、残留研磨マイクロダメージとグローイン微小欠陥（COP）がなくなるためである。この両者はポリッシュウェーハに見られる。しかしながら大面積欠陥とエピタキシャル積層欠陥の存在はまた、ゲート酸化膜の完全性を劣化させるので、欠陥は注意深く制御しなければならない。現在の応用に対して、p/p^+ と p/p^{++} は引き続きエピタキシャル構造の主流である。2-3Ω-cm より高いエピタキシャル層の抵抗率に対して、裏面シールが p/p^{++} 構造に対しては必要とされるかも知れない。ポリッシュウェーハでは COP 制御という問題がある。それにも関わらず、p/p^+ エピタキシャルウェーハの代替えとしてポリッシュウェーハに、高ドーズ組込層を形成してラッチアップ対策とゲッタリングの機能を持たせる可能性が注目されている。P/p^- の利用はまた先端的なIC応用において、この材料の形態は、高濃度にボロンをドープした基板の、固溶度増大による鉄ゲッタリング能力を示さないにも関わらず、注目を引いている。これは、このゲッタリング不足な点は高濃度にドープした基板と比較して、システム容量が低減されるというの効果で相殺されるかも知れないからである。

固溶度増強ゲッタリングの欠如については、酸素の役割が、再評価されるかもしれない。酸素は p^+ や p^{++} に比較して p－ではよりゆっくりと析出することは良く知られている。適切な酸素濃度は、使用されるIC熱プロセスに大きく依存しているので、多くの要素が最適な酸素濃度の選択において、特にシャロートレンチ分離（STI）がエピ層厚より大きい場合においては重要である。

SOI ウェーハ — SOI は、高速、低消費電力の応用や、ソフトエラー耐性の向上、より少ないプロセス工程数、より小さなチップサイズ、そしてウェーハ当たりに要求されるチップ数を達成するために一つ前の世代の工場設備の利用といった可能性を提示しており、更に、ラッチアップに対する心配を不要にする。異なった IC 応用に使用するためには、異なった SOI のアプローチが必要であるかも知れない。材料（SOI 基板）評価による色々なSOIウェーハ製造技術の評価と、ゲッタリングによる欠陥制御とそれを用いたデバイス特性（電導度、組込酸化膜ブレークダウン電圧、リーク電流）への欠陥の影響といった欠陥とSOI 特性の関係を明確にすることが基本的に重要である。あるバルク IC の

デザインはそのまま SOI 基板に移行することができる。しかし、プロセスとマスクの再設計により、更なる性能改善とチップサイズを縮小化が出来る可能性がある。そのためユニークなデバイスの形態が多くの場合必要とされるかも知れない。どのケースにおいてもたとえ SOI が通常のシリコン材料と比較して、IC工業のデバイススケーリングトレンドを越えなくても、高速、低消費電力、ソフトエラーの低減といった恩恵(メリット)があるので、どの技術世代においても、特定のある応用分野で SOI が使用される動機づけとなるかも知れない。

大口径ウェーハ — 直径 300mmmmウェーハへの転換は、IC 量産に対する要求コストを達成するために必要となり、1999 年にゆっくりと転換が始まり、2002 から 2003 年にピークを迎えると予測される。ウェーハ、キャリア及びファクトリープロトコルの国際協力及び標準化が、この転換を、費用効果があり、タイムリーに達成するためには依然として重要である。

費用効果のある結晶成長技術とウェーハの重力ストレスに関連した技術的な課題と同様に、ビジネス上の課題が最も大きい移行への関心事である。300mm を越えるウェーハ直径の予想として、450mm が次世代のサイズとしては適当であろうと考えられている。しかしながら、技術世代交代の加速化とそれに関連した経済的な要素は、450mm ウェーハの導入を現在予測されているよりも遅くするといった事態を引き起こすかもしれない。現在のウェーハ直径トレンドの連続性からは、ほぼ 2020 年 675mm ウェーハの導入となり、このためには、2011 年には研究の実施を完了させることが必要となる。これらのウェーハは、ほぼ 1mm の厚さになると予測される。しかし、重要な重力ストレスと関連する装置のプラットフォームの課題がこれらのウェーハについて問題になると思われる。

過去のウェーハ直径のトレンドの延長が図 17 の解決策の候補技術に表示されている。それにもかかわらず、450mm あるいは 675mm の直径のウェーハが経済的に実現可能なのかは、明確とは言い難い。これらの直径に関連する技術的な課題はまた膨大に有ると思われる。従来のシリコン基板材料における、エスカレートするコストを軽減し、費用効果のあるシリコン基板の製造を行うためにはパラダイムシフトが必要とされるかもしれない。ひとつの可能なアプローチは費用効果のある SOI ウェーハの導入である。他のアプローチは、IC パッケージ寸法に適合させるために、ウェーハ体積の 50%あるいはそれ以上を切削する必要のない、適当な基板上にシリコン材料を製造することである。

8－3－2 表面処理

他の半導体プロセス技術と比べ表面処理技術は長い間同様な技術で使い続けられてきている。この分野に於ける研究と開発の主眼はゲート絶縁膜の高品質化に置かれてきた。例えばパーティクル除去能の改善、表面ラフネスの改善、乾燥時に発生するウォーターマークの防止などへの挑戦が行われてきた。絶縁膜の材料がシリコン酸化膜であり続ける以上、front end of line(FEOL)のプロセスで用いる洗浄用化学薬品の変更は不必要であった。配線にアルミを層間絶縁膜にシリコン酸化膜を長年に渡り用いている為に、back end of line(BEOL)のプロセスにおいても FEOL と同様、基本的な変更は必要無かった。しかしながら近い将来、FEOL、BEOL 双方ともに、材料の変更が行われるであろう。そのため表面処理プロセスは、抜本的な変更が必要となるであろう。

FEOL では、新しいゲート絶縁膜が採用され始めている。当初採用されるシリコンナイトライド膜や窒化酸化膜などの材料では、現在用いている表面処理プロセスがそのまま適用できるであろう。続い

て、もっと高誘電率の材料が採用されるであろうが、いまだに何になるか確定していない。しかしいずれの場合においても界面制御の必要性がますます重要になるであろう。いくつかの材料では新しい洗浄薬品が必要になってきている。新しい絶縁膜に伴い新しいゲート電極が採用されるであろう。FEOL で主に用いられている水溶性薬品は、メタルゲート電極には使用できないかもしれない。BEOL で一般的な溶剤を主とした化学薬品が用いられるかもしれないが、Environment Safety and Health (ESH)の観点からは代替薬品の開発が強く要望されるであろう。

BEOL の表面処理プロセスは、Cu 配線と低誘電率絶縁膜（Low-k絶縁膜）に対応したものでなければならない。

例えば 効果的な CMP 後の洗浄やレジスト除去プロセスなどが、Cu 配線や Low-k絶縁膜材料に対しても必要となる。将来裏面洗浄の追加などで裏面の Cu 汚染を最小限に抑える必要も出てくるであろう。配線層数の増大に伴いこれらのプロセスはますます重要になる。BEOL における洗浄工程数は、しばしば FEOL を上回る事になるであろう。表 33a と 33b に表面処理技術に求められる技術的要求をまとめた。

表面処理に関する大チャレンジと解決策候補技を、図 18 に示す。薬液の持つ高い金属溶解能による金属汚染の除去、ゼータポテンシャルの制御やメガソニックを用いた力学的なエネルギーの効率的な伝達など、水溶液が本来持っている多くの特質を利用できると言う理由で、ウエットケミカル洗浄技術は多くの支持を得ており、将来に渡って広く応用され使い続けられるであろう。気相洗浄技術は現在のところ技術的な必要性が無いゆえ COO(コストオブオーナーシップ)の観点からの部分的な利用に止まっている。しかしながら先端のゲート絶縁膜とその配線層に良好な界面を形成する為に、気相洗浄技術の必要性が急激に増すであろう。ビアやトレンチキャパシタの様な高アスペクト比の構造に対しても気相化学反応は適用が容易である。しかし効果的でダメージの無いパーティクル除去プロセスは依然必要とされるであろう。

表面処理技術は今後急速に確立すべき他の要素技術の課題との関連が深い。化学薬品の使用量削減、水資源の再利用、代替プロセス技術などは ESH と COO の観点からその実用化が強く望まれている。近い将来、希釈薬品はより一般的になり、その傾向はますます広まるであろう。オゾン水プロセスは硫酸を基本としたレジスト除去及び洗浄に取って代わるであろう。 純水の使用量削減とリサイクル化の努力は今後も継続せねばならない。加えて装置の占有面積の縮小、シミュレーションとモデリングによる薬液流量の最適化と削減、センサー技術を用いたプロセスチャンバ内の最適制御技術などの実現により COO は更に改善される様になるであろう。300mm ウェーハ世代ではモニタウェーハコストの削減と製造品質の維持向上の為に in-situ（インシチュ:その場）のプロセスモニタの積極的な活用が求められるであろう。

表面処理と欠陥低減は互いに密接に関わり合う技術である。表面処理後に要求されるウェーハ表面の高度な清浄度は、洗浄薬品や純水の純度に大きく依存している。COO の低減を果たす必要は無論であるが、それゆえ技術的な妥当性を背景とした革新的な純度目標値を設定する事も必要となる。表面処理のすべての分野において、プロセスと欠陥低減、コスト、環境問題の両立ができる様配慮して行かねばならない。

Table 33a Surface Preparation Technology Requirements—Near Term

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
Front End of Line [A]								
DRAM critical area (cm^2) [B]	0.32	0.32	0.68	0.68	0.68	1.6	1.6	D ½
Logic critical area (cm^2) [C]	0.1	0.1	0.13	0.13	0.13	0.19	0.19	M
DRAM GOI D_0 (cm^{-2}) [D]	0.03	0.03	0.01	0.01	0.01	0.01	0.01	D ½
Logic GOI D_0 (cm^{-2}) [D]	0.1	0.1	0.08	0.08	0.08	0.05	0.05	M
Light scatterers, front side [E]								
DRAM (cm^{-2})	0.064	0.06	0.058	0.068	0.064	0.06	0.051	D ½
Logic (cm^{-2})	0.064	0.06	0.058	0.068	0.064	0.06	0.051	M
Particle size (nm)	90	82.5	75	65	60	55	50	D ½
Light scatterers, back side (cm^{-2}) [F]	0.315	0.325	0.290	0.275	0.265	0.250	0.240	D ½
Particle size (nm) [F]	500	450	400	333	300	267	233	D ½
Critical surface metals [G]	$\leq 9\times10^{9}$	$\leq 7\times10^{9}$	$\leq 6\times10^{9}$	$\leq 4.4\times10^{9}$	$\leq 3.4\times10^{9}$	$\leq 2.9\times10^{9}$	$\leq 2.5\times10^{9}$	D ½
Mobile ions (atoms/cm^2) [H]	4.25×10^{10}	4.25×10^{10}	4.70×10^{10}	4.70×10^{10}	4.70×10^{10}	4.68×10^{10}	4.7×10^{10}	M and D ½
Organics/polymers (C atoms/cm^2) [J]	7.3×10^{13}	6.6×10^{13}	6.0×10^{13}	5.3×10^{13}	4.9×10^{13}	4.5×10^{13}	4.1×10^{13}	M and D ½
Surface oxygen (O atoms/cm^2) [K]	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{12}$	M and D ½
Surface roughness (nm) [L]	0.15	0.14	0.13	0.12	0.12	0.1	0.1	M and D ½
DRAM water marks (/cm^2) [M]	2.50×10^{-3}	2.27×10^{-3}	2.03×10^{-3}	1.80×10^{-3}	1.63×10^{-3}	1.45×10^{-3}	1.28×10^{-3}	D ½
Logic water marks (/cm^2) [M]	2.79×10^{-3}	2.64×10^{-3}	2.49×10^{-3}	2.34×10^{-3}	2.20×10^{-3}	2.07×10^{-3}	1.93×10^{-3}	M
Back End of Line [N]								
Particles (cm^{-2}) [O]	0.064	0.06	0.058	0.068	0.064	0.06	0.051	D ½
Particle size (nm)	180	165	150	130	120	110	100	D ½
Corrosion resistance (years) [P]	>10	>10	>10	>10	>10	>10	>10	D ½
Surface oxygen (O atoms/cm^2) [K]	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{14}$	$<1\times10^{12}$	D ½

Solutions Exist *Solutions Being Pursued* *No Known Solutions*

Table 33b Surface Preparation Technology Requirements—Long Term

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm	DRIVER
Front End of Line [A]				
DRAM critical area (cm^2) [B]	3.14	6.4	6.4	D ½
Logic critical area (cm^2) [C]	0.24	0.43	0.43	M
DRAM GOI D_0 (cm^{-2}) [D]	0.003	0.002	0.002	D ½
Logic GOI D_0 (cm^{-2}) [D]	0.042	0.023	0.023	M
Light scatterers, front side [E]				
DRAM (cm^{-2})	0.052	0.052	0.052	D ½
Logic (cm^{-2})	0.052	0.052	0.052	M
Particle size (nm)	35	25	18	D ½
Light scatterers, back side [F]	0.210	0.185	0.160	D ½
Particle size (nm) [F]	133	67	17	D ½
Critical surface metals (at/cm^2) [G]	$\leq 2.1\times10^{9}$	$\leq 1.8\times10^{9}$	$\leq 1.7\times10^{9}$	D ½
Mobile ions ($atoms/cm^2$) [H]	4.4×10^{10}	4.5×10^{10}	6.0×10^{10}	M and D ½
Organics/polymers (C $atoms/cm^2$) [J]	2.8×10^{13}	2.0×10^{13}	1.4×10^{13}	M and D ½
Surface oxygen (O $atoms/cm^2$) [K]	$<1\times10^{12}$	$<1\times10^{12}$	$<1\times10^{12}$	M and D ½
Surface roughness (nm) [L]	0.08	0.08	0.08	M and D ½
DRAM water marks ($/cm^2$) [M]	9.02×10^{-4}	4.51×10^{-4}	6.39×10^{-4}	D ½
Logic water marks ($/cm^2$) [M]	1.63×10^{-3}	1.35×10^{-3}	1.12×10^{-3}	M
Back End of Line [N]				
Particles (cm^{-2}) [O]	0.052	0.052	0.052	D ½
Particle size (nm)	70	50	36	D ½
Corrosion resistance (years) [P[	>10	>10	>10	D ½
Surface oxygen (O $atoms/cm^2$) [K]	$<1\times10^{12}$	$<1\times10^{12}$	$<1\times10^{12}$	D ½

Solutions Exist *Solutions Being Pursued* *No Known Solutions*

以下処理への技術的要求 の脚注訳

[A] ウェーハプロセスの最初から配線金属膜成膜前の絶縁膜成膜まで。

[B] Table33a 33b Bit/Chip(チップ当たりのビット数)に最小寸法の2乗を乗じた。

[C] Transistor/Chip(チップ当たりのトランジスタ数)に最小寸法の2乗の 10 倍を乗じた。

[D] 99%歩留を想定し A(クリティカルエリア)は DRAM と Logic のノードから算出。Y=1/(1+AD)の歩留モデルを用い、D_0 の電気計測は ASTM F1771-97 を、サンプル数とキャパシタ面積は改版版 EIAJ/JEDEC Standard 35-1, に準じた。

[E] パーティクルのモデルとして、99%歩留を想定し Y=exp(-DpRpTb(CD)^2d), Rp=0.2, T=# Transistor or bits/ chip per technology generation,(各世代毎のチップ当たりのトランジスタ数或いはビット数) a= bd,ここで"a"は DRAM の cell area factor(セルエリアファクタ

ー)を指し、各世代で数値が異なる。アナログ MPU のモデルは入手できなかったので、MPU については DRAM の値を用いた。

[F] Kill Ratio(キルレシオ)が 0.2 である事を除き Table32 のモデルに基づく。したがって値は starting materials(スターティングマテリアルズ)の場合の数値の半分となっている。

[G] 金属の算出モデル式は 99%歩留を仮定し Y=exp(-DMRMTA(CD)^2), RM=0.2, T=# (transistor bits/chip per technology generation) A は DRAM の cell area factor で技術世代の関数である。DM=K2(M)^3exp(-T0/0.7), K2=1.854X10-29cm-4. T_0 の単位は nm(ナノメートル)で MIS DRAM デバイス構造での酸化膜換算の膜厚である。(量子力学上の補正とポリシリコン空乏化の補正を行っている)。このモデルでは実験データから得られた結論に基づき更にそれを拡張している。ゲート前洗浄の効果は金属に対し 50%と仮定し、金属汚染量はファクター 2 により増大している。従ってこの結果は Table33 に記載されている表面処理の数値の 2 倍となる。この数値は以下に示す各々の金属の許容限界値である。:Ca, Co, Cu, Cr, Fe, K, Mo, Mn, Na, Ni,

[H] Nm=1/q×Cgate×DV、ここで Cgate は実効的な最大ゲート絶縁膜厚から算出。DV はこの世代における許容閾値電圧バラツキ。10%のシフトを許容すると仮定している。

[I] ゲート絶縁膜成膜前、ポリシリコン成膜前、メタル成膜前、シリサイド形成前、コンタクト前、トレンチ組込膜形成前を含むクリティカルな洗浄工程後の測定値。

[J] タングステンシリサイド層を介しポリシリコン層の深さプロファイルを SIMS にて測定。

[L] 表面粗さは AFM(原子間力顕微鏡)によりタッピングモードにて測定。スキャンモードは 2μm×2μm。エピ基板上を酸化する前の状態で測定した。目標値はゲート酸化形成前を想定した値である。

[M] ウォーターマークの影響度は次の歩留モデル式にて算出した。Y=1/(1+AD) ここで Y は歩留。A はチップ面積。そして D は欠陥密度。1 個のウォーターマークはチップ 1 個を不良にすると仮定している。歩留は 99%と仮定している。

[N] ポリシリコン金属シリサイド絶縁膜成膜からパッシベーション膜形成まで。

[O] BEOL の目標値は FEOL と同等の欠陥密度とする。しかしながらパーティクルの許容限界大きさは最小寸法に等しいとする。(FEOL の場合最小寸法の 1/2。)

[P] 加速試験は相対湿度 100%の環境下で実施。

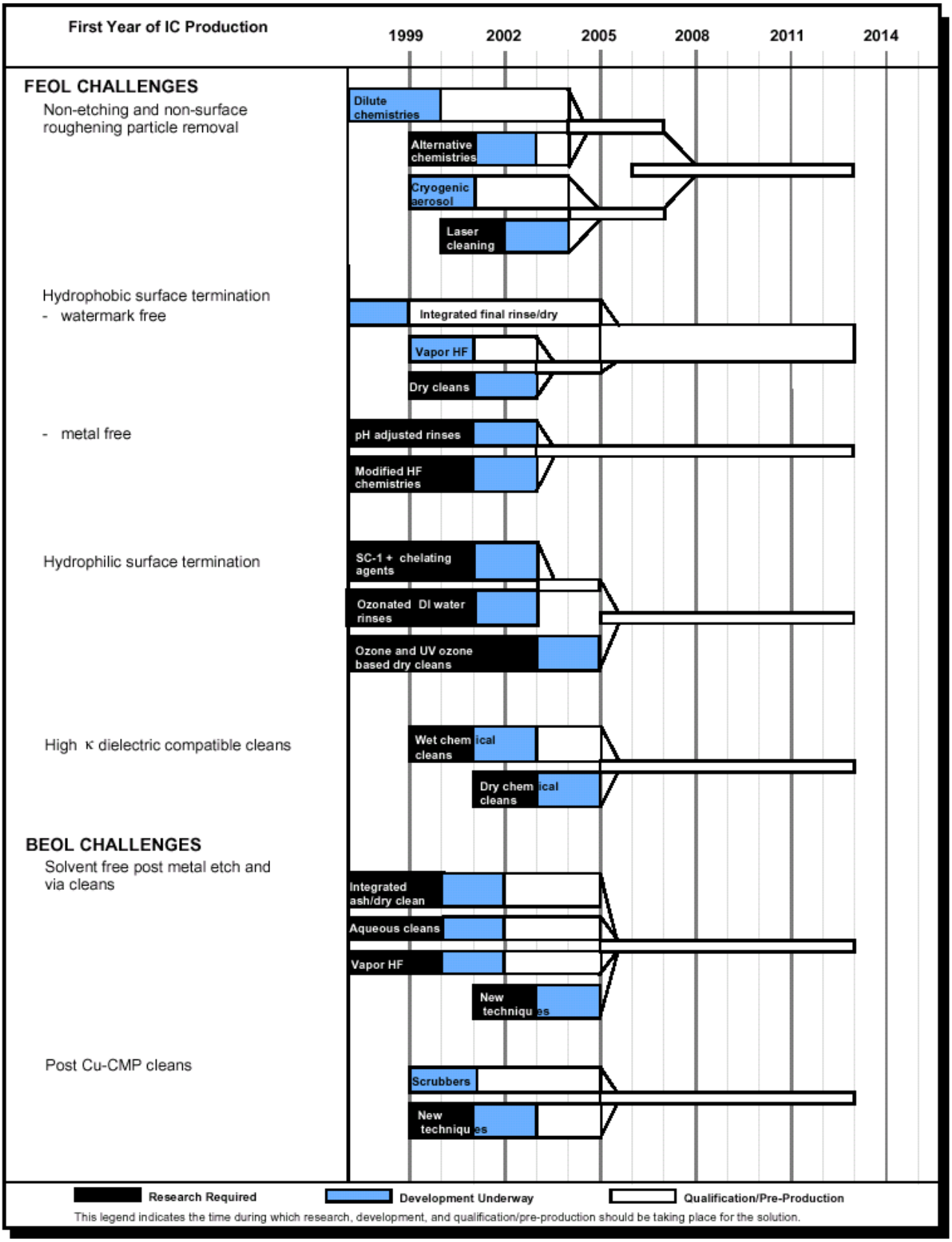


Figure 18 Surface Preparation Potential Solutions

8－3－3 熱処理/薄膜プロセスとドーピング技術

FEP（Front End Process）では高品質で均一性の高い無欠陥な膜の成長や堆積が必要となる。これらは、絶縁体、シリコン、もしくは導電体の膜である。下地基板や堆積膜への精密ドーピングも必須事項である。フロントエンドプロセスの分野には、デバイスのスケーリングにともなうサーマルバジェットの低減に加えて、いくつかの大チャレンジがある。それらには、信頼性の高い極薄ゲート絶縁膜の成長・堆積などに関わる代替高誘電率材料の見極めと膜開発、そしてこれら代替膜とゲートやDRAM キャパシタに対する界面層の選択；極浅接合デバイスへのコンタクト形成；空乏層が無い低抵抗な代替ゲート電極材料の開発がある。その他の重要な挑戦事項として、急峻なチャネルドーピングプロファイルの形成、サーマルバジェットが小さな環境下でイオン注入後のリークを最小にするための欠陥制御やサイドウォールスペーサ形成がある。これら諸事項全てに CMOS プロセスに置き換え（適用）可能な革新的な解が求められている。これら諸事項の要求の底流にあるのは、スレッシュホールド電圧のスケーリングやゲート絶縁膜膜中のトンネル効果、接合リークに関連した、回避できないゲートリーク電流の増大である。

熱処理/薄膜プロセス

将来のデバイススケーリングに対する最も大チャレンジの一つとしてゲート絶縁膜は、緊急の課題である。表 34a と 34b に要約された要求事項は、事実上ゲート絶縁膜厚が酸化膜換算膜厚にして 1nm 以下に突入しようとしている事を示している。トンネルリークの見地から 1A/cm2 以上のトンネル電流が流れると考えられる約 1.5nm 以下の SiO2 は使えなくなる。トンネル電流は酸化膜厚の減少に対して指数関数的にスケーリングするので、酸化膜は 100nm ノードからは使われなくなる。ゲート絶縁膜として機能する界面特性や安定性を満たす代替高誘電率材料や界面層はまだ見出されていない。最適な代替材料を見出し、特定するために数年の研究開発が必要である。DRAM の蓄積キャパシタ用絶縁膜開発の初期段階にもこれと良く似た問題が発生すると予想される。ゲート絶縁膜の短期的技術解としては、極薄酸化膜、酸窒化膜あるいはシリコン窒化膜の製造と適用が必要である。中でも、シリコン窒化膜は高いボロン拡散抑止能と7と言う比較的高い誘電率が魅力的である。ゲート絶縁膜の短期的技術解は、表面制御や形成前後の雰囲気の制御、シリコンと互換性のある材料の開発（ゲート電極とコンタクトなど）そして、形成後のプロセスによるサーマルバジェットについて厳しい拘束条件が課せられる。

ゲート絶縁膜厚の制御性や均一性の向上は、大口径ウェーハに対して Vt 制御を達成するために必須となる。イオン注入やプラズマエッチングに関連したポストゲートプロセス誘起ダメージによる影響は、それがゲート周辺長に依存するため特に重要になると予想される。中期もしくは長期的技術解では、他の電気特性（安定性や界面準位密度など）と高品質ゲートSiO2に匹敵する信頼性に加えて、より高い誘電率（中期用として>10、長期用として>20 が望ましい）を有する材料を必要とする。SiO2 以外の材料で最大の問題点は、良好な界面準位特性やチャネル移動度特性を維持するためにチャネル部やゲート電極界面部に極薄の酸化膜がまだ採用し続けられる可能性があるということである。この事によって高誘電率材料の採用によってもたらされるメリットが大幅にかき消されてしまう。シリコン基板と高誘電率材料とをつなぐ一層の Si-O 結合は、SiO2 換算実効膜厚が 0.3nm 以下のゲー

ト絶縁膜のスケーリングに物理的限界を与える。

他の課題は、許容されうる電流リークを達成することである。この要求を満たすために高誘電率材料は、熱電子流放出と Fowler-Nordheim トンネルを押さえるために障壁高さが 1eV 以上、バンド幅が 4-5eV であることが必須となる。加えて、候補となる絶縁膜材料は、Frenkel-Pool トンネルを抑制すべく、無視できるほど小さなトラップ準位密度でなくてはならない。最後に、その材料は、ゲート電極材料やゲート電極ドーパントの侵入を抑制できる優れた拡散防止機能を持ち合わせていなければならない。

Table 34a Thermal/Thin Films, Gate Etch, and Doping Technology Requirements—Near Term

YEAR / TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
MPU Gate Length (nm)	140	120	100	85	80	70	65	M
Equivalent physical oxide thickness T_{ox} (nm) [A]	1.9–2.5	1.9–2.5	1.5–1.9	1.5–1.9	1.5–1.9	1.2–1.5	1.0–1.5	M
Gate dielectric leakage at 100°C (nA/μm) high-performance [B]	5	7	8	10	13	16	20	M
Gate dielectric leakage at 100°C (pA/μm) low power [B]	5	7	8	10	13	16	20	M
Thickness control EOT (% 3σ) [C]	<± 4	<± 4	<± 4	<± 4	<± 4	<± 4	<± 4	M
Leffective control	≤ 20%	≤ 20%	≤ 20%	≤ 20%	≤ 20%	≤ 20%	≤ 20%	M
L_{gate} 3σ variation (nm) (dense and isolated lines) [D]	14	12	10	8.5	8	7	6.5	M
CD bias between dense and isolated lines [E]	≤ 15%	≤ 15%	≤ 15%	≤ 15%	≤ 15%	≤ 15%	≤ 15%	M
Minimum measurable gate dielectric remaining (post gate etch clean) [F]	>0	>0	>0	>0	>0	>0	>0	M
Sidewall spacer thickness (nm) extension structure [G]	72–144	65–130	59–108	52–104	48–96	44–88	40–80	M
Sidewall spacer thickness (nm) elevated contact [H]	—	—	—	—	—	—	20–40	M
Sidewall spacer thickness (nm) single drain [I]	—	—	—	—	—	—	—	M
Sidewall spacer thickness control (nm, 3σ)	≤ 10%	≤ 10%	≤ 10%	≤ 10%	≤ 10%	≤ 10%	≤ 10%	M
Gate electrode sheet Rs (Ω/•) [J]	4–6	4–6	4–6	4–6	4–6	4–6	4–6	M
Gate electrode thickness [K]	140	120	100	85	80	70	65	M
Gate electrode resistivity (μΩ-cm) [L]	70	60	50	43	40	35	33	M
Active poly doping to achieve 10% GOx depletion [M]	2.2×10^{20}	2.2×10^{20}	3.1×10^{20}	3.1×10^{20}	3.1×10^{20}	3.9×10^{20}	4.6×10^{20}	M
Silicide thickness (nm) [N]	55	45	40	34	32	28	25	M
Contact silicide sheet Rs (Ω/□) [O]	2.7	3.3	3.8	4.4	4.7	5.4	6.0	M
Contact maximum resistivity (Ω-cm^2) [P]	$< 3.0\times10^{-7}$	$< 2.5\times10^{-7}$	$< 2.0\times10^{-7}$	$<1.7\times10^{-7}$	$<1.6\times10^{-7}$	$<1.1\times10^{-7}$	$<1.0\times10^{-7}$	M
Maximum silicon consumption (nm) [Q]	36–70	32–60	26–50	22–43	20–40	18–36	16–33	M
Contact Xj (nm) [R]	75–145	65–125	55–105	45–90	43–85	38–75	35–70	M
Drain extension Xj (nm) [S]	42–70	36–60	30–50	25–43	24–40	20–35	20–33	M
Drain extension sheet resistance (Ω/□)	350–800	310–760	280–730	250–700	240–675	220–650	200–625	M
Lateral abruptness for source extension (nm/decade) [T]	4.8	4.1	3.4	2.9	2.7	2.4	2.2	M
Extension lateral abruptness (nm/decade) [U]	14	12	10	8.5	8	7	6.5	M
Potential: dopant variation—Position (nm)	15	10	10	<10	<8	<8	<7	M
Potential: dopant variation—Dose	<10% (Halo)	<10% (Halo)	<9% (Halo)	<8%	<7%	<6%	<5%	M
Channel concentration for W depletion $<1/4L_{eff}$ (cm^{-3}) [V]	2.0×10^{18}	2.3×10^{18}	2.7×10^{18}	3.0×10^{18}	3.3×10^{18}	3.7×10^{18}	4.0×10^{18}	M
Uniform channel concentration (cm^{-3}), for V_t=0.4 [W]	0.8–1.5×10^{18}	0.8–1.5×10^{18}	1.5–2.5×10^{18}	1.5–2.5×10^{18}	1.5–2.5×10^{18}	2.5–4.0×10^{18}	2.5–6.0×10^{18}	M
Retrograde Channel Depth (nm) [X]	< 21–35	< 18–30	< 15–25	< 12–22	<12–20	< 10–18	< 10–17	M

Solutions Exist *Solutions Being Pursued* *No Known Solutions*

Table 34b Thermal/Thin Films, Gate Etch, and Doping Technology Requirements for Logic—Long Term Needs

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm	DRIVER
MPU Gate Length (nm)	45	32	22	M
Equivalent physical oxide thickness T_{ox} (nm) [A]	0.8–1.2	0.6–0.8	0.5–0.6	M
Gate dielectric leakage at 100°C (nA/μm) high-performance [B]	40	80	160	M
Gate dielectric leakage at 100°C (pA/μm) low power [B]	40	80	160	M
Thickness control EOT (% 3σ) [C]	<± 4	<± 4	<± 4	M
Leffective control	≤ 20%	≤ 20%	≤ 20%	M
L_{gate} 3σ variation (nm) (dense and isolated lines) [D]	5	3.2	2.2	M
CD bias between dense and isolated lines [E]	≤ 15%	≤ 15%	≤ 15%	M
Minimum measurable gate dielectric remaining (post gate etch clean) [F]	>0	>0	>0	M
Sidewall spacer thickness (nm) extension structure [G]	28–56	20–40	14–28	M
Sidewall spacer thickness (nm) elevated contact [H]	14–28	10–20	7–14	M
Sidewall spacer thickness (nm) single drain [I]	7.5–15	5–10	3.7–7.5	M
Sidewall spacer thickness control (nm, 3σ)	≤ 10%	≤ 10%	≤ 10%	M
Gate electrode sheet Rs (Ω/□) [J]	4–6	4–6	4–6	M
Gate electrode thickness [K]	45	32	22	M
Gate electrode resistivity (μΩ-cm) [L]	23	16	11	M
Active poly doping to achieve 10% Gox depletion [M]	5.4×10^{20}	7.3×10^{20}	1.2×10^{21}	M
Silicide thickness (nm) [N]	20	15	12	M
Contact silicide sheet Rs (Ω/□) [O]	7.5	10.0	12.5	M
Contact maximum resistivity (Ω-cm^2) [P]	$< 5.0\times10^{-8}$	$< 2.5\times10^{-8}$	$< 1.5\times10^{-8}$	M
Maximum silicon consumption (nm) [Q]	14–26	10–19	7–17	M
Contact Xj (nm) [R]	30–55	20–40	15–35	M
Drain extension Xj (nm) [S]	16–26	11–19	8–13	M
Drain extension sheet resistance (Ω/□)	150–525	120–450	100–400	M
Lateral abruptness for source extension (nm/decade) [T]	1.25	0.8	0.5	M
Extension lateral abruptness (nm/decade) [U]	4.5	3.2	2.2	M
Potential: dopant variation—position (nm)	<5	<4	<3	M
Potential: dopant variation—dose	5.0×10^{-2}	3.0×10^{-2}	2.0×10^{-2}	M
Channel concentration for Wdepletion <1/4L_{eff} (cm^{-3}) [V]	8.0×10^{18}	1.4×10^{19}	3×10^{19}	M
Uniform.. channel conc. (cm^{-3}), for V_t=0.4 [W]	$4.0–9.0\times10^{18}$	$0.9–1.5\times10^{19}$	$1.5–2.5\times10^{19}$	M
Retrograde channel depth (nm/decade) [X]	< 8–13	< 5–10	< 4–8	M

Solutions Exist □ *Solutions Being Pursued* ▭ *No Known Solutions* ▭

[A] この値は、基板や電極形成にともなう影響がなく、最大動作周波数における誘電体単体の実効膜厚を示すもので、基板や電極の影響を鑑みた電気的な容量測定によって決められる。

[B] 100℃におけるゲートリーク電流は、その温度でトランジスタのオフリーク電流の 1%以下になるように設定。このリーク量は、プロセスインテグレーションの章（表 28）にある室温でのトランジスタの

オフリーク電流（ゲートリーク成分以外）と同じである。この理由は、デバイス温度が室温から100℃になるとデバイスのサブスレッシュホールドリーク成分と接合リーク成分が100倍に増加すると予想されるためである。このゲートリークは、通常の最小デバイスで測定されるもので、そのスペックは全てのトランジスタのバイアス条件、すなわちVs=Vd～0でVg =Vddの時やVg = Vs = 0でVd=Vddの時に適用される。

[C] 参考文献18参照。

[D] エッチングに関する技術的挑戦は、それがデバイス構造に依存するということである。ここでは、通常的なMOS構造を仮定している。もし、replacement gateのように他の集積化案が有望になってきた場合、本表で記述する詳細は更新されねばならない。

[E] CDの10%という値は、リソグラフィ、エッチング、及び計測からの影響を統合したものである。エッチングだけの寄与を区別することは行っていない。CD制御の目標値を達成するために、リソグラフィとエッチングの両面から改善することが求められている。

[F] ゲートエッチクリーンの後にいくらかのゲート絶縁膜が残っている事が必要である。絶縁体材料がテクノロジーノードを経るごとに実効的に薄くなって行くので、その絶縁体材料上で停止させるエッチングシステムの能力を達成するのがますます困難になる。加えて、極めて薄いゲート絶縁膜材料の残り膜厚を計測もしくは検出できる手段が必要となる。

[G] 0.94x（MPUの物理的なゲート長）であるコンタクト接合部に対して、サイドウォールスペーサ厚＝0.94x（MPUの物理的なゲート長）である。（±33%程度の範囲） 妥当性は、A.Srivastava and C.M.Osburnの「極薄ゲート絶縁膜を有する0.1umPMOSFETの最適化に基づく応答曲面」19にある応答曲面法によって確認された。

[H] サイドウォールスペーサ厚＝サイドウォールスペーサ厚＝0.94x（MPUの物理的なゲート長）。（±33%程度の範囲）

[I] サイドウォールスペーサ厚＝平均エクステンション接合深さの1/2。（±33%程度の範囲）;スペーサの下のエクステンション接合の横方向拡散が許せるように選ばれる。

[J] 歴史的動向にもとづく。

[K] アスペクト比を考慮してMPUの物理的なゲート長とした。

[L] シート抵抗値と膜厚要求値（平均値）から;ここで、100nmノード以降ではメタルゲートが使われると仮定した。

[M] 電源電圧とゲート絶縁膜の要求に基づくひろがり抵抗モデルによるポリシリコンゲート活性化の計算値。

[N] シリコン消費によるコンタクト抵抗率の上昇を避けるために、シリサイド膜厚はコンタクトXjの1/2以下にする。

[O] シリサイドのシート抵抗：抵抗率を15 μΩ-cmとした。TiSi2 または CoSi2 に相当。

[P] シリコン/シリサイド界面の最大コンタクト抵抗率。トータル寄生抵抗＜デバイス抵抗(Vdd/Isat)を条件とした。寄生抵抗要素を計算するためにスプレッドシートを用いている。

[Q] シリコン消費量は、CoSi2 生成の場合の、コバルトシリサイド膜厚/シリコン消費量比 0.97 を用いた。

[R] コンタクト Xj = 0.8×孤立ライン幅 (±33%)とした。 歴史的トレンドに基づく。すべての接合深さはゲート絶縁膜/シリコン界面を x=0 として定義する。

[S] チャネル側の Xj = 0.4×孤立ライン幅(±25%)。

[T] スプレッドシートに示した、総直列抵抗へのスプレディング抵抗の影響から導いたソース/ドレイン接合の急峻さ要求。

[U] チャネル側不純物分布の急峻さ。nm/decade 単位で、ドーピング濃度=0.1* 孤立ライン幅(nm)の条件。短チャネル効果からの要求に基づく。

[V] 空乏層幅＜1/4×ロジックハーフピッチ(式 5-57)を与えるドレインエクステンション濃度。

[W] Vt=0.4 を与える均一基板濃度。量子力学的効果及び短チャネル効果によるポテンシャル増大は計算には考慮していないが、これらの効果は互いに相殺する傾向にある。Vt=0.4 の仮定はリーク電流の境界条件と両立しない可能性がある。リーク電流の境界条件が、低下した電源電圧に対して許容できない高いしきい値を要求する場合は、大きな性能劣化を引き起こす。さらに、高濃度チャネル不純物による散乱によるドレイン電流への影響も大きい。

[X] 短チャネル効果の改善のために、レトログレードウェルプロファイルは 0.5×(ドレインエクステンション深さ)以下でなければならない。

ゲート電極もまた将来のスケーリングに対して主要な挑戦である。ボロンの外方拡散によるチャネルのオートドーピングやポリシリコンの空乏化によってついにデュアルドープポリシリコンゲート電極材料は使われなくなる。低抵抗ゲート電極材料に見られるように長期的技術解というものは、現在のところ見出されておらず、代替材料を見出し見極めるためにはまだ数年の研究期間を要する。

仕事関数、抵抗率、そして CMOS プロセスとの互換性が、新しい材料の候補に対するキーパラメータとなる。CMOS プロセスとの互換性で要求されるのは、許容可能なしきい値電圧を得るために PMOS と NMOS それぞれのトランジスタのゲート電極に使用される、異なったゲート電極材料である。すなわち、PMOS トランジスタはシリコンの価電子帯付近にフェルミレベルがあり、NMOS トランジスタはシリコンの伝導帯付近にフェルミレベルがある材料である。シート抵抗を検討すると、究極的には cladded gate 電極が必要となる。つまり、ゲート電極の所望の仕事関数を得るために誘電体の界面層が用いられ、その上の層はゲート電極全体のシート抵抗を下げるために用いられる構造である。代替案としては SOI または基板バイアスやウェルバイアスと共に用いられるであろうミッドギャップフェルミレベルが用いられるようなデュアルジャンクションアイソレートトランジスタが挙げられる。ゲート電極の問題に対する短期的解決可能候補技術は、ドープポリサイドゲートスタックまたは Si-Ge ゲートが挙げられる。(シリコン窒化膜などで見られる)ゲート絶縁膜のボロン染み出し抑制は、仕事関数制御をより強固にするためには、ドープポリシリコンの活性化を高める必要があるので、ゲート絶縁膜のボロン染み出し抑制はきわめて重要である。

CMOS 構造に対する代替界面層と高誘電率材料そして新しいゲート電極材料の一体化は、集積

化の挑戦において極めて重要な意味を持つ。候補となる大半の材料系の熱安定性は、ゲート形成後に用いられる典型的な接合形成用熱処理に対して十分ではない。これらの新しい材料を導入することにより接合形成用熱処理温度を劇的に下げるか replacement gate のようにゲートスタック工程と接合形成工程の順序を入れ替える事を余儀なくされる。これらのことは、製造工程と複雑さを増し、接合部とゲート部との重なりが変わることによるデバイス性能や信頼性に強い影響を及ぼすであろう。2つのゲート電極金属の集積化に対する見込みある解決可能候補技術は、W と WN のように金属とそれと同じ金属の化合物とを用いることである。そうすることによって、単純な反応により局所的に金属がその化合物となる。これを用いなければ、NMOS や PMOS デバイスの両方を作製するために複雑で何度ものプロセスを使わねばならなくなる。

サイドウォールスペーサは、セルフアライン、ドレイン部ドーパント構造形成を容易にするためだけでなく、今ではゲートとソース/ドレイン領域を分離するためにも用いられている。サイドウォールスペーサの耐久性がゲートとソース/ドレイン部のコンタクト構造とそのプロセスを限定する。サイドウォールスペーサは、伝統的に堆積した酸化膜、ポリシリコンの熱酸化、堆積シリコン窒化膜そして、これらの組み合わせとして用いられてきた。これらのプロセスは、少なくとも今後、エレベートソース/ドレイン構造が使われる限り引き続き使われるであろう。シングルドレインエレベート構造では、寄生直列抵抗を制御するためにサイドウォール膜厚が 5-10nm であることのほかに、ゲート絶縁膜並みの信頼性や安定性が必要となる。約 20nm 以下であると最良の熱酸化膜でさえもシリコンの選択エピタキシャル成長やシリサイドプロセスに晒された時に欠陥を誘発しやすくなる。シリコン窒化膜や酸窒化膜は、酸化膜よりは良い代替材料である。しかしながら、より良いサイドウォールスペーサを見出すために更なる検討が必要である。

熱処理/ドーピング技術の鍵は、浅接合プロファイルを維持すること、ドーパントの高活性化、材料間の熱プロセスに対する互換性、そしてこれらが如何にデバイス性能に影響するかをコントロールすることである。FEOL の熱処理/薄膜プロセスに対する解決可能候補技術を図 19 に示す。

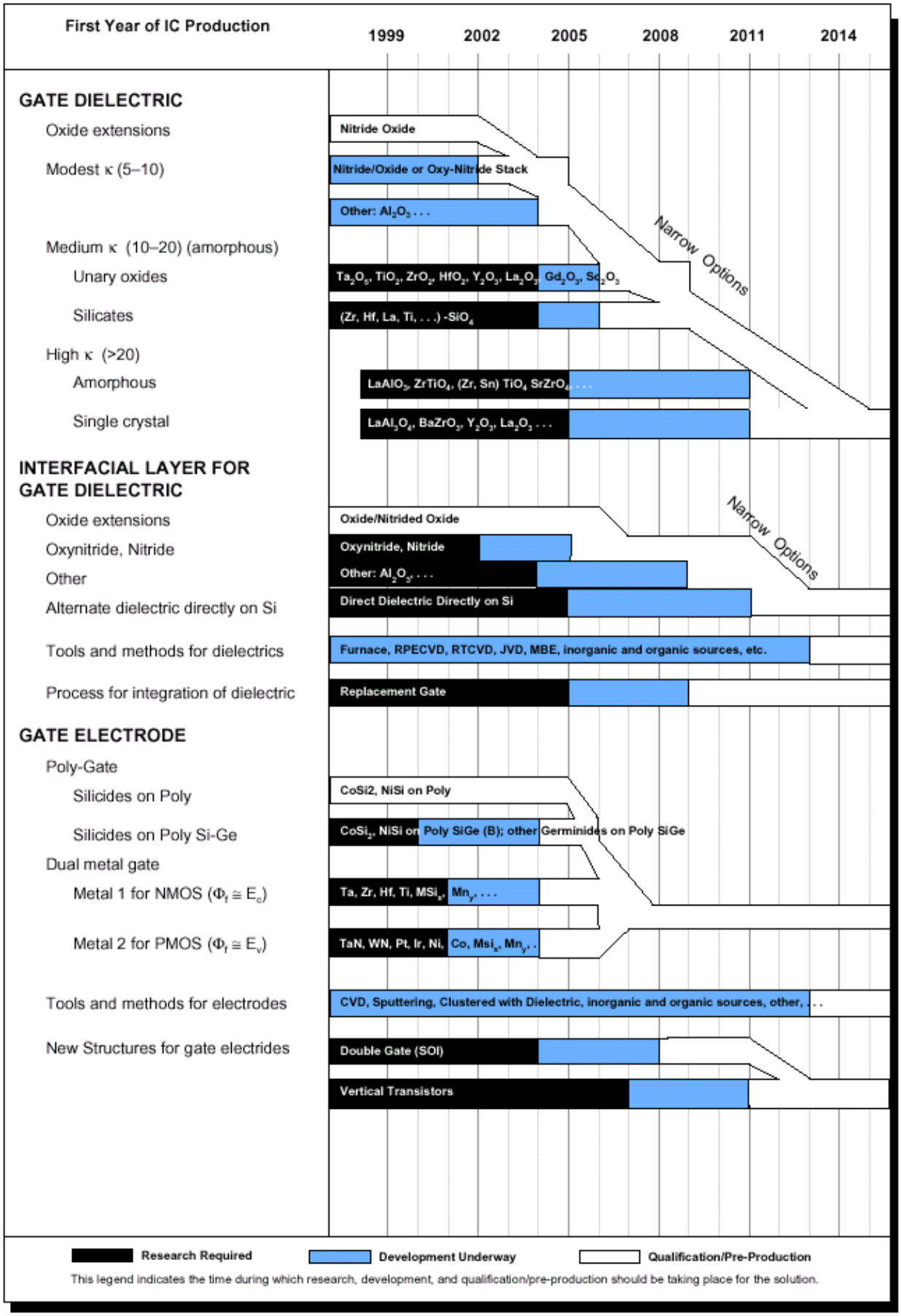


Figure 19 Thermal Thin Films Potential Solutions

ドーピング技術

ドーピング技術において、近い世代で直面する大チャレンジは、極浅接合形成の従来手法をディープサブミクロン領域にまで拡大させることである。チャレンジの本質は、エクステンションョン接合深さの縮小と必要な横方向の急峻さを同時に達成することにある。急峻さの要求は、チャネル抵抗の 10%の低寄生抵抗を得るための要求でもある。高濃度でありながら、より浅いソース/ドレイン及びエクステンション接合を形成し、低抵抗のコンタクト材を形成するという要求は、サリサイドプロセスに対するチャレンジにもなる。極浅の接合にコンタクトを形成するための大チャレンジが他にも幾つか指摘されている。30nm 以下の接合で 300Ω/□のシート抵抗を得るための活性化の技術、ゲート酸化膜を通したボロン突き抜けの抑止、低抵抗シリサイドコンタクトの形成、極浅接合の 2 次元不純物分布計測、接合の大きさに対し有意な大きさのパーティクルの削減、縮小したデバイスに必要な精度でドーピング層(特にハロー)を配置すること、などである。

70nm 以下のノードでは、チャレンジはより明解に「トランジスタ構造」となる。その中には、現在はまだわかっていない、固溶限以上の活性化を熱処理の制約の中で実現する方法が含まれる。新しいトランジスタ構造が性能目標の達成のために必要になる可能性もあり、量産の時期までに開発され検証される必要がある。新構造には、高誘電率ゲートスタックとの、温度などのプロセス互換性が要求される。70nm 以下の技術にも同様な課題がある。すなわち、高誘電率絶縁膜と互換性のある活性化の熱プロセス、低抵抗のコンタクト形成、高電導度のエクステンション(20nm 以下で 200Ω/□)、チャネル端でのエクステンションの急峻さ、メタステイブルな不純物の活性化の解明、などである。これら課題の基底に、しきい値スケーリング、ゲート絶縁膜及び接合でのトンネリングに伴って不可避となるリーク電流の増大の懸念がある。

エクステンション

スケーリングは、ドレインエクステンション、チャネルおよびチャネル端部形成のプロセスに大きな影響を与える。接合深さと寄生抵抗をともに低減する要求からエクステンションのドーピングレベルは増大が予測される。前の世代ではホットキャリア劣化を抑制するため、緩やかなプロファイルが要求されたのに対して、低電圧での動作のためにむしろ急峻な横方向のプロファイルが求められるようになる。エクステンション部の、縦方向、横方向不純物プロファイルの位置及び形状をモニターするためには、サブナノメータの空間分解能の2次元計測手法が必要になる。

これらの極浅接合形成の課題に対する技術候補には、plasma immersion ion implantation (PIII), projection gas immersion laser doping (PGILD)がある。長期的には、ドーピング層の直接堆積が候補である(例えば ALE)。

コンタクト

コンタクト領域をシリサイドによって接続する技術では、ソース/ドレイン領域でのシリコン消費を最小にし、同時にゲート領域では低い抵抗率を実現する必要がある。加えて、コンタクト面積の縮小に応じたシリコン/シリサイド界面抵抗の低減が無いと、許容しがたい寄生抵抗の増大を引き起こす。求め

られる抵抗率を得るには、シリコン中の活性不純物濃度をシリサイドとの界面において最大とすることと、金属/シリコンのバリアハイト低減が必要とされる。近い世代において、ドーピングとコンタクト裏打ちのプロセスは、ますます相互依存が強まり、材料科学を組み合わせた、CMOS 互換の革新的な解が必要となるだろう。当面は、既存のサリサイド技術を用いてドープしたコンタクト領域を形成するプロセスへの、適用範囲拡大と実用性改善が課題である。

コンタクト裏打ちの技術候補には、既存のサリサイド技術の継続的スケーリング、チタンシリサイド膜の選択的堆積、犠牲シリコン膜を用いたシリサイド化、他の低抵抗金属膜の選択堆積がある。究極には、革新的な新しいデバイス構造の導入が必要となり、安定なコンタクトのためには、チャネル面よりも、ソース/ドレインコンタクト面を高く持ち上げる新構造が必要になろう。しかしながら現在の所、100nm 以下のノードに対応する検討は、未だ研究段階にあって製造に使える検証には至っていない。

ポリドーピング

ポリシリコンゲート電極にも近い世代のスケーリングに大きな課題がある。空乏化によるゲート絶縁膜厚の実効厚さの増大やP＋ポリシリコンゲート電極からチャネル部へのボロンのオートドーピングの問題から、現在用いられているデュアルドープポリシリコンゲートは 70nm ノード以降、次第に使われなくなるだろう。技術候補は図20に示した。近い世代の候補には、ドープしたポリサイドスタックの改良も含まれる。ゲート絶縁膜のボロン突き抜け拡散耐性は極めて重要であり、この面から絶縁膜の候補にシリコン窒化膜があがる。仕事関数の精密な制御のために、ゲートポリシリコン電極の活性化率の向上も重要であり、ゲルマニウム添加によるボロンの活性化率向上のような材料技術も解になりうる。

チャネル

継続的なゲート長の縮小において、オフ状態のリークを許容値以下に保つ必要から、極小デバイスのチャネルドーピングレベル増大が必要になる。横方向、縦方向双方のプロファイル制御がこれらの劣化防止に使用しうるが、ゲート絶縁膜薄膜化を行ってもなお、しきい値のスケーリングに伴うオフ電流の大幅な増大は避けられない。しかしながら、しきい値のスケーリングがなされないと、低電圧動作でのデバイス性能は、ゲートドライブの減少によって著しく損なわれる。この問題には消費電力の制約も関係し、単純な解答は存在しない。

レトログレードチャネルドーピングは縦方向のプロファイル制御技術である。短チャネル効果を改善しつつ、チャネル表面の不純物濃度を低減して表面移動度の向上をはかる。やや深い領域の高不純物濃度層がパンチスルーに対するバリアとして作用する一方、表面では不純物散乱を最小化し移動度向上をもたらす。効果的に作用させるためには、レトログレード深さはソース/ドレインエクステンション(SDE)深さよりも小さい必要があり、低濃度から高濃度への急峻な変化が必要である。ソース/ドレインのスケーリングに伴って、レトログレードウェルの深さ、急峻さもスケーリングされなければならない。

デバイス特性の改善をはかるために、横方向のプロファイル制御も広く行われる。典型的には、ゲート電極形成後のチャネル領域への斜めイオン注入によって行われる。横方向注入は SDE 端部での不純物濃度を高める。結果的に、得られるチャネルプロファイルはデバイスのサイズに依存するようになる。小さなデバイスではより高い平均のドーピングレベルとなり、これは小サイズデバイスのしきい値低下を補正して、デバイス性能向上につながる。横方向のプロファイル制御を効果的に作用させるには、チャネル全域に渡ってプロファイルを変化させる必要があり、50nm 以下への継続的なスケーリングにおいて、極めて大チャレンジとなる。

拡散によりプロファイルの急峻さが損なわれるために、横方向、縦方向双方のチャネルプロファイルのスケーリングは極めて難しくなって来ている。デバイス性能向上を最大化させるには、これらのプロファイルを極めて局在化させる必要がある。transient enhanced diffusion (TED)や、boron enhanced diffusion (BED)のような高濃度拡散効果、その他熱拡散は、すべて所望のチャネルプロファイル形成に対応するよう管理される必要がある。急峻かつ良く制御されたチャネルプロファイル形成には、極低温プロセスに対応したエピタキシャル成膜を必要とする可能性がある。これらの付加技術を用いたとしても、回路設計者は大きなオフ電流と大幅なドライブ電流劣化のトレードオフを勘案する必要に迫られるかもしれない。

素子分離/ウェル

トランジスタ密度増大は n+/p+間隔の縮小を伴い、ウェル間の分離、寄生素子の制御の改善を必要とする。加えて、p-,n-チャネルデバイスのチャネルポテンシャルの動的な制御や、system-on-chip(SoC)設計のためにメモリアレイ組み込みの重要性が増すことにより、新たな素子分離構造を採用する必要性が高まると考えられる。点欠陥の動力学の理解と TCAD(technology computer aided design)モデリングの進展が伴えば、高エネルギーイオン注入技術がこれらの素子分離技術的要求に対する技術候補になる。

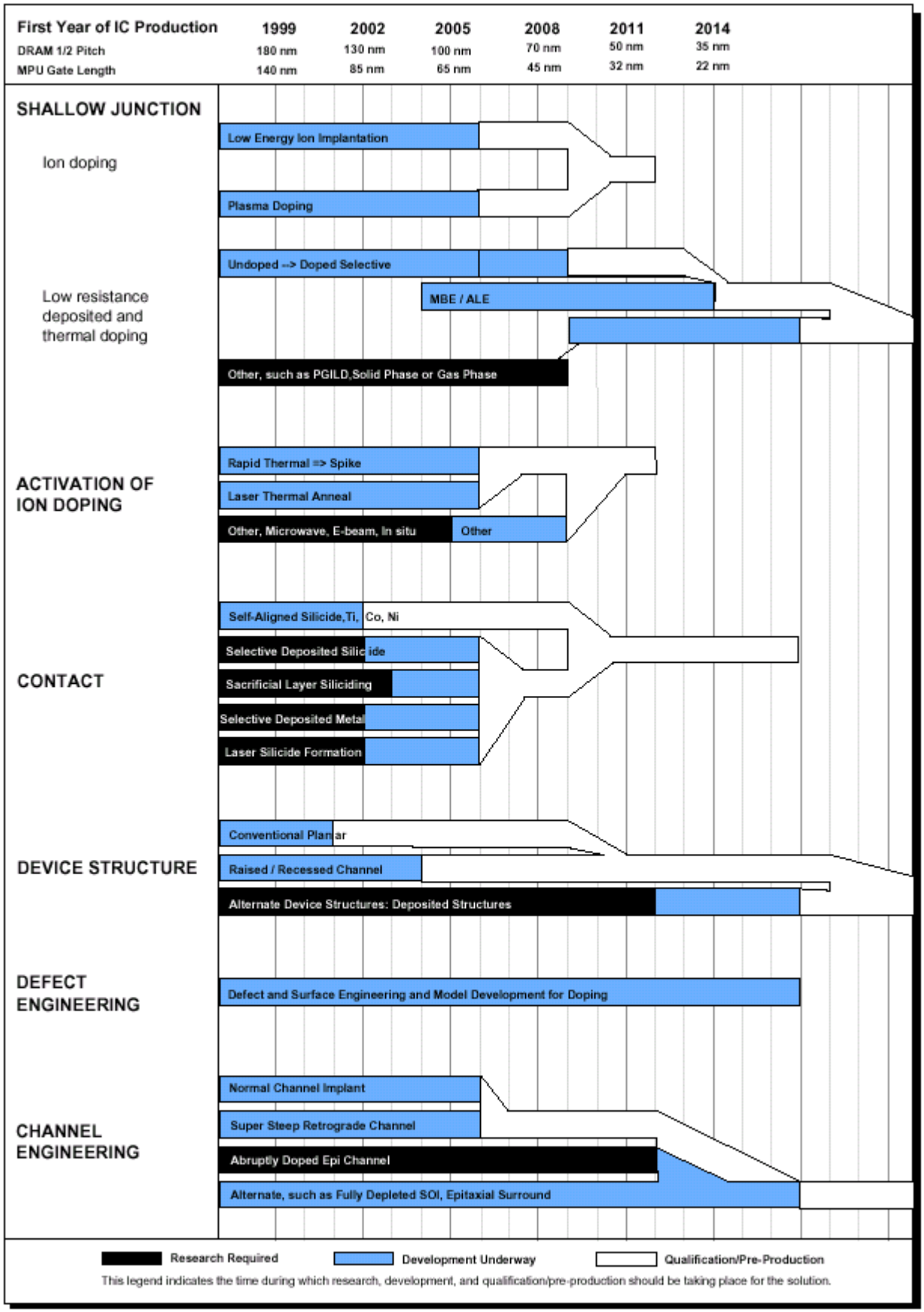


Figure 20 Doping Potential Solutions

8－3－4 エッチングプロセス

エッチングプロセスの将来的な課題は、CD（クリティカルディメンジョン）の縮小、及びメタルゲートや高誘電率の絶縁膜などの新材料によって、大部分が決定される。フロントエンドのエッチングにおいて、最も挑戦的な技術的要求は、継続的に大口径化するウェーハに対して均一性の高いエッチングを維持すること、及び新材料に対して要求されるエッチング選択性とエッチング形状を確保することである。メタルゲートが使われる技術レベルの時点では、エッチング耐性のない新規の薄いフォトレジスト材料が導入されることになる。新しい積層ゲート材料、ウェーハ大口径化、及び新規フォトレジストが同時期に導入されることによって、微細化そのものに関係している困難さが一層度合いを増したものとなっている。リソグラフィとエッチングの相互で整合性をとることが、CD 制御の目標値を達成するための鍵となる。ゲートCD制御に関する要求値を表 34a と 34b に示す。

エッチングマスクの CD を確保するために、マスク材料と一つまたは複数の被エッチング下層材料との間で、高いエッチング選択性が要求される。もし、フォトレジストに対して充分な選択性が得られないのであれば、ハードマスク（これは反射防止膜として使用することが可能）を使う必要性が生じる。ここでは、CD をハードマスクに一旦転写した後、ハードマスクを使って、下層材料へパターンを転写する。このようにプロセスの複雑さが増加するが、この方法は、焦点深度の低下に対応してフォトレジスト膜厚が減少している先端リソグラフィの状況において、必要なものとなっていく。マスクから下層材料に高精度に転写を行うとともに、特にゲートやサイドウォールスペーサエッチングにおいては、垂直に近い側壁構造を形成するために、極めて異方性の高いエッチングプロセスが求められる。さらに、孤立部分と高アスペクト比の密集した部分の両方に対して、エッチレートと形状が揃うようにマイクロローディングを極力低減しなければならない。

線幅の縮小にともなって、ライン端の荒さ（LER : line edge roughness）が、CD 制御や CD 自体の定義に対して、ますます重要な影響を持つようになっている。LER の原因は、リソグラフィとエッチングの両方にある。ゲート材料、フォトレジストの構成物、及びエッチングケミストリのすべてが、線幅の不確定性に関係する。この量について制御すべき目標値を設定するために、デバイス性能への LER の影響を理解する必要がある。これに関係する測定方法や装置をも開発していかなければならない。

新規のゲート絶縁膜材料を用いた上で、微細化が進行することは、欠陥密度とプラズマダメージの点で、エッチングプロセスに対して厳しい要求を課すことになる。将来の欠陥密度に対する要求を満たすためには、プラズマプロセスやエッチング装置から発生するパーティクルを極力少なく、かつ小さくしなければならない。エッチングケミストリ、エッチングチャンバ内の堆積物の制御、及びエッチングチャンバのクリーニング手法などについて改善が求められている。プラズマエッチング装置の設計、及びプラズマプロセス条件は、チャージングダメージを引き起こさないように開発されなければならない。

フロントエンドのエッチングプロセスでは、連続した複数の被エッチング膜間に、極めて高い選択性が要求されている。このため、新材料の導入により、新たな課題が発生することになる。例えば、ポリシリコンゲートエッチングでは、シリコン基板までエッチングすることなく、ポリシリコンの適切なオーバーエッチが可能となるように、ポリシリコンゲート電極とゲート絶縁膜との間に高い選択比が求められる。ゲートエッチングと洗浄プロセスを経た後、薄く残る酸化膜の膜厚測定は、これからの開発が求めら

れる分野の一つである。将来的には、新しい低抵抗率のメタルゲート電極と高誘電率のゲート絶縁膜との間に、高いエッチング選択比が求められる。要求されるエッチング選択性とエッチング形状を満足した上で、これらの新規材料をエッチングするために、新たなエッチングケミストリやプロセス条件の開発が必要となるだろう。

ゲート絶縁膜の変更により、メインエッチステップでバルク材料の大部分を除去し、その後のオーバーエッチステップで完了するマルチステップエッチングプロセスの開発が必要とされるであろう。事前に終点が決定できるように、インターフェロメトリィや同様の検知手法を用いることによって、メインエッチが終了する前に被エッチング材料の残りの量を測定することが強く望まれる。このエッチングを完成させるためには、高選択比、かつダメージのないプロセスが必要とされる。

サイドウォールスペーサ幅の制御は、プラズマエッチにおいてもう一つの課題となる。スペーサ幅やそのオーバーエッチ依存性は、スペーサエッチの異方性度だけでなく、ゲート電極の形状、スペーサ絶縁膜堆積時の膜厚制御や堆積状態に支配される。限られたプロセス制御性データを用いて、サイドウォールスペーサの正確な評価をすることは難しい。非破壊のスペーサ幅測定手法の開発が必要である。スペーサ絶縁膜堆積やエッチングの終点検出のような、スペーサ幅に影響を及ぼすすべての項目の制御性を改善することが、プロセスの再現性を保証するために求められている。

ゲート絶縁膜の薄膜化や大口径ウェーハ処理の要求に応じるため、高密度プロセス用の反応室が設計されている状況において、プラズマダメージは引き続き大きな関心事である。さらに、70 nm 技術ノードに対応するゲート絶縁膜がまだ決定していないため、そのノードでプラズマチャージングダメージを回避できるかどうか未知である。もし、プラズマエッチング装置において、プラズマチャージングダメージが回避できないのであれば、ケミカルダウンストリームエッチング（CDE）やニュートラルストリームエッチングを選択肢として、追求しなければならない。しかしながら、将来的な異方性エッチングの要求を満たすために、充分に方向性が整い、かつ中性の運動エネルギーを有する大面積ケミカルダウンストリームエッチング装置を作製する必要があり、このために、多大な研究、開発を要する。ゲートエッチングに解決可能候補技術を図 21 にまとめた。CDE がダメージを極小にするために選択された方法となれば、このプラズマ源技術がクラスタプラットホームに統合され、分離したエッチングチャンバ、もしくは in-situ の形で使用されるだろう。

エッチングにおける DRAM 特有の課題は、電荷蓄積キャパシタ、特に、先端の大容量積層キャパシタ構造の形成に関するものである。これらの構造では、新規の高誘電率膜（Ta2O5、BST など）と新規金属電極（Pt、Ru、RuO2 など）が使用されている。先端のゲートスタックの場合には、新しいエッチングケミストリを発展させることが望まれる。形状制御は、トランジスタゲート構造の場合ほど厳しくないが、3 次元キャパシタ構造や非常に厚い電極膜厚により、高密度充填に対する欠陥制御が課題となってくる。積層キャパシタに関して、別の重要な技術項目は、高アスペクト比コンタクトの形成である。高集積密度を達成するために、期待されるコンタクトのサイズは 0.1 um で、アスペクト比は 10 以上となる。セルフアラインの高アスペクト比コンタクトエッチングプロセスとエッチング後の充分なクリーニング手法の開発が重要なものとなる。エッチストップと浅い接合へのダメージを抑制して、CD と選択性を維持することが重要な技術的挑戦となるだろう。

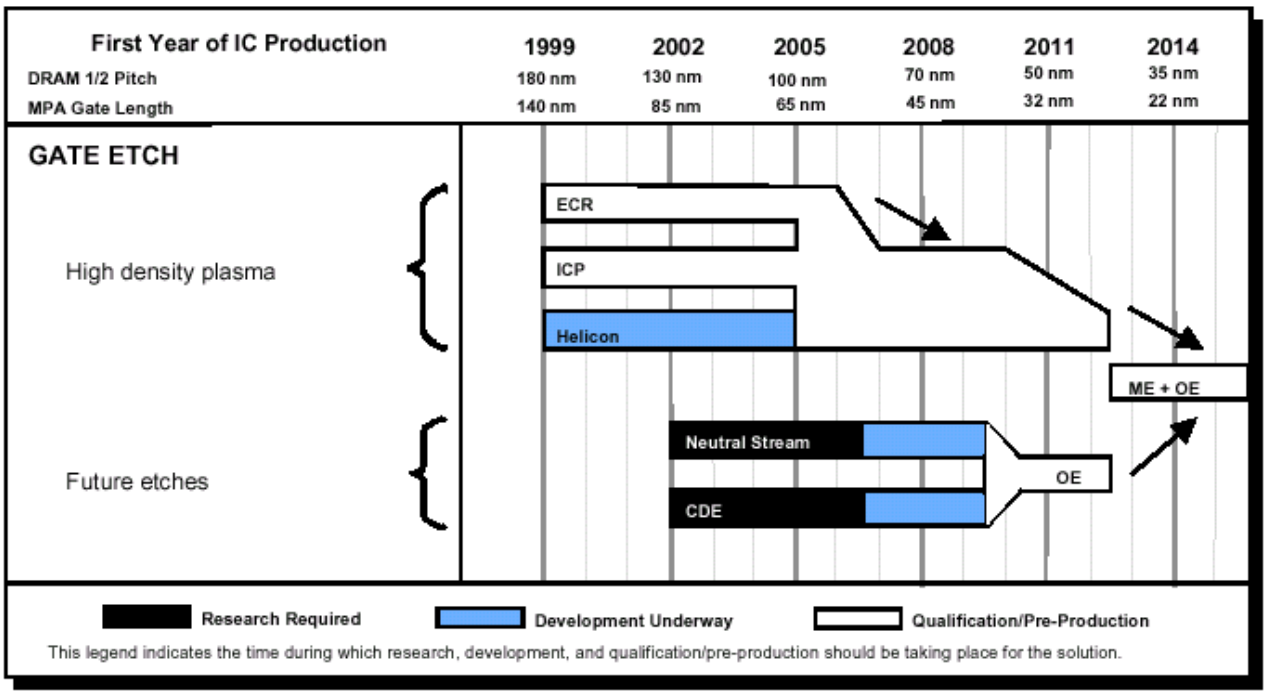


Figure 21　Front End Etch Potential Solutions

DRAM スタックキャパシタ

DRAM キャパシタ技術は、ギガビット世代に入りキャパシタ膜並びにキャパシタ電極への新材料導入の局面を迎えている。表 35 に DRAM のスタックキャパシタに対する技術的要求を示す。DRAM のセルサイズは設計ルール以上の速度で微細化が進められており、180nm 世代では折り返しビットラインセル構造の最小面積である 8F^2 (F：最小加工寸法〈minimum feature size〉)に達すると考えられる。これに対して DRAM の安定動作の確保とソフトエラー耐性を一定に保つために、キャパシタの容量値は 25fF/cell(セル) と一定に保ち続けられると仮定して各数値は計算されている。

YEAR	*1999*	*2002*	*2005*	*2008*	*2011*	*2014*
TECHNOLOGY NODE	*180 nm*	*130 nm*	*100 nm*	*70 nm*	*50 nm*	*35 nm*
DRAM capacity [A]	1G	(3G)	(8G)	(24G)	64G	(192G)
Cell area/chip size	69.6%	70.7%	71.7%	72.4%	72.9%	73.3%
Total cell area (cm^2)	2.8	3.3	3.8	4.5	5.2	6.3
DRAM chip size at introduction (cm^2)	4.0	4.6	5.3	6.3	7.1	8.6
Cell size factor "a" [B]	8.0	6.0	4.4	3.6	3.0	2.5
Cell size [μm^2] [C]	0.26	0.10	0.044	0.018	0.0075	0.0031
	=0.36×0.72	=0.26×0.39	=0.2×0.22	=0.14×0.13	=0.1×0.08	=0.07×0.04
Storage node size [μm^2] [D]	0.097	0.034	0.012	0.0039	0.0013	0.0003
	=0.18×0.54	=0.13×0.26	=0.1×0.12	=0.07×0.06	=0.05×0.03	=0.035×0.01
Capacitor - Structure - Dielectric material	Cylinder MIS Ta_2O_5	Pedestal MIM Ta_2O_5 [Note U]	Pedestal MIM BST	Pedestal MIM epi-BST	Pedestal MIM ???	Pedestal MIM ???
Dielectric constant	22	50 [Note U]	250	700	1500	1500
SN height H [µm]	0.95	0.84	0.71	0.42	0.28	0.35
Cylinder factor [E]	1.5	1.0	1.0	1.0	1.0	1.0
Roughness factor	1.0	1.0	1.0	1.0	1.0	1.0
Total capacitor area [μm^2]	2.20	0.69	0.32	0.11	0.04	0.031
Structural coefficient [F]	8.5	6.8	7.4	6.2	5.8	10.1
t_{eq} at 25fF [nm] [G]	3.0	0.95	0.45	0.15	0.060	0.043
t_{phy} at 25fF [nm] [H]	11.5	12.2	28.7	27.2	23.0	16.4
A/R of SN (OUT) for cell plate deposition [I]	6.0	8.0	16.7	26.9	68.8	162.7
HAC diameter [µm] [J]	0.22	0.16	0.12	0.08	0.06	0.04
Total interlevel insulator and metal thickness except SN [µm] [K]	1.05	0.95	0.85	0.77	0.69	0.62
HAC depth [µm] [L]	2.00	1.79	1.56	1.19	0.97	0.97
HAC A/R	9.3	11.4	13.0	14.1	16.1	23.1
V_{dd} [V] [M]	1.8	1.5	1.2	0.9	0.6	0.5
Retention time [ms] [N]	128	256	512	1024	2048	4096
Leak current [fA/cell] [O]	0.527	0.220	0.088	0.033	0.011	0.005
Leak current density (nA/cm^2)	24.0	31.9	27.1	30.0	25.4	14.8

表 35　DRAM スタックキャパシタ技術に対する技術的要求

YEAR TECHNOLOGY NODE	1999 180 nm	2002 130 nm	2005 100 nm	2008 70 nm	2011 50 nm	2014 35 nm
Leak current density (nA/cm^2)	24.0	31.9	27.1	30.0	25.4	14.8
Deposition temperature [°C]	~ 500	~ 500	< 500	< 500	< 500	< 500
Film anneal temperature [°C]	~ 800	~ 750	< 750	~ 650	< 650	< 650
DRAM Gox [nm] [P]	6	5	4	3	2	1.5
C_{gate} [F/cell] [Q]	1.9×10^{-16}	1.2×10^{-16}	8.6×10^{-17}	5.6×10^{-17}	4.3×10^{-17}	2.8×10^{-17}
Wordline Rs [Ω/□] [R]	10	8.3	6.7	5.0	3.3	2.5
$C_{bitline}$ (S)	1	0.79	0.62	0.49	0.39	0.30
Bitline Rs [Ω/□] [T]	10	8.8	9.0	6.9	5.3	4.0

Solutions Exist □ *Solutions Being Pursued* ▭ *No Known Solutions* ▭

表 35　DRAM スタックキャパシタ技術に対する技術的要求（続き）

表 35 DRAM のスタックトキャパシタに対する要求の注釈

[A] DRAM chip size model (PIDS)

[B] a = (Cell size)/F^2　(F：最小形状寸法)

[C] Cell size = a*F^2　(セル短辺 =2F)

[D] SN size =(a/2 -1)*F^2　(蓄積電極短辺 = F)

[E] シリンダ構造を取った場合、キャパシタ面積を 1.5 倍にする.

[F] SC = (total Capa area) / (Cell size)　SC:構造係数

[G] teq=3.9*E0*(total Capa area)/25fF

[H] t phy. = teq*Er/3.9　t phy. =(teq-1)*Er/3.9　蓄積電極にポリシリコンを用いた場合.

[I] A/R of SN (OUT) = (SN height) / (F - 2* t phy.)　蓄積電極の外側のアスペクト比

[J] HAC diameter =1.2*F　(HAC : High Aspect Contact)

[K] 層間膜の膜厚を 180nm 世代で 1.05μm とおき各世代で 10%薄膜化する.

[L] HAC 深さ = SN 高さ + 層間膜と配線膜厚

[M] PIDS Table 14　Min. Logic Vdd (V) (desktop)

[N] DRAM Retention time (PIDS)

[O] (Sense Limit*C*Vdd/2) / (Retention Time * MARGIN)
(センスアンプの限界を電荷が 30%リークしたときとしマージンを 100 倍とる.)

[P] FEP Table 22A　Equivalent oxide thickness Tox(nm) DRAM

[Q] Gate Area =F^2

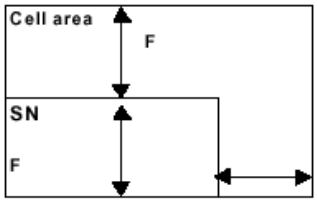
[R] ワード線の Rs を 180nm 世代で 10ohm/sq. と仮定し、(Word Line R)*(Cgate)が各世代同じワード線長さで一定とする.

[S] ビット線容量は F^2/3 に比例する. ; A.Nitayama et al., IEDM Technical Digest, pp.

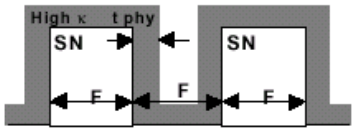
355-358, 1998.

[T] ビット線 Rs を 180nm 世代で 10ohm/sq. と仮定し、 (Bit Line R)*(Cbitline)がビット線につくセルが各世代 1.4 倍になっても一定とする

[U] Koichi Kishiro et al. Jpn. J. Appl. Phys. Vol. 37 (1998) pp. 1336-1339



(C)(D) Cell area and Projected SN area



(I) A/R of SN (OUT)

これまでメガビット世代ではキャパシタの容量絶縁膜材料は SiO2/Si3N4 複合膜を用い、蓄積容量電極構造を 3 次元化することでこの容量を維持してきた。しかしながら、180nm 世代ではこれらの方法では上記容量値を確保することが困難となる。このために容量絶縁膜として、新たな高誘電体材料が導入され始める。まず比誘電率が 50 程度の Ta2O5 が採用される。蓄積電極として従来通りのポリシリコンが用いられた場合、電極構造を三次元化する自由度は大きいものの Ta2O5 の後酸化処理時に界面にシリコン酸化膜が成長することにより実効的な比誘電率は 22 程度に減少する。一方、蓄積電極に Ru や Pt などの金属が用いられた場合、この界面酸化膜の介在がなくなることと Ta2O5 の結晶配向性が向上することにより 50 以上の比誘電率を得ることができる。このため、130nm 世代では MIM(金属・絶縁膜・金属)構造が採用され始める。図 22 参照。

130nm 世代では、耐酸化性の問題と誘電体膜構造を良くするために膜蓄積電に Pt、Ru、RuO2、IrO2 などの金属又は金属酸化物が採用され始める。プロセス中のサーマルバジェット(thermal budget)の観点からは、キャパシタ膜を含めこれらの膜は CVD 法を基本とする 500℃程度の低温で堆積される。しかしながら後酸化処理温度はこれより高温であるため、ビット線材料に金属が用いられる場合はこの温度を 650℃程度まで下げる必要がある。

世代ごとに厳しくなるキャパシタ膜のリーク電流の要求を満たすために、このような低い温度で高品質な膜を形成するプロセスを開発することが大チャレンジとなる。また、バックエンドプロセスのプラズマダメージや還元雰囲気プロセスが高誘電体膜を劣化させないプロセス構築が要求される。

100nm 世代では、蓄積電極や HAC (high aspect contact hole)のアスペクト比増大を抑えるために、誘電率が 250 程度と高い BST 等の高誘電体材料が必要となる。

また、100nm 以降の世代では、適切な DRAM チップサイズを得ようとすると、セルサイズは 5F^2 以下にする必要がある。このためオープンビットラインセル、クロスポイントセルレイアウトをはじめ多値回路までもが必要となるであろう。

70nm の世代では、さらに誘電率の高い BST エピタキシャル膜等の新しい材料の研究開発が必

要と考えられる。しかしながら、上記のような高誘電体膜材料の開発に成功しても誘電体膜形成後の蓄積電極のアスペクト比が上部電極形成プロセスの限界を超え、キャパシタを形成できなくなる可能性が指摘されている。そこで、材料、プロセス的なアプローチ以外に、蓄積される電荷量によらないゲインセルのような新しいデバイス構造が試される必要がある

50nm 世代でキャパシタ膜に必要な比誘電率は 1500 程度と予想される。現在、DRAM に適応できる薄膜の高誘電率の材料は開発されていない。“super high k”を持つ革新的な高誘電体材料の探索または、強誘電体を用いた DRAM が試みられる必要がある。

70nm 世代以降、セルのリーク電流がほぼ変わらないのにリテンション時間が“赤”となっている。この世代では接合リーク電流がリテンション時間を支配するようになると考えられ、SOI 基板を用いた DRAM を考えなければならないかもしれない。

一方、DRAM を混載した SoC に要求されるプロセス仕様は、メモリ/ロジックの構成比により異なってくる。キャパシタ容量への要求は汎用 DRAM ほどには厳しくないと考えられる。SoC における大チャレンジの一つは、コンタクトホール形成である。一般に、DRAM のコンタクトホール深さは、同世代のロジックと比べて著しく深く、極端なアスペクト比増大を避けるためホール径を拡大せざるを得ない。これにより、同世代ロジックと同じ配線ピッチを実現することが困難となる。したがって、ロジックを優先させた SoC では、コンタクトのアスペクト比を低減させるため、セル面積の拡大によりキャパシタ高さを抑えるなどの工夫が必要になってくる。一方、DRAM を優先させた SoC では、DRAM のホール径に応じたロジックの配線ピッチを設定しなければならない。このトレードオフを脱却するためには、汎用 DRAM 以上に材料やデバイス構造からのブレークスルー(breakthrough)が求められる。

Year	*1999*	*2002*	*2005*	*2008*	*2011*	*2014*
Technology Node	*180 nm*	*130 nm*	*100 nm*	*70 nm*	*50 nm*	*35 nm*
Upper Electrode (A)	poly-Si	TiON / TiN	metal			
High κ Dielectric	ON	Ta_2O_5	BST, STO	Epi-BST	super high κ	
Bottom Electrode (A,B)	poly-Si	metal	perovskite	tbd		

(A) Metal : W, Pt, Ru, RuO_2, IrO_2
(B) Perovskite : $SrRuO_3$ [30]

図 22　DRAM スタックキャパシタ膜の解決策候補

国際半導体技術ロードマップ 1999 年版

DRAM トレンチキャパシタ

表 36 に DRAM のトレンチキャパシタ技術に対する要求を示す。各数値はキャパシタの容量値が 35fF/cell(セル) と一定に保ち続けられると仮定して計算されている。100nm を含む世代までは、トレンチキャパシタ技術は従来通りの NO 誘電体膜のスケーリングとボトル形状等の表面積の拡大によって達成できる。グランドルールの縮小に伴い 100nm 世代ではトレンチ幅に対するトレンチ深さのアスペクト比は～60 程度に増大すると考えられる。新たな high-k 材料は 70nm 世代までは必要無いと予想されている。

SoC に対してはキャパシタが基板中に埋め込まれるトレンチキャパシタ技術では、DRAM セルアレイとロジック回路の遷移領域の段差が生じない。このため多層配線のメタル線幅の細りやリソグラフィの解像度低下の問題を防ぐことができる。また、深いハイアスペクトコンタクトホールへの要求も避けることができる。加えてキャパシタ形成プロセスがトランジスタ形成に先立って行われるため、キャパシタ形成の熱サイクルによるデバイス性能の劣化が起こることはない。

新しいチップサイズモデルによるセルサイズファクタのスケーリングは、レイアウトと各 DRAM セルエレメント面積のより一層の最適化を要求する。これは、従来からのプレーナ構造のトランジスタから縦方向トランジスタへの置き換えや、キャパシタ構造の更なる高アスペクト比化による蓄積電極の縮小等の検討を意味する。最終的にリソグラフィによるビットラインとワードラインピッチを持つ全ての DRAM 技術は、それぞれのメタルピッチの2F で規定される理論的な限界セルサイズ 4F^2 に達する。より小さなセルサイズファクタは多値回路や多層 DRAM などの新しいコンセプトが必要である。このような根本的な挑戦に対して現在解は知られていない。

YEAR *TECHNOLOGY NODE*	*1999* *180 nm*	*2002* *130 nm*	*2005* *100 nm*	*2008* *70 nm*	*2011* *50 nm*	*2014* *35 nm*
Storage node area, top view [(DRAM ½ pitch) ^{2}]	2	2	2	< 2	< 2	< 2
Trench structure	conventional	bottled	bottled	bottled	tbd	tbd
Trench area enhancement factor	1	1.5	2	2	1.5	1.5
Capacitor dielectric equivalent oxide thickness (nm)	4.5	3.5	3.2	1.5	1	1
Trench depth [µm], (at 35fF)	6–7	5–6	5–6	4–5	4–5	5–6
Aspect ratio (trench depth/trench width)	30–40	40–45	50–60	60–70	> 70	> 100
Upper electrode	Silicon	Silicon	Silicon	Metal	Metal	Metal
Dielectric material	NO	NO	NO	High κ	High κ	High κ
Bottom electrode	Silicon	Silicon	Silicon	Silicon	Metal	Metal

Solutions Exist □　　*Solutions Being Pursued*　　*No Known Solutions*

表 36　DRAM トレンチキャパシタ　技術的要求

8－3－5 環境・安全・健康 （Environment, Safety, and Health: ESH）

FEOL(Front End of Line)プロセスにおけるESH関連の重点項目は、ゲート絶縁膜/電極のための新材料開発、天然資源の消費（特に水）の抑制、作業者への物理的・化学的危険性の管理と安全確保、そしてプロセスを最適化して化学薬品の消費量や削減が必要な排出物発生を抑えることである。100nm 技術そしてそれ以降の技術にむけた新材料（そのための CVD 原料、洗浄方法、エッチングガスも含む）は ESH の観点から見直す必要がある。

世界的なESH問題はFEOLプロセスのすべての分野に影響するものである。化学物質管理方針の第一は、化学物質の使用効率を最大限にするようにプロセスを最適化することである。化学物質使用効率の改善にあたっては、化学物質の使用量、廃棄物の生成量、有害物質の除害、そして化学物質を使用する装置の使用効率も含めて考えなくてはならない。必要なときにその場で化学物質を生産する方法は使用効率向上につながる。新しい技術の導入に際しては、装置と設備に必要なエネルギーを見積もることが必要である。熱プロセス、ウェーハ洗浄、そして排気設備は、エネルギー消費抑制の観点から重要な領域である。既設の熱プロセス装置ではエネルギー消費量を測定することができるので、特にウェーハ処理を行なっていないアイドリング状態において測定結果を利用してエネルギー消費を抑制するようにプロセスを最適化することが可能であろう。測定されたエネルギー消費データは、装置と設備の設計改善に役立つだろう。エネルギー効率をさらに向上させるには新規な加熱方法が必要となるかもしれない。ウェーハ洗浄では加熱された化学薬品や超純水を使用する。新しいエネルギー効率のよい加熱技術も将来の生産装置では必要となるだろう。プロセス機器の排気もクリーンルームでのエネルギー消費の大きな部分を占めている。現状の排気システムの改良そして将来の設備と装置の排気・換気システム設計の改善によりエネルギー消費を抑えることが可能となるだろう。作業者保護基準には可能性のある物理的危険性（例えば、熱災害、非電離放射線災害(物質を電離しない程度の比較的低エネルギーの電磁波や粒子線による災害)、レーザ災害、ロボット災害）と化学的災害について規定が必要である。特に装置メンテナンスに際しては規定がいる。工場計画では、ウェーハ作業（特に 300/450mm ウェーハについて）、装置、工場レイアウトについてエルゴノミック（人間工学的）な設計基準が満足されているか確認する必要がある。ESH の COO とリスクアセスメントのツールを利用して、プロセス改善の評価を行ない、また新材料が引き起こす可能性のある危険性を確認することが必要である。

表面処理に関して、ESHとしては特に新しい洗浄技術、化学薬品の使用効率、水とエネルギーの消費に注意する必要がある。2005 年以降に使用される可能性がある新しいゲート絶縁膜/電極に対応して、新しい洗浄方法が用いられるだろう。表面/界面科学の理解を深めて化学薬品と水の消費を抑えなければならない。FEOLプロセスは工場の超純水の45-75%（CMP工程の数による）を消費している。この超純水のほとんどすべてがリンス用である。したがって、水資源保護のためには、より効率的で低水量のリンス工程を開発すべきである。しかし、リンス水の削減とリンス排水の再利用は関連しており、総合的に最適化する必要がある。超純水製造効率の向上、装置で消費される水の削減そして効率的なリンス方法を採用した持続的な最適化した水利用法が開発されつつある。しかし、まったく別な洗浄法や超純水製造法でエネルギー消費を格段にさげることも考えるべきである。低レベルの有機物を検知するセンサーの開発も超純水リサイクルによるプロセス汚染の危険性を低減化するために必要である。

SOI ウェーハの採用は工程数削減、薬品・水・エネルギーの削減により ESH 的利点があるかもしれない。大口径ウェーハへの移行（200→300mm、300→450mm）は、薬品・水・エネルギーの消費を増大させないような産業界の努力がなされているが、やはりこれらの消費増大をもたらすだろう。

新しい高誘電率材料については材料自体とそれを堆積する工程の両者に対してプロセス危険性を評価する必要がある。新しいシリサイド（Co, Ni, 他）は危険である可能性があり、工学的な管理や適当な安全保護具が必要である。化学物質の使用効率は、供給系や装置設計の変更（ミニバッチ炉や枚葉装置）で改善することができる。拡散、イオン注入および付帯設備のエネルギー消費も評価し節減する必要がある。新しいドーピング技術の物理的・化学的危険性も評価して安全に実施する必要がある。プロセス危険物分析手段を利用して水素化物、アルキル金属、レーザ源の管理を行なうとよいだろう。

プラズマエッチにおいてパーフロロカーボン（PFC）を使いつづけるならプロセス最適化とガス使用効率向上（例えばプロセス中のエッチング種への転換効率の向上）を短期的に行なう必要がある。長期的には PFC に替わるエッチングガス（副生物としても PFC を発生させないもの）を開発する必要がある。新しいゲート絶縁膜材料には新しいエッチングガスが必要であり、それ自身や副生成物についての ESH への影響も考慮しなくてはならない。

分野	ESH 要望事項	解決策候補
新しい高誘電率 ゲート絶縁膜材料と ゲート電極材料	・新材料と堆積プロセスの ESH 評価 ・Pb 等の毒性・生体蓄積性のある金属の除外 ・化学物質使用効率の向上	・ESH 的観点で優れたプロセスの採用 ・プロセス危険性の明確化と低減化 ・開発初期における新材料の迅速 ESH 評価 ・CVD 等の堆積法の原料についての ESH 問題の明確化
ドーピング	・水素化物,ハロゲン化物の使用量削減 ・化学物質使用効率の向上	・SDS (Sub-atmospheric/Safety Delivery System,ボンベ内の多孔質材料に吸着させたガスを大気圧以下で安全に供給するシステム）の利用拡大 ・in-situ 水素化物生成によるガス量節減 ・装置内隔離による装置メンテナンス時の暴露防止
表面処理法	・表面/界面プロセス科学の基本的な理解 ・最適化と管理による薬液使用量の節減 ・水利用効率の向上 ・エネルギー消費の節減	・クライオジェニック洗浄,超臨界液体洗浄,オゾン洗浄,希釈薬液洗浄等の洗浄法最適化による化学薬品使用量節減 ・リンス効率の向上とリンス手順最適化による水使用量節減 ・有機物低レベル検知高速センサーによる超純水再利用のプロセス危険性の低減化 ・プロセス部の封入,エルゴノミックな設計,ロボット安全性による作業者の安全確保

表 37 フロントエンドプロセスにおける ESH 要望事項と解決策候補

分野	ESH 要望事項	解決策候補
エッチング/クリーニング	・CVD チャンバークリーニングおよびエッチング時における地球温暖化の影響が高いガス(PFC 等)の放出量削減 ・ESH 的観点から好ましいエッチングガスの選択 ・エネルギー消費の削減	・チャンバークリーニングとエッチング工程の最適化による PFC 利用効率の向上 ・低 COO の PFC 削減・再利用システムの開発 ・PFC のような地球温暖化効果の大きい副生成物を出さず ESH 的観点から好ましいエッチングガスとチャンバークリーニング法の開発 ・予測性の高いプラズマ放射モデルの開発 ・新しいエッチングガスの ESH 問題の明確化 ・PFC のような地球温暖化効果の大きい副生成物を出さず ESH 的観点から好ましい HDP(高密度プラズマ)エッチング法の開発 ・HDP エッチャーのエネルギー消費の削減 ・装置におけるエネルギー消費の測定と最適化 ・すべての減圧工程における真空ポンプのエネルギー消費削減
スターティングマテリアル	・SOI ウェーハの採用による工程数削減効果の解析	・化学物質使用量削減の定量化
熱プロセス	・ウェーハ熱処理連続化の必要性 ・高精度で均一なウェーハ加熱の必要性	・既存の熱プロセスの最適化 ・エネルギー効率の良い新加熱技術
加熱ウェーハ洗浄	・加熱薬液洗浄と熱超純水リンスの必要性	・エネルギー効率の良い新加熱技術
換気/排気の必要性	・作業者安全とプロセス中ウェーハ保護のための換気/排気	・換気/排気の測定と最適化 ・設計の改善による換気/排気必要性の低減化
ウェーハ洗浄/リンス	・水使用量の少ないリンスプロセス	・新しいリンス装置とリンス技術 ・リンス手順と時間の最適化

表 37 フロントエンドプロセスにおける ESH 要望事項と解決策候補(続き)

8－4 まとめ

この国際ロードマップは、新しい材料とデバイス構造を積極的に取り入れなくては従来の CMOS スケーリングが終焉を迎えることを明確にした。 2005 年までに積層ゲート形成に用いられる高誘電率ゲート絶縁膜/電極用に従来のシリコンプロセスに適合する材料を選定し導入することが、FEOL プロセス、特に熱処理/薄膜プロセスにおける緊急の課題である。これらの新材料によってもこのロードマップで述べられた時間軸内のスケーリングが保証されるものではないが、結局のところ新しいデバイ

ス構造の採用と合わせて2つのテクノロジーノードの実現が可能となるだろう。さらに、このような新しいシリコンプロセスに適合する材料を導入することにより、新材料を使いこなすことが容易となり、将来のスケーリングに必要な新しい概念のデバイスで用いられる新材料も導入可能となるだろう。

新しい高誘電率膜とそれに対応する電極は DRAM のストレージキャパシタでも必要である。これらなしでは DRAM のストレージノード面積をスケーリングしていくことができない。長期的にメモリのスケーリングを続けていくには、現在用いられている従来型の積層キャパシタやトレンチキャパシタを置き換える新しいストレージキャパシタが必要となるだろう。

ドーピングにおいて、2005 年までの短期ロードマップで、極めて浅く急峻な不純物接合の形成が必要とされている。また、コンタクト接合部やデュアルドープのポリシリコンゲート電極において熱平衡不純物濃度より非常に高い濃度の不純物活性化を達成することも必要である。これらの目標が達成されれば、SiON 膜をゲート絶縁膜として採用することにより短期的なデバイススケーリングの継続が可能となる。長期的ロードマップでは、デュアルメタルゲート電極を含む高誘電率積層ゲートの CMOS-LSI に対応する低サーマルバジェットプロセスで、高濃度不純物活性化を達成したエレベートコンタクト構造の実現が重要なチャレンジ項目である。

エッチングにおいて、将来のチャレンジ項目は CD（クリティカルディメンション）の縮小化と新材料（メタルゲートと高誘電率材料）によって大きく影響される。FEOL エッチング技術の最も重要なチャレンジ項目は、ウェーハが大口径化しても CD の変動や均一性悪化を引き起こさないようにすることと、新材料においても必要な選択性と加工形状を得ることである。加えて、ラインエッジラフネスの抑制も総合的なトランジスタ性能を実現する上で重要になっていくだろう。

表面処理において、短期的なチャレンジは洗浄後のパーティクル汚染,元素汚染,構造欠陥を低コストで低減化していくことである。長期的には、将来必要とされる新しい高誘電率ゲートやエレベートコンタクトを含むデバイスの CMOS 工程で採用される新プロセスアーキテクチャに適合するようなウェットとドライを統合化した洗浄法の開発がチャレンジに含まれる。

スターティングマテリアル(starting materials)におけるチャレンジ項目は、将来の大口径ウェーハで低コスト化を実現することである。加えて、これまで Moore 則にそって向上してきた性能と生産性を引き続き改善するために必要となるかもしれない SOI ウェーハのような新しいスターティングマテリアルもチャレンジ項目である。

以上のような材料やプロセスへの要求事項が本節で明確に述べられている。必要とされるプロセス開発や製造工程からの要望事項を実現するには、大学/国立研究所/半導体デバイス産業/半導体製造装置産業の努力を融合させることが必要である。これは特に SoC において重要なチャレンジ項目である。SoC においてはロジック/エンベティッドメモリ（DRAM, FeRAM, フラッシュ等）/アナログ/RF/その他のデバイス技術を統合化しなければならず、非常に複雑なチャレンジとなる。新しく開発される材料やプロセスは SoC に適合するものでなくてはならない。

2008 年以降の長期ロードマップにおいて本節で述べられた予測によると、MOS トランジスタのスケーリングはまだ可能であろうが、それによって製造されるデバイスは期待される低電圧高速 IC チップの要求項目を満足するものではなくなるだろう。スケーリング則は基本的物理的限界により終焉を迎えるだろう。基本的物理的限界までチップレベルのスケーリングを継続するためには革新的な概念の

デバイスを開発する必要があるだろう。近い将来に開発される材料の知識基盤により、新しい概念のデバイスが発明される領域が大きく広がることも予測されている。

結論として、新しい材料やプロセスは未来への完全な解決策ではないが、いずれにせよ必要とされるものであろう。産業界は 20 世紀に発展した知識基盤から最適解を絞り出してきた。しかし、20 世紀の知識基盤には限りがあり、新しい知識基盤が必要とされる時期が来ている。新しい解決策を開発し、使いこなさねばならない時期が来ている。FEOL プロセスの領域において、来るべきチャレンジに適合する積極的な時間軸で新しい方策が必要とされるだろう。本節で述べられたチャレンジ項目は実際チャレンジングなものである。現在用いられている材料やデバイスには基本的限界が近づいているが、新しい材料やデバイスはそれから逃れられるかもしれない。

このチャレンジに対応するよう、従来からの開発方法や新しい知識基盤の開発に加えてリスクの高いアプローチも必要とされる。このためには産業界/大学/研究機関の国際的協力が必要とされるだろう。