

10. 配線

10-1 スコープ

1994年のNTRS(National Technology Roadmap for Semiconductor)の配線技術の章では、予想される技術的要求全体を満たすための新しい配線金属と絶縁膜への最初の要求が示された。NTRSの1997年版では、Cuを使ったチップの開発導入が差し迫っていた。1999年版NTRSでは、かつてないペースで導入されつつある新材料の継続的開発が注目される。さらに、依然としてメモリーデバイスが最小寸法を争うテクノロジードライバーではあるものの、チップ分類としてのシステムオンチップ(SoC)の出現が増大する複雑さとデザインルールの縮小化を牽引すると予想される。当面の挑戦的技術が挙げられているが、これらは急速に立ち上がる材料導入とそれに伴う複雑さを反映している。長期的にみると、従来型のスケーリングに伴う材料革新ではもはや性能要求を満たせなくなっている。回答は、設計・実装の斬新な開発努力とあいまった垂直配線インテグレーション、あるいは光とか無線(RF)を使った革新的配線技術の中にあるであろう。

配線あるいはワイヤリングシステムの役目はチップ上のさまざまな回路やシステムに、同期などの信号を伝達したり、電力とか接地ラインを供給することである。現状の最先端ロジックプロセッサは6-7層の高密度配線を使用しており、メモリーは3層を使用している。同期と他の信号は3種類の配線で行われる(ローカル配線、中間配線、グローバル配線)。ローカル配線というのは、非常に薄い線で作られ、チップ内の機能ブロック(エンベデッドロジックやキャッシュメモリー、アドレスアダー)とか機能セル内でゲートとかトランジスタを接続する配線である。ローカル配線は普通幾つかのゲートと1層目、また多層配線では時には2層目の金属配線を接続する。中間配線は同期信号とか他の信号を機能ブロック内で3-4mmの配線で伝える役目をする。中間配線はローカル配線より広く高くできており、より低い抵抗の同期と信号のための配線となる。グローバル配線は機能ブロック間の同期信号とか他の信号を伝えるほか、電力供給と接地のラインとしてチップ内の全てのブロックをつなぐ。グローバル配線は配線上部の1層目あるいは2層目にあり、長さとしては4mmを越えてチップ周辺長の半分になることもある。

10-2 技術的要求

配線に対するより適切な記述をするために、near term(1999-2005)、long term(2008-2014)での技術的要求および解決策候補がMPU(micro-processor unit),DRAM(dynamic random access memory),SoC(system on a chip)に分類して示されている(Table46-Table48)。MPUに対しては、現在広く採用されている階層的スケーリング法を前提としており、配線ピッチ、アスペクト比はローカル配線、中間層配線、グローバル配線で区別して示している。CuおよびLow-K材料の導入は特に中間層のスケーリングを可能にし、配線遅延の影響を極力少なくすることに寄与する。Fig.27に将来のローカル配線、グローバル配線の配線遅延の推移を示す。ローカル配線層での配線遅延に関しては、従来通りのスケーリングによる影響は比較的少ない。RC遅延への影響はグローバル配線におけるものが支配的で全体としての性能向上のためには、材料の変化だけでは対応できない。グローバル配線での配線遅延を緩和するためにはリピータを導入することが有効であるが、一方でリピー

タの導入は消費電力の増加、チップサイズの増加を余儀なくする。

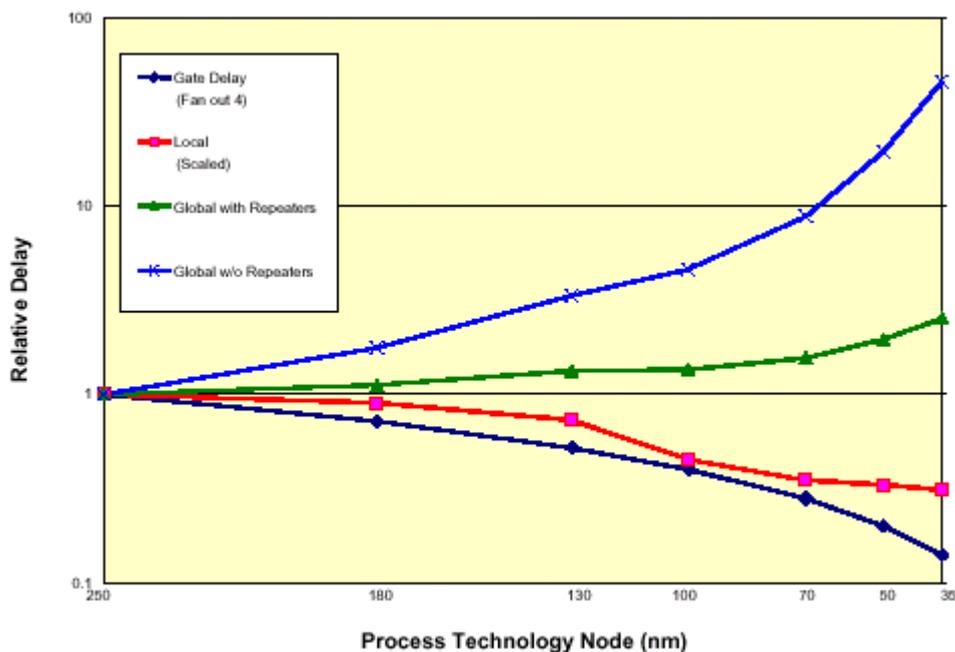


図 27 ローカル配線およびグローバル配線のディレイと加工寸法の関係

Long term では、従来技術での性能向上の限界を乗り越えるためには、まったく新しい設計手法や平面ウェーブガイド、自由空間 RF、光配線などの新しい技術的な解が必要とされる。また、動作周波数が高くなるとインダクティブな効果がより重要になってくる。ここでは、インダクティブな効果をシールドするための余分な配線層やグラウンドラインが必要とされるかも知れない。さらに、電源電圧のスケーリング(低電圧化)に伴い、すべてのクロック配線、信号線におけるクロストークが大きな問題となってくる。Near term での解としては、メタル配線の配線厚を薄くし、配線間の容量を低くするという方法がとられる。この方法は、Al 配線においては配線膜厚を薄くすることで抵抗を犠牲にしなければならないが、Al から抵抗の低い Cu にすることでこの犠牲を少なくできる。1997年版に比較し、1999年版ロードマップでは、配線間の容量の低減化を過剰な Low-k 膜の低誘電率化によらず、上記配線膜厚を減少させる設計を考慮して作成されている。この層間膜の Low-k 化に対する要求の緩和は、インテグレーションが困難な Low-k 膜のダマシオン配線への導入時期に猶予を与えることになる。

MPU は多くの配線層数を用いる。設計者は、配線遅延の影響をなるべく少なくなるように、Fig.28 に示すように一般的に上層に行くほど配線ピッチと配線膜厚を大きくする階層設計を行う。

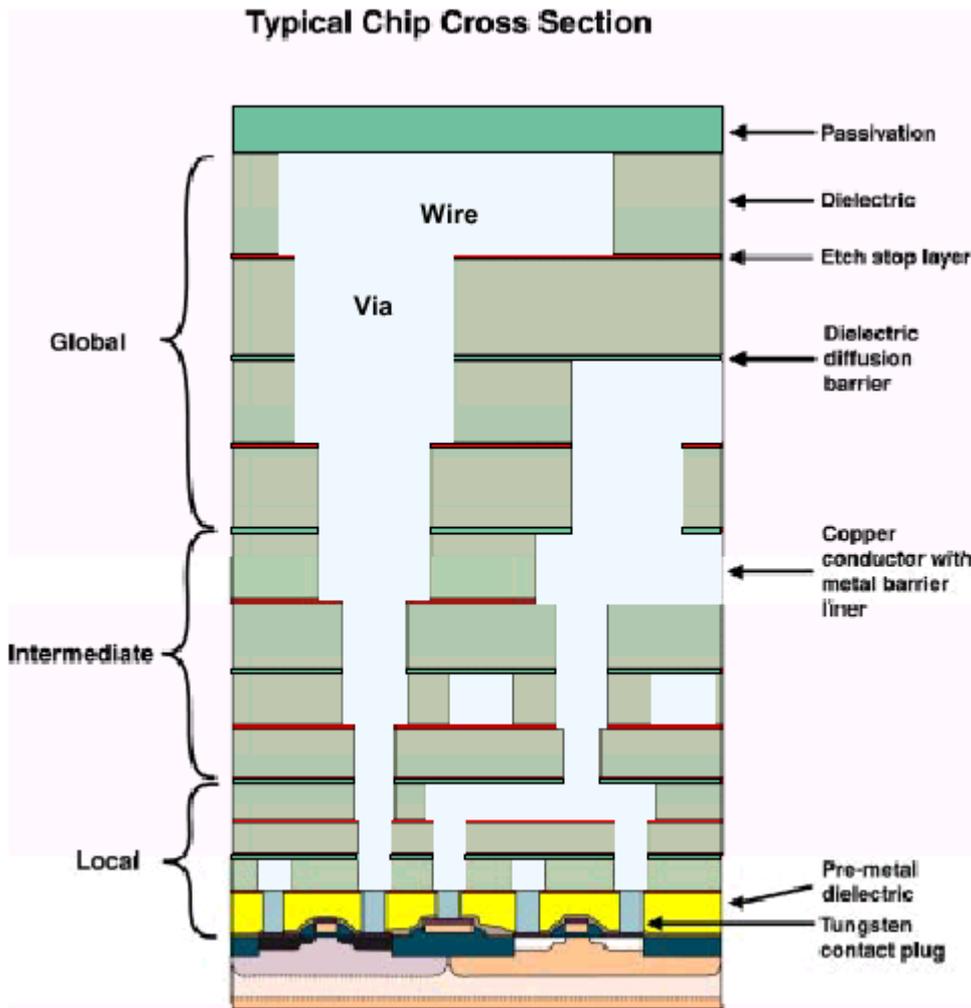


図 28 階層的スケージングの断面図

グランド電極やチップ上に設けるデカップリングキャパシタへの要求に対応するためにさらに配線層数は増加することになる。Cu 配線のアスペクト比は Al に比較して小さくなる。これは、配線間の容量を低減させることになるが、同時に配線抵抗を上昇させる。グローバル配線でのアスペクト比は Al の場合も Cu の場合もほぼ同じ程度になると予想される。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
MPU ½ pitch	230	210	180	160	145	130	115
MPU gate length (nm)	140	120	100	85	80	70	65
Number of metal levels	6-7	6-7	7	7-8	8	8	8-9
Number of optional levels— ground planes/capacitors	0	0	0	2	2	2	2
Jmax (A/cm ²)—wire (at 105°C)	5.8E5	7.1E5	8.0E5	9.6E5	1.1E6	1.3E6	1.4E6
Imax (mA)—via (at 105°C)	0.36	0.36	0.33	0.32	0.29	0.27	0.24
Local wiring pitch (nm)	500	450	405	365	330	295	265
Local wiring A/R (for Al)	2	2	2.1	2.1	2.2	**	**
Local wiring A/R (for Cu)	1.4	1.4	1.5	1.5	1.6	1.6	1.7
Cu local dishing (nm), 5% × height	18	16	15	14	13	12	11
Intermediate wiring pitch (nm)	640	575	520	465	420	375	340
Intermediate wiring A/R (Al)	2.2	2.3	2.4	2.5	2.6	**	**
Intermediate wiring dual damascene A/R (Cu wire/via)	2.0/2.1	2.1/2.1	2.2/2.1	2.2/2.1	2.2/2.2	2.3/2.2	2.4/2.2
Cu intermediate dishing (nm), 15 micron wide wire, 10% × height	64	60	57	51	46	43	41
Dielectric erosion (nm), intermediate wiring, 50% areal density, 10% × height	64	60	57	51	46	43	41
Minimum global wiring pitch (nm)	1050	945	850	765	690	620	560
Global wiring A/R (Al)	2	2.1	2.2	2.3	2.4	**	**
Global wiring dual damascene A/R (Cu wire/via)	2.2/2.4	2.3/2.6	2.4/2.7	2.5/2.7	2.6/2.8	2.7/2.8	2.7/2.8
Cu global wiring dishing (nm), 15 micron wide wire, 10% × height	116	109	102	95	90	84	76
Conductor effective resistivity (μΩ-cm) Al wiring	3.3	3.3	3.3	3.3	3.3	**	**
Conductor effective resistivity (μΩ-cm) Cu wiring*	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Barrier/cladding thickness (for Cu wiring) (nm)***	17	16	14	13	12	11	10
Interlevel metal insulator —effective dielectric constant (κ)	3.5–4.0	3.5–4.0	2.7–3.5	2.7–3.5	2.2–2.7	2.2–2.7	1.6–2.2

* Assumes a conformal barrier/nucleation layer

** This technology is not expected to extend to this node

*** Calculated for a conformal layer in local wiring to meet minimum effective conductor resistivity

Solutions Exist

Solutions Being Pursued

No Known Solutions

表 46a MPU の配線に関する技術的要求 — 短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
MPU ½ pitch	80	55	40
MPU gate length (nm)	45	32	22
Number of metal levels	9	9-10	10
Number of optional levels – ground planes/capacitors	3	4	4
Jmax (A/cm ²)—wire (at 105°C)	2.1E6	3.7E6	4.6E6
I _{max} (mA)—via (at 105°C)	0.18	0.16	0.11
Local wiring pitch (nm)	185	130	95
Local A/R (for Cu)	1.9	2.1	2.3
Cu local dishing (nm), 5% × height	9	7	5
Intermediate wiring pitch (nm)	240	165	115
Intermediate wiring dual damascene A/R (Cu wire/via)	2.5/2.3	2.7/2.4	2.9/2.5
Cu intermediate wiring dishing (nm), 15 micron wide wire, 10% × height	30	22	17
Dielectric erosion (nm), intermediate wiring	0	0	0
Minimum global wiring pitch (nm)	390	275	190
Global wiring dual damascene A/R (Cu wire/via)	2.8/2.9	2.9/3.0	3.0/3.1
Cu global wiring dishing (nm), 15 micron wide wire, 10% × height	55	38	29
Conductor effective resistivity (μΩ-cm) Cu wiring	1.8	<1.8	<1.8
Barrier/cladding thickness (nm)	0	0	0
Interlevel metal insulator—effective dielectric constant (κ)	1.5	<1.5	<1.5

Solutions Exist Solutions Being Pursued No Known Solutions

表 46b MPU 配線に関する技術的要求 — 長期

DRAM の配線技術は、Table47 に示すように、もっとも厳しい配線ピッチ、もっとも高いコンタクトのアスペクト比を要求し、またもっとも厳しい寸法制御、欠陥制御を要求する。また、DRAM においても RAMBUS のような高速のメモリー製品に対応するために 130nm 世代からは従来の SiO₂ に変わる低誘電率膜を、また 100nm 世代からは Cu 配線が要求されることになるであろう。DRAM においてはマーケットにおける価格要求との兼ね合いであり、Cu 配線を用いることが価格を上昇させることになればその導入が遅れることもありえる。すなわち、DRAM では、従来の Al 配線の改良と拡張が引き続き必要となる。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
DRAM ½ pitch	180	165	150	130	120	110	100
Number of metal levels	3	3	3	3-4	4	4	4
Contact A/R—stacked capacitor	9.3	10.0	10.7	11.4	11.9	12.4	13.0
Local wiring pitch (nm) noncontacted	360	330	300	260	240	210	200
Specific contact resistance (Ω-cm ²)	3.0E-7	2.5E-7	2.0E-7	1.7E-7	1.6E-7	1.1E-7	1.0E-7
Specific via resistance (Ω-cm ²)	7E-9	5E-9	3E-9	2E-9	2E-9	1E-9	1E-9
Conductor effective resistivity (μΩ-cm)*	3.3	3.3	3.3	3.3	3.3	3.3	2.2
Interlevel metal insulator—effective dielectric constant (κ)	4.1	4.1	4.1	3.0-4.1	3.0-4.1	3.0-4.1	2.5-3.0

* Assumes a conformal barrier/nucleation layer

Solutions Exist Solutions Being Pursued No Known Solutions

表 47a DRAM の配線に関する技術的要求 — 短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
DRAM ½ pitch	70	50	35
Number of metal levels	4	4	4
Contact A/R—stacked capacitor	14.1	16.1	23.1
Local wiring pitch (nm) non-contacted	140	100	70
Specific contact resistance ($\Omega\text{-cm}^2$)	5.0E-8	2.5E-8	1.5E-8
Specific via resistance ($\Omega\text{-cm}^2$)	6E-10	3E-10	1.5E-10
Conductor effective resistivity ($\mu\Omega\text{-cm}$)*	2.2	2.2	2.2
Interlevel metal insulator—effective dielectric constant (κ)	2.5–3.0	2.0–2.5	2.0–2.3

* Assumes a conformal barrier/nucleation layer

Solutions Exist Solutions Being Pursued No Known Solutions

表 47b DRAM の配線に関する技術的要求 — 長期

システム・オン・チップでの技術的要求では Table48 に示すように、垂直方向のスケールおよび低誘電率化は MPU とほぼ同様である。SoC の設計では、システムクロックが唯一の性能を支配する要因とはならないので必ずしも階層的なスケールリングとはならない。抵抗、キャパシタ、インダクタまたは他の SoC 素子のために付加的に必要な配線層や誘電体が記載されている。また、DRAM 混載や SoC のための受動素子に対して特別な材料やプロセスインテグレーションが要求される。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
MPU ½ pitch (nm)	230	210	180	160	145	130	115
ASIC gate (nm)	180	165	150	130	120	110	100
Number of metal levels	6	6	7	7	7–8	8	8
Number of optional levels—passive elements	1	1	2	2	4	4	4
Local wiring pitch (nm)	450	405	360	325	290	260	230
Local wiring A/R (for Al)	2	2	2.1	2.1	2.2	**	**
Local wiring A/R (for Cu)	1.4	1.4	1.5	1.5	1.6	1.6	1.7
Intermediate wiring pitch (nm)	560	505	450	405	360	325	285
Intermediate wiring A/R (Al)	2.2	2.3	2.4	2.5	2.6	**	**
Intermediate via A/R (Al)	2.8	2.8	2.9	2.9	3.0	**	**
Intermediate wiring dual damascene A/R (Cu wire/via)	2.0/2.1	2.1/2.1	2.2/2.1	2.2/2.1	2.2/2.2	2.3/2.2	2.4/2.2
Global wiring pitch (nm)	900	810	720	650	580	520	460
Global wiring A/R (Al)	2.2	2.3	2.4	2.5	2.6	**	**
Global wiring dual damascene A/R (Cu wire/via)	2.2/2.4	2.3/2.6	2.4/2.7	2.5/2.7	2.6/2.8	2.7/2.8	2.7/2.8
Interlevel metal insulator—effective dielectric constant (κ)	3.5–4.0	3.5–4.0	2.7–3.5	2.7–3.5	2.2–2.7	2.2–2.7	1.6–2.2

** This technology is not expected to extend to this node.

Solutions Exist Solutions Being Pursued No Known Solutions

表 48a SoC の配線に関する技術的要求 — 短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
MPU ½ pitch (nm)	80	55	40
ASIC gate (nm)	70	50	35
Number of metal levels	9	9-10	10
Number of optional levels—passive elements	6	6	6
Local wiring pitch (nm)	165	120	85
Local wiring A/R (for Cu)	1.9	2.1	2.2
Intermediate wiring pitch (nm)	210	145	110
Intermediate wiring dual damascene A/R (Cu wire/via)	2.5/2.3	2.7/2.4	2.9/2.5
Global wiring pitch (nm)	330	240	170
Global wiring dual damascene A/R (Cu wire/via)	2.8/2.9	2.9/3.0	3.0/3.1
Interlevel metal insulator—effective dielectric constant (κ)	1.5	< 1.5	< 1.5

Solutions Exist  Solutions Being Pursued  No Known Solutions 

表 48b SoC の配線に関する技術的要求 — 長期

Al配線は使われつつけているものの、SOG などの新材料、CMP などの新プロセスは世代に渡って継続的に導入されてきた。MPUに関して言うなら、1998年Cuが高速化の要求から導入されたが、同時にそれは新材料の導入を加速することとなった。DRAMでは配線としてはAl、プラグはWが100nmのノードまで用いられると予想され、これは、高アスペクトコンタクトや配線の組込技術の改良をドライブすることになるであろう。

ダマシンプロセスフローは製造方法に大きく依存する。Fig. 29 にいくつかの典型的な層間膜構造を示す。現在行われているCuダマシンプロセスでは、PVDを用いたTa系のバリアメタルとCuシード層を用いているが、更なるスケーリングを行うために新たな拡散防止材料やシード層の形成方法を2002年までに開発しなければならない。新たなツールやケミストリーの開発により100nm過ぎまでもCuめっきが使われることも考えられるが、微細化、高アスペクト化に対して、新たな組込技術の開発が必要と考えられる。また、配線の実効的な抵抗を上昇させないためにはより薄いバリアメタルが要求される。さらに、Cuめっきのためのシード層をコンフォーマルに形成することはより緊急度の高い深刻な問題である。CVD技術によるシード層の形成、バリア性を持つ絶縁膜などは中間的な解であるが、2008年までにはバリア層の厚さをゼロにする必要がある。

Near termでは、層間絶縁膜としては低誘電率化を、またデカップリングキャパシタにおいては高誘電率化、さらにFRAMに対して残留分極の増大がそれぞれに用いられる絶縁膜に要求される。これらの絶縁膜の熱的、機械的、電気的な特性はプロセスインテグレーションに対してきわめて厳しい要求をする事となる。また、Long termとしては、絶縁膜の高周波での絶縁膜特性が重要となるであろう。また、低損失導波路を形成するために十分な光学特性を有する絶縁材料が要求されることも考えられる。

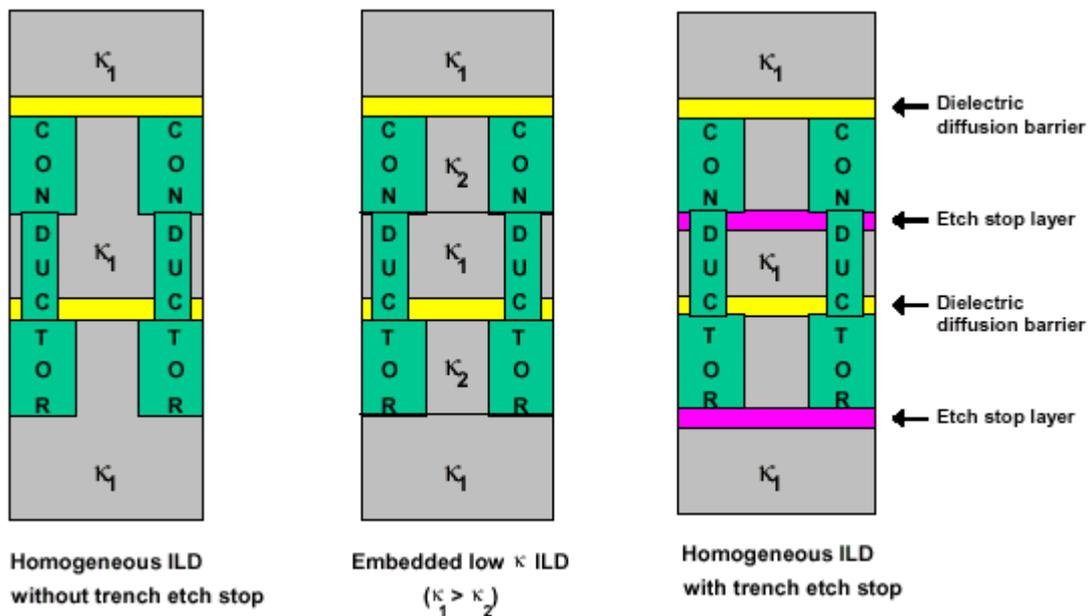


図 29 典型的な ILD アーキテクチャ

CMP においては、CMP 技術自体と CMP 後の欠陥低減化技術の継続的な改良が near term においては要求される。Long term では CMP 以外の平坦化技術が解決策候補となるであろう。

Cu の CMP においては、Cu の厚さがスケールされ、エロージョンやディッシングを極力小さくすることが要求される。また、Low- k 膜は一般に低密度で機械強度が弱いためそれに対応できる CMP 技術の開発が必須となる。また、将来のデバイスの低欠陥化に対してポスト CMP クリーニング技術の開発は重要である。また、エッチストップ層やバリア層との高い選択比を持つエッチング技術、レジスト剥離技術、ポストエッチクリーニング技術の開発も必須である。また、ゲート絶縁膜の薄膜化、新材料の導入に対して、エッチングやデポジションのプロセスでのダメージを低減化することが必須の技術である。

10-3 大チャレンジ

表 45 は、短期的 (≥ 100 nm) および長期的 (< 100 nm) な 5 つの主要課題についてまとめたものである。配線に関する短期的課題は、新しい材料やプロセスの急速な導入およびその集積化、寸法制御、配線構造の物理的/電氣的安定性、およびデバイスに影響を与えない、あるいはデバイスへの影響が小さい配線プロセスの実現である。Low- k の誘電体、CVD (chemical vapor deposition、化学蒸着) の金属/バリア/シード・レイヤ、および SoC の追加要素は、プロセスやその積層化の面で大きな問題をもたらす。配線レベルの数、接地プレーン、受動的エレメントによってインタフェース、汚染、密着性、機械的安定性、電氣的パラメータ、熱履歴が複雑化し、管理が困難となる。

<i>FIVE DIFFICULT CHALLENGES ≥100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
New materials	Rapid introduction of materials/processes are necessary to meet resistivity and low/high κ targets and address SoC needs.
Reliability	New materials create new chip reliability (electrical, thermal and mechanical) exposure. Detecting, testing, modeling and control of failure mechanisms will be key.
Process integration	Combinations of materials (Cu, Al, low κ , high κ , ferroelectrics, new barriers/nucleation layers) along with multiple technologies used in SoC applications open new integration challenges.
Dimensional control	Multi-dimensional control of interconnect features is necessary for circuit performance and reliability. Multiple levels, new materials, reduced feature size and pattern dependent processes create this challenge.
Interconnect process with low/no device impact	As feature sizes shrink, interconnect processes must be compatible with device roadmaps. Low plasma damage, contamination and thermal budgets are key concerns.
<i>FIVE DIFFICULT CHALLENGES <100 nm / BEYOND 2005</i>	<i>SUMMARY OF ISSUES</i>
Dimensional control and metrology	Multi-dimensional control and metrology of interconnect features is necessary for circuit performance and reliability.
Aspect ratios for fill and etch	As features shrink, etching and filling high aspect ratio structures will be challenging, especially for DRAM. Dual damascene metal structures are also expected to be difficult.
New materials and size effects	Continued introductions of materials/processes are expected. Microstructural and quantum effects become important.
Solutions beyond copper and low κ	Material innovation with traditional scaling will no longer satisfy performance requirements. Accelerated design, packaging and unconventional interconnect innovation will be needed.
Process integration	Combinations of materials along with multiple technologies used in SoC applications are a continued challenge. Plasma damage, contamination and thermal budgets are key concerns.

表 45 配線に関する課題

現在および将来の世代の配線技術において大きな課題となるのは、寸法の制御である。主流をなすダマシシ構造では、パターン、エッチ、および平坦化を厳密に制御することが必要となる。最大パフォーマンスを実現するためには、配線構造においてRCの増大をまねくプロフィールのばらつきを容認することはできない。このような寸法制御を実現するためには、アスペクト比の大きな構造を測定する高スループットの画像処理測定に新たな課題が課せられる。また、密着性や欠陥をインラインでモニタするための新しい測定技術も必要となる。大きなウェーハを使用したり、テスト・ウェーハの数を制限することは、その場におけるプロセス制御技術の導入をより推進する要素となる。現在の課題である寸法制御は、多孔質の Low-k誘電体や CVD 金属をはじめとする新材料が、ピッチの小さく、A/R (アスペクト比) が大きいリージョナル・レベルやグローバル・レベルで使用されるようになればさらに大きな問題となる。50 nm ノードでは、加工寸法による影響 (電子の表面拡散など) によって有効抵抗が増大するため、新たな導体技術が必要になることも考えられる。Cu や Al は引き続き将来の世代のチップへの応用が模索されるものと思われるが、グローバル配線については、RF あるいは光伝播を利用した新たな配線技術が必要になり、それによって素材やそのプロセスにおける集積化において新たな課題が発生することが予想される。

加工寸法の縮小、新素材、ダマシン構造はいずれも、オン・チップ配線の開発や製造のための測定手段を必要とする。アスペクト比が極端に大きい形状やきわめて薄いバリアに関しては、最小加工寸法の測定が必要となる。したがって、将来のチップのさらに複雑な配線レベルにも対応できる測定手段を開発することが必要である。測定に関するそのほかの課題としては、高い周波数での抵抗や誘電率、密着性、機械的特性の測定が挙げられる。

10-4 解決策候補

10-4-1 誘電体に関する解決策候補

誘電体に関する解決策候補(図 30)では、1 から >100 までの幅広い誘電率の誘電体膜材料を網羅したソリューションを示した。ここで示した κ の値はバルクに対する値で、異方性に関して平均したものである。将来の世代の技術に付いて、誘電体に関する 3 つの主要課題を予測する。

1. 可能な限り誘電率(κ)の低い誘電体膜材料の開発および統合
2. メモリや SoC 用の可能な限り誘電率の高い誘電体の開発および統合
3. Cu/Low κ 配線技術を超えるための新たな誘電体材料

これらの課題のうち、最初の 2 つの問題は詳しく定義され、ソリューションが模索されているところであるが、3 つめの問題については研究および明確化の段階にある。

回路構成によって、必要となる、配線間のデカップリング・コンデンサのための高誘電率 (High κ) 材料は、130 nm ノードにおいて SoC およびロジックのアプリケーションに導入されるものと思われる。技術を進歩させる要素は、誘電率が周波数に左右されないこと、リークが少ないこと、プロセスの制御、低コスト、および電極物質との統合である。短期的な課題として、酸化タンタルの CVD (chemical vapor deposition、化学蒸着) の開発が進められているが、酸化アルミニウムを使用した統合 MIM (metal-insulator-metal、金属/絶縁体/金属) コンデンサも 1 つの解決策候補として挙げられる。高誘電率機能を有する BST (barium strontium titanite、バリウム・ストロンチウム・チタネート) を開発するためには、さらに研究が必要である。強誘電性のメモリ・エレメントは、PZT (lead zirconium titanite、鉛ジルコニウム・チタネート) や SBT (strontium, bismuth, and tantalum、ストロンチウム、ビスマス、タンタルの化合物) など、配線プロセスに適合した大きい残留分極値を有する強誘電体材料を必要とする。

Cu 配線による $\kappa < 3.0$ 誘電体の最初の導入は、130 nm ノードにおいてであると思われる。このノードでの導入に適した誘電体膜材料は現在、比較的成熟しており、CVD による炭素添加酸化ケイ素、有機ポリマー、および無機水素シルセキオサン (inorganic hydrogen silsequioxanes) などがある。現在、開発においては、エッチング、エッチ後のアッシングと洗浄、メタライゼーション、プラナリゼーションといった他の配線プロセスとの統合に焦点が当てられている。Cu/Low κ 構造のエレクトロマイグレーション耐性やパッケージングの適合性は、まだ実証されてはいない。プロセスの条件、コスト、適合性により、複数の誘電体およびプロセスが使用されることになるものと思われる。誘電率を 2.5 未満まで下げるためには、誘電体膜材料の密度を下げる(通常は、孔をあけて密度を下げる)か、あるいはフッ素(フッ素ポリマー)を追加することが必要となる。既存のほとんどのタイプの Low κ 先端誘電体

膜材料では、多孔性を持たせるための研究が進められている。理想的な多孔体は、サイズの揃った小さな孔(孔の大きさ<<加工寸法)の閉鎖ネットワークで構成される。多孔体で鍵となるのは物理的強度である。残念ながら、弾性率、降伏強度、“fracture toughness”といった主要特性は、密度に対してどんなに良くても線形でしか変化しない。 $\kappa < 2.0$ の誘電体膜材料の統合を可能にするためには、きわめて斬新な統合技術が必要になるものと思われる。統合構造の最小有効誘電率を実現するためには、誘電性のバリアあるいはライナーが必要となる。これは、Cu バリア、エッチ・ストップ、ハード・マスク・アプリケーションのための Si_3N_4 に代わる Low κ バリア材料の開発を推進する要因となる。Low κ 誘電体膜材料のソリューションの開発に際しては、多孔体、エア・ギャップ構造、あるいはその両方を視野に入れる必要がある。

提案されている新たな配線方式のうち、誘電体に対する条件が厳しいのは光配線である。Si/SiO₂を光ウェーブガイドの材料として使用する場合は、CMOS に適合した温度での成膜やパターニングを行う際にロスを十分低く抑えられるようなプロセスの開発が必要となる。ポリマー・システムでは、曲げ半径(Δ 屈折率>0.5)を小さくするために、光コントラストの大きな材料が必要となる。

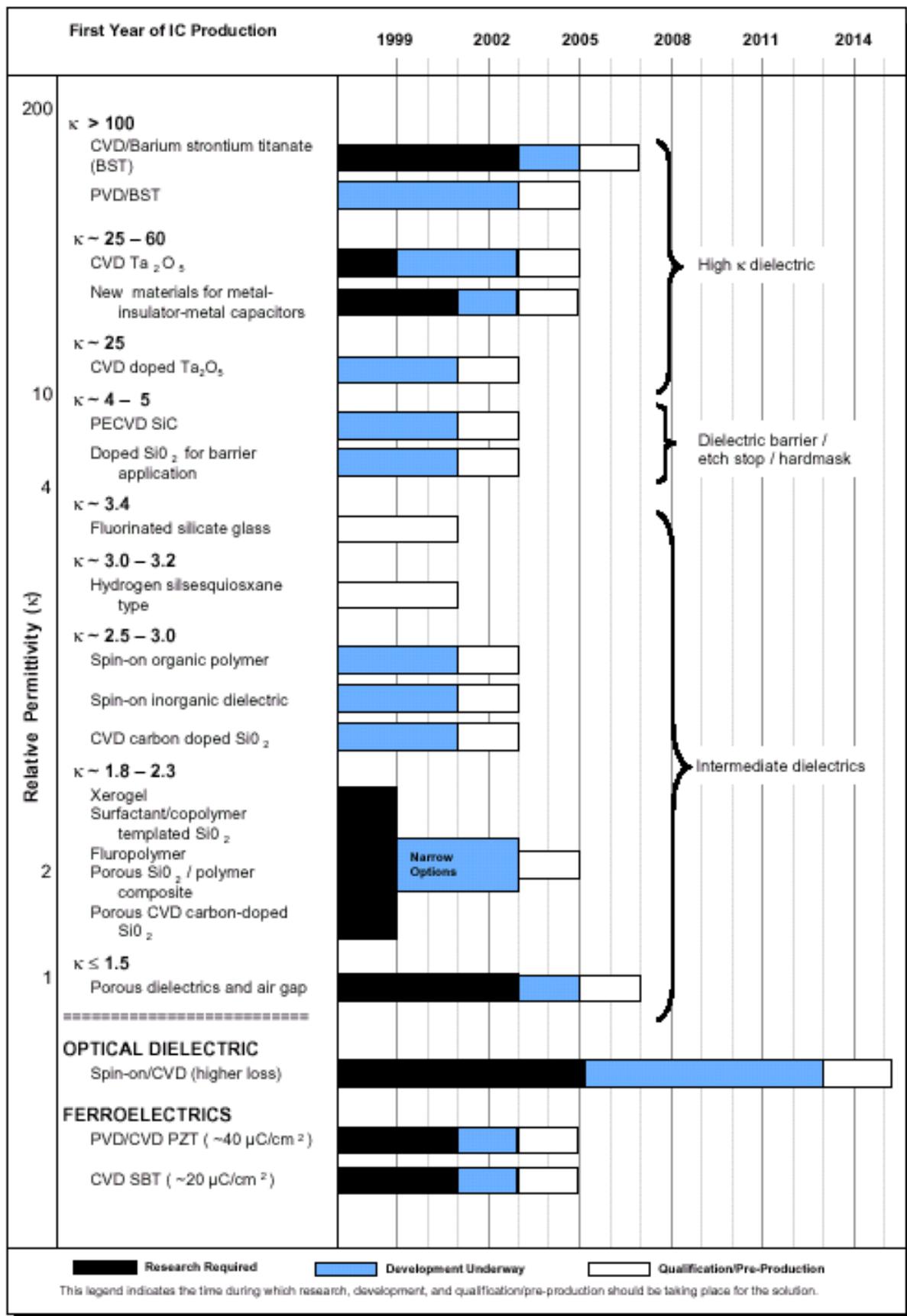


図 30 誘電体に関する解決策候補

10-4-2 導体に関する解決策候補

銅配線は、アルミ合金の導電率によってパフォーマンスが制限されていた MPU において、220 nm の技術ノードで導入された。次に銅を使用する製品としては SoC が考えられるが、これもパフォーマンスがその理由となろう。DRAM でも、最も高速のメモリでは Cu が必要となるであろうが、その導入時期はプロセスの成熟度とコストによって決定されよう。バリアやニュークリエイション・レイヤは依然として PVD (physical vapor deposition、物理蒸着) または iPVD (ionized physical vapor deposition、イオン物理蒸着) で形成されているが、銅の導体膜形成では ECD (electrochemical deposition、電気化学式デポジット) が現時点での好ましい方法である。銅のパターン形成は、リアクティブ・イオン・エッチングではなくダマシンプロセスが使用されているが、これはケミカル・メカニカル・ポリッシングへの配線形成の依存性を高めることになる。図 31 参照。

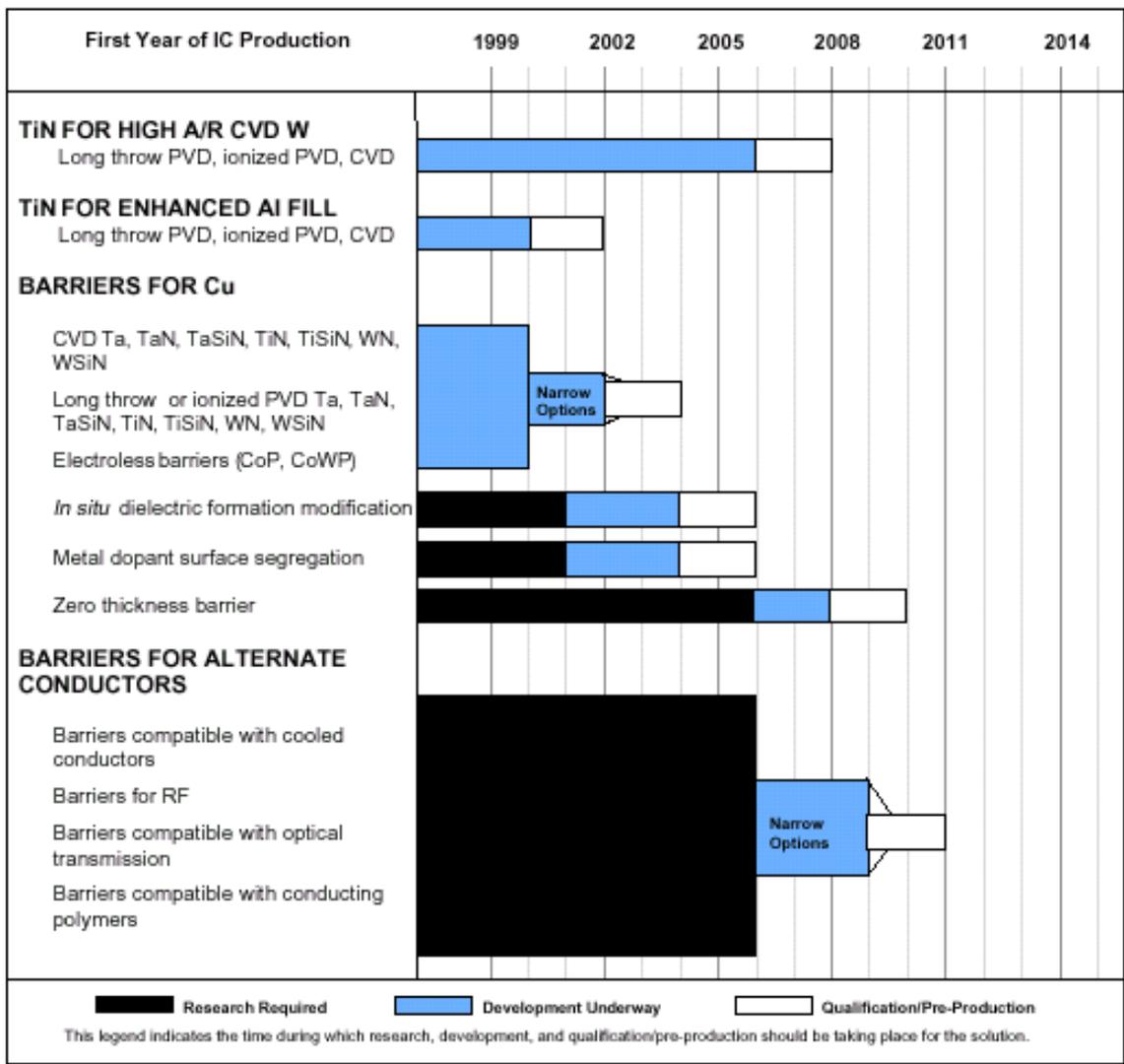


図 31 バリアに関する解決策候補

図 32 に示すように、バリア、ニュークリエーション、および導体の解決策候補は、記述された技術的要求に対して 2004 年まで使用できる。それ以降の世代に関しては、アスペクト比のより高い所でクリティカルな寸法の微細化を進める一方で、Cu の実効抵抗を維持か低減していくという要求を満たしていくためには、薄くてコンフォーマルなバリア形成や、他の Cu 組込技術の研究と開発が必要となる。主な製品群のなかで、最もアグレッシブなメタル・ピッチを使用するのは DRAM である。少なくとも 100 nm の技術ノードまでは、タングステンとアルミニウム合金配線が使用されることになる。130 nm 世代でも欠陥低減は問題であるが、長期的な成功のためには継続的な欠陥密度の低減が必要である。スタックト・キャパシタセルを使用した DRAM のコンタクトアスペクト比は、ロードマップのなかで最もアグレッシブであり、特に注力していく必要がある。SoC は、チップに組み込むコンデンサ、インダクタ、その他の受動素子を形成するために MPU よりも多くの金属レベルを使用することになる。

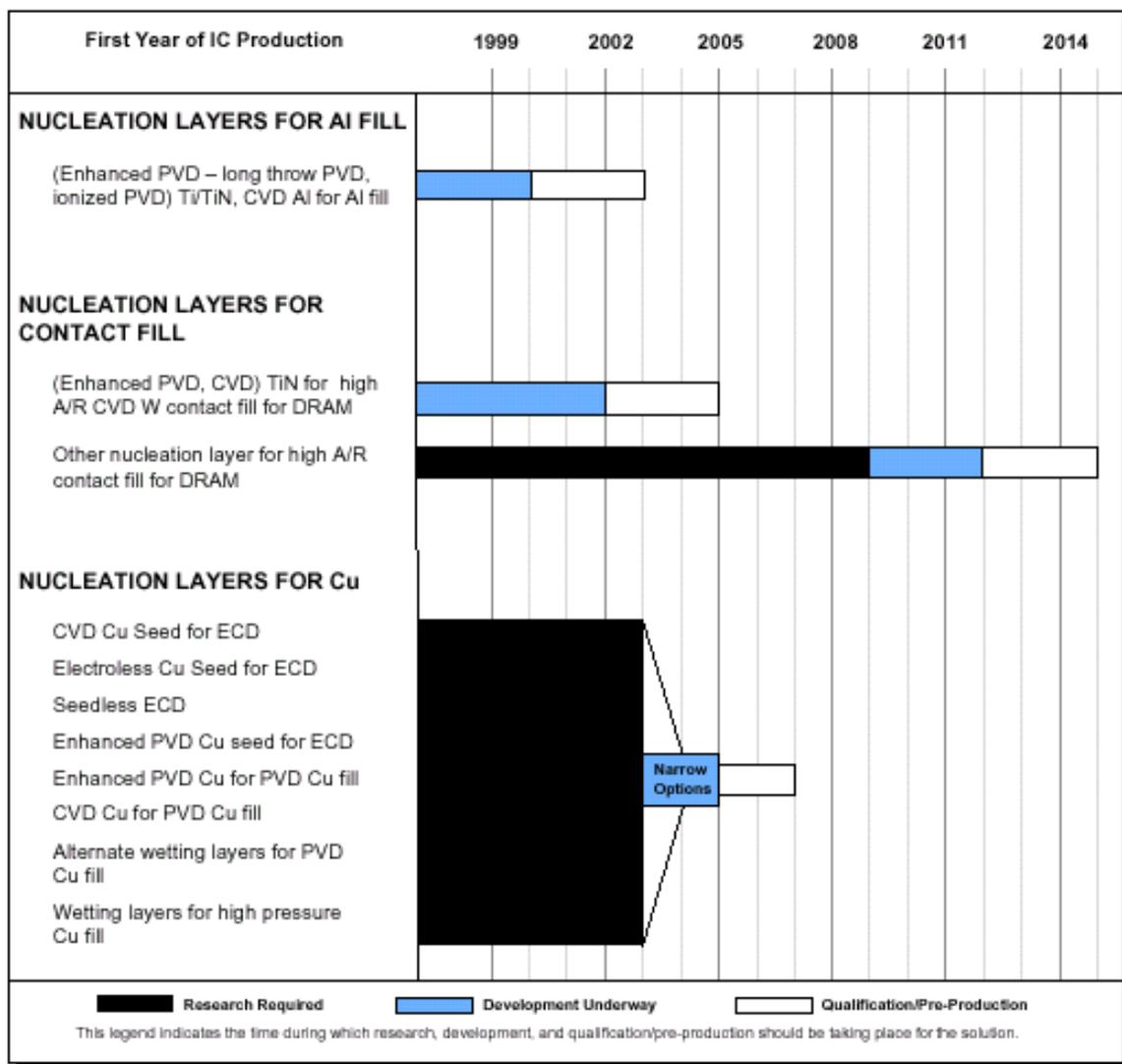


図 32 ニュークリエーションに関する解決策候補

10-4-3 導体に関する解決策候補 (≥ 100 nm)

種々の導体を混用するアプリケーションのためには、low- κ 誘電体の耐える熱処理と整合するタングステン(W)導体形成の開発が必要となる。スタック・キャパシタ DRAM の 100 nm ノードでは、コンタクトのアスペクト比は 13:1 になるものと予想される。このような組込要求を満たす解決策候補は現時点では存在せず、さらに高度な CVD W プロセスの研究開発が必要である。Long throw PVD、イオン化 PVD、および CVD による Ti や TiN も、このような高アスペクト比対応の CVD W プロセスのコンタクトおよびバリアの解決策候補として開発が進められている。図 33 は、導体に関する解決策候補を示したものである。

現在、デュアル・ダマシ DRAM 配線のための導体の解決策候補として、高度な Al 組込技術の開発が進められている。PVD の改善 (long throw PVD、イオン化 PVD、およびその他の PVD) および CVD による Ti や TiN バリアおよびニュークリエーション・レイヤは、ウェットティング・レイヤとしての CVD Al とともに、これらの高度な Al 組込プロセスを可能とする要素となる。これらの技術が潜在的に持つ歩留や信頼性での改善は、従来の RIE で形成される W プラグ/Al 配線との比較の基に、投資コストやプロセスの複雑さを考慮しながら評価していかなければならない。MPU や SoC 以上に DRAM では、総合的に低コストなソリューションを採用することが、引き続き推進されることになる。

Cu 導体形成のための第二世代の ECD 技術の改善は、現在開発が進められている。より高いアスペクト比のデュアル・ダマシ構造の組込を可能にするために、装置、電流波形、メッキ液の改善が検討されている。クローズド・ループのメッキ浴再利用システムによって、メッキ液を制御してウェーハ上で使用可能とすることが保証できるかも知れない。180 nm ノードでは、Long-throw PVD およびイオン化 PVD による Ta、Ta₂N₅、TiN (およびこれらの組み合わせ) による Cu 用のバリアが、実際に生産に使用されている。その他の二元系および三元系の合金膜 (PVD および CVD による WN、TiSiN、TaSiN、WSiN) も、薄くてコンフォーマルというバリアへの要求を満たす解決策候補である。バリアの形成やニュークリエーション・レイヤに適した CVD や無電解メッキ技術は、コンフォーマリティを改善できるため、Cu デュアル・ダマシバリア用の PVD の改善法に対抗し得る技術である。また、ECD のシード・レイヤのコンフォーマリティの改善も必要である。PVD の改善や CVD、無電解メッキ技術は、いずれもこのための解決策候補として開発が進められている。

第三世代の ECD による組込は、微細なクリティカルな寸法に於いて、さらなる高アスペクトの組込改善をするために研究が進められている。ECD Cu は、CVD、CVD/PVD 組込、および高圧フローといったデュアル・ダマシ用の他の Cu 組込技術と競合している。また、Cu 以外の他の導体も研究の対象となるかも知れない。100 nm ノードでは、これらの選択肢の絞り込みを終えたのち、認定作業 (qualification) が開始されることになる。CVD 技術による形成、あるいは low- κ の誘電膜を in-situ で改質して形成した Cu の誘電膜バリアが研究の対象になるだろう。CVD 技術による薄いコンフォーマルな金属バリアは、Cu 界面や表面への金属添加物の拡散と析出によって in situ で形成されるバリアと競合するであろう。ALD (atomic layer deposition、原子レイヤ・デポジット) も薄いコンフォーマルな膜を形成する代替技術であると同時に、異なる成分を持つ複数の薄い積層レイヤを利用する材料エンジニアリングへの新たなチャンスを提供するものである。金属バリア (CoP、CoWP、その他) の選択形成も、銅のパッシベーションとして実現可能であることが実証されるかも知れない。100 nm ノ

ードのニュークリエーション・レイヤの解決策候補としては、CVD Cu、無電解メッキ Cu、バリアや他のウエッティング・レイヤ上に直接形成するシードレス ECD が挙げられる。

10-4-4 導体に関する解決策候補 (<100 nm)

Cu 配線は、low- κ の誘電体と共に 100 nm 以下の世代の技術ノードに於いて、引き続き使用されよう。ただし、将来のパフォーマンス要求を満たすためには、これらの材料面でのソリューションだけでは不十分である。将来の配線に関する問題の緩和のためには、設計やパッケージングでの改善が中心的な役割を果たす必要がある。

バリア/Cu 導体の特性である $2.2 \mu\Omega\text{-cm}$ という導体の実効抵抗スペックを低減することが必要である。抵抗を若干引き下げるための解決策候補としては、Cu の拡散防止の目的で low- κ 誘電体の改質することにより、Cu バリアを削除する方法がある。ある種の low- κ 誘電体は、それ自体が銅に対して十分なバリア特性を示すため、厚みゼロというバリアへの要求を満たすものとなる。従来の Cu 配線の抵抗をさらに大幅に低減するには、チップの動作温度を下げることによって実現できるが、これは適用可能な超伝導体の種類を劇的に増やせることにつながるかも知れない。そのほかの解決策候補としては、3D デバイスやオン・チップ/オフ・チップの RF、および光配線が挙げられる。これらや他の解決策候補の有効性をチェックするための研究が必要である。

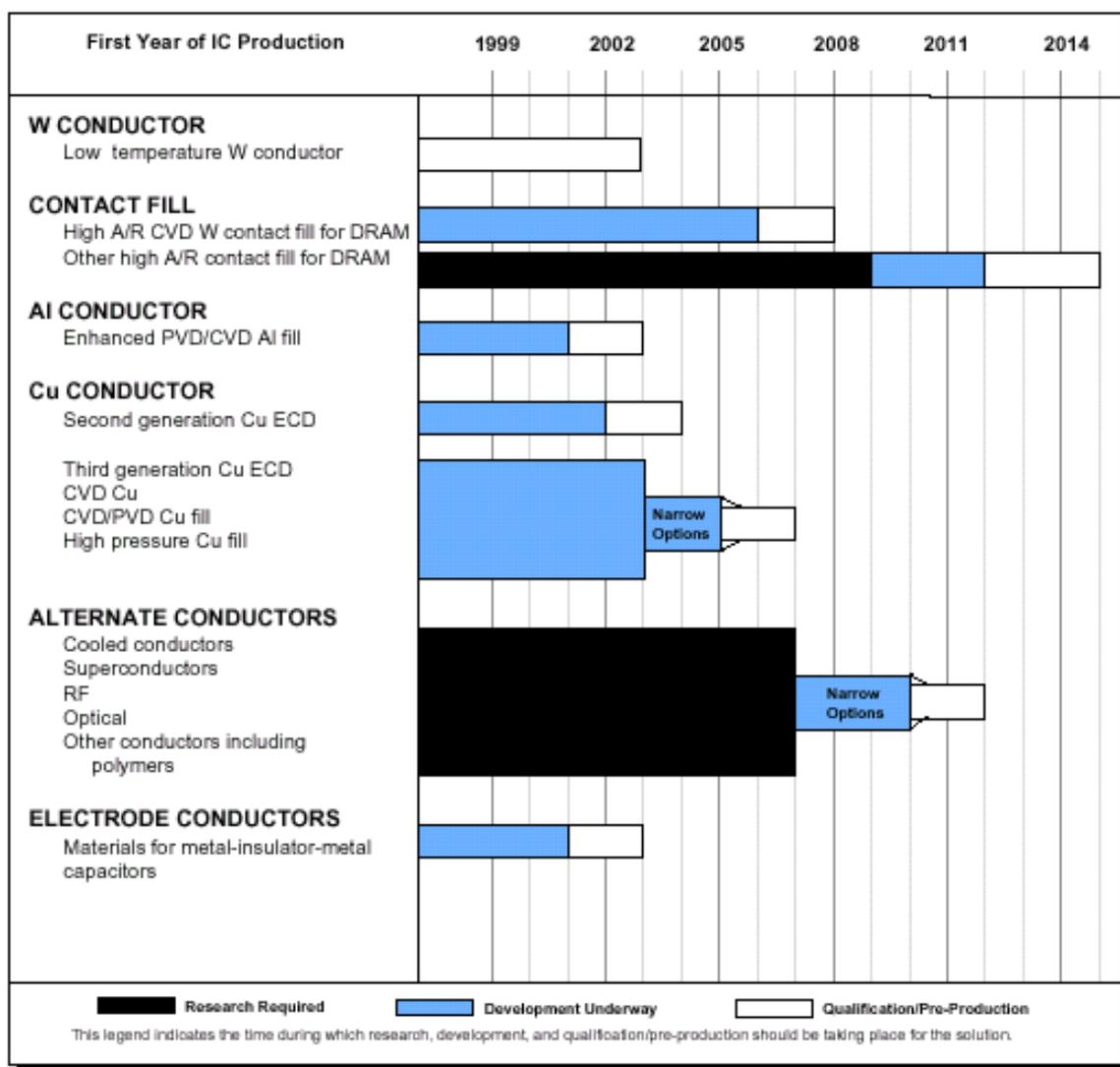


図 33 導体に関する解決策候補

10-4-5 平坦化に関する解決策候補

図 34 に示すように、化学機械研磨は引き続き金属および誘電体の平坦化技術の主流となる。CMP (chemical mechanical planarization、ケミカル・メカニカル・プラナリゼーション) は、アルミニウム上の従来の層間膜ポリッシング、あるいはプレ・メタル層間絶縁膜のポリッシングのどちらにももうしばらく使用されるものと思われる。ストップ・レイヤその他の統合技術に対しては、低 κ 素材の直接ポリッシングが必要となろう。DRAM のクラウン・コンデンサのような縦型キャパシター構造の上に成膜した絶縁膜の平坦化は、とくに困難なものになることが予想される。クラウン・コンデンサの厚みは現時点では 1 ミクロンまでであるが、将来の世代では厚みが徐々に減少するものと思われる。アルミニウム、タングステン、および銅のダマシンのポリッシングは、何世代かのプロセスで同時に使用されることになろう。銅や低 κ 誘電体の導入は、ダマシンに最適化されたツールや消耗材の開発に拍車をかけている。化学エッチングと CMP との併用に関する作業は、CEP (chemically enhanced planarization、化学的に強化されたプラナリゼーション) と定義される。CEP は、COO 低減と欠陥低減に対する解となる可能性がある。エレクトロウィニングによって金属を電解的に除去する方法は、この汎用 CEP の範

疇に入る。新素材の絶え間ない導入するためには、ディッシングや腐食のプロセス制御技術を改善することが必要となる。パターン依存性は、欠陥や金属汚染の防止とともに依然重要な問題である。幅広パターンのディッシング、および密集パターン部のエロージョンは、RC のばらつきを生じさせるため、最小限に抑える必要がある。許容されるディッシングとエロージョンのターゲットは表 46a と表 46b に示した通りである。2005 年にはエロージョンの許容がゼロとなっていることは(？)、代替策について重点的に研究する必要があることを示している。「その他」のカテゴリでは、現在特定されている代替手段はほとんど存在しない。

それぞれのスタイルのプラナリゼーション・ツール(ロータリー、オービタル、楕円、線形、およびその他)には、いずれも長所と短所があり、そのバランスを考えてそれぞれの技術を使用する必要がある。最終的に 1 つのタイプの CMP ですべてのケースに対処するようにするのか、それとも個々のケースに応じて異なるツールを使用するようにするのかについては、いまだ意見の統一はなされていない。前洗浄あるいは後洗浄の機能を備えた平坦化ツールはすでに開発されてはいるものの、大多数の洗浄オプションについては、コストメリットが示されて初めてインテグレーションが推進されることになろう。同様に、プロセスを自動制御するためには in situ の測定手段やエンドポイントも CMP 装置に取り入れる必要がある。

CMP の消耗材は、引き続きいくつかのプロセスからの要求を満たしてゆく必要がある。エロージョン、ディッシング、スクラッチ、およびパーティクル密度は継続的に低減していかなければならないだろう。これらのニーズを満たすためには、しばらくのあいだツール、パッド、スラリを同時に改善してゆくことが必要となる。消耗材のコストを削減することも必要である。様々なプロセスインテグレーションの場面で CMP が用いられるようになるので、それらに応じた様々な選択比を備えたスラリに対する需要が高まっている。スラリ/化学物質の使用を排除あるいは軽減する研磨パッドは、廃棄物を減らすのに役立つだけでなく、プロセス面でも潜在的なメリットを備えた魅力的な方法である。

CMP 後の洗浄技術に対する需要は増加するだろう。ポリッシングしたウェーハからスラリの残滓や残留している銅を除去する際に、腐食やパターンの破損を生じてはならない。現在、タイプの異なるいくつかの洗浄技術の開発が進められている。これらの洗浄技術はいずれもブラシとスプレー、超音波有りなしの組み合わせである。また、腐食の防止、金属イオンのキレーション、粒子の除去を目的として添加する新しい化学物質の研究も継続して行う必要がある。これらの添加物質には、via/trench 洗浄で一般的に使用されつつある超臨界液も含まれる。さらに、それと並行して欠陥検出技術も改善する必要がある。また、廃棄物の流れを制御する方法や汚染を軽減する技術も引き続き改善してゆくことが不可欠である。いちばん望ましいのは、環境に有害な廃棄物(とくに Cu などの金属)の生成を最小限に抑えられる CMP プロセスを設計することである。

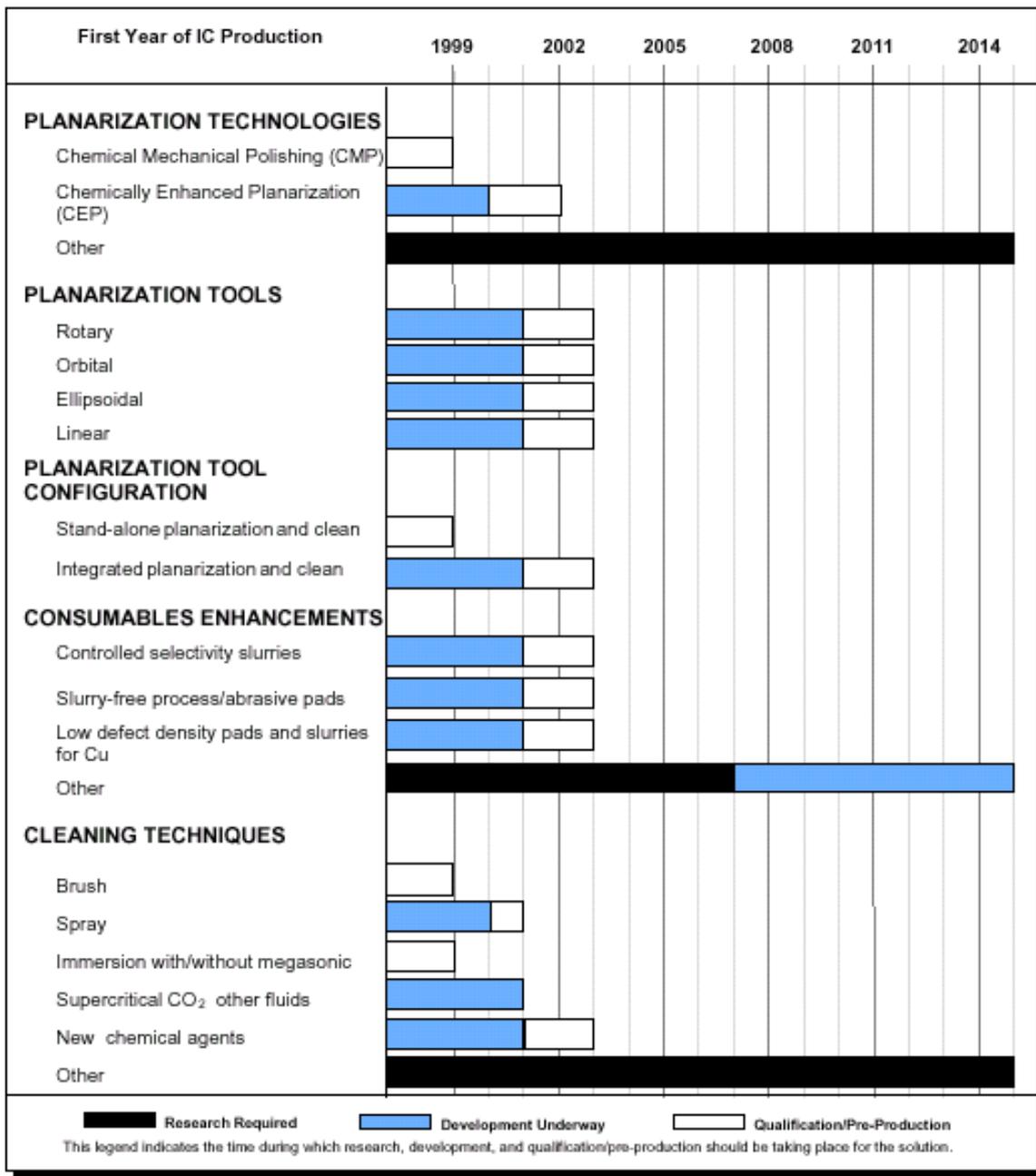


図 34 平坦化に関する解決策候補

10-4-6 エッチに関する解決策候補

図 35 に示すように、配線構造の形成にプラズマ・エッチングは ITRS の予想期間を通じて必要不可欠であろう。何十年にもわたってパターン転写の標準技術として使用されてきた不要部分を除去するタイプのメタル・エッチは、少なくとも 100 nm までは DRAM で使用されるものと思われる。また銅配線を使用したロジック製品でも、ある程度使用されることが考えられる。DRAM の 100 nm および 70 nm 技術ノードに対する高アスペクト比アルミニウム配線の RIE エッチは、きわめて困難になることが予想され、ツール・メーカーによる継続的な開発努力が必要となろう。あらゆるクラスの製品での Contact/via エッチは、50 nm にまで拡張することが予想される。ダマシン、およびデュアルダマシン法は、銅配線で使われるものと思われる。

加工寸法の縮小化、アスペクト比の増大、プロフィールの制御といった形状に関する問題は、エッチ技術に大きな影響を及ぼすことが予想される。RIE は、130 nm あるいは 100 nm あたり迄その用途を見出すと思われるが、それ以降はより厳しくなるエッチング要件を満たすために高密度プラズマ (HDP) ツールが必要になろう。その原動力となるのは、正確な寸法制御による微細形状の高速エッチング、およびアスペクト比依存性を最小限に抑えたエッチング技術である。多孔質材料はとくに歪みに敏感なため、エッチング技術の開発に際しては形状の制御が鍵となる。エッチ・プロセスは、電氣的、化学的、および物理的ダメージを生じてはならない。このため 70 nm ノードでは、中性ビームというような新しいプロセスが有望な解の一つとなる。ダマシン構造やデュアルダマシン構造、およびそれに付随して導入される Low-k および High-k の素材については、新しいエッチ・プロセスが必要となる。したがって、このエッチング能力の開発は、ロードマップに提示された有望な絶縁膜の誘電率トレンドと時期を合わせて行う必要がある。エッチングの技術的推進要素と必要事項を列記した詳細な表は、本章にリンクした補足部分に与えられている。

ダマシンの手法は、配線のフォトレジスト・ストリッピングおよびその後の洗浄の方法をおそらく変えるでしょう。有機 Low-k 誘電膜のエッチングにハード・マスク材料を用い、酸素を含んだエッチングガスで処理すると、トレンチ、コンタクト、ビアの エッチング工程中に、同時にフォトレジストを除去することが可能になる。但しドライ処理のみでは、アスペクト比の大きいホール構造において Low-k 誘電膜や銅およびそのバリアを侵すことなく、残滓や粒子を取り除くことが十分にできないことが考えられ、ウェット処理、又は超臨界液の使用を含めたその他の手段が有効であり、必要になる見込みがある。多孔質酸化膜やそれによく似た Low-k 材料に対しては、代替手段として水素還元ガスを使用したレジスト除去が必要になることも予想される。

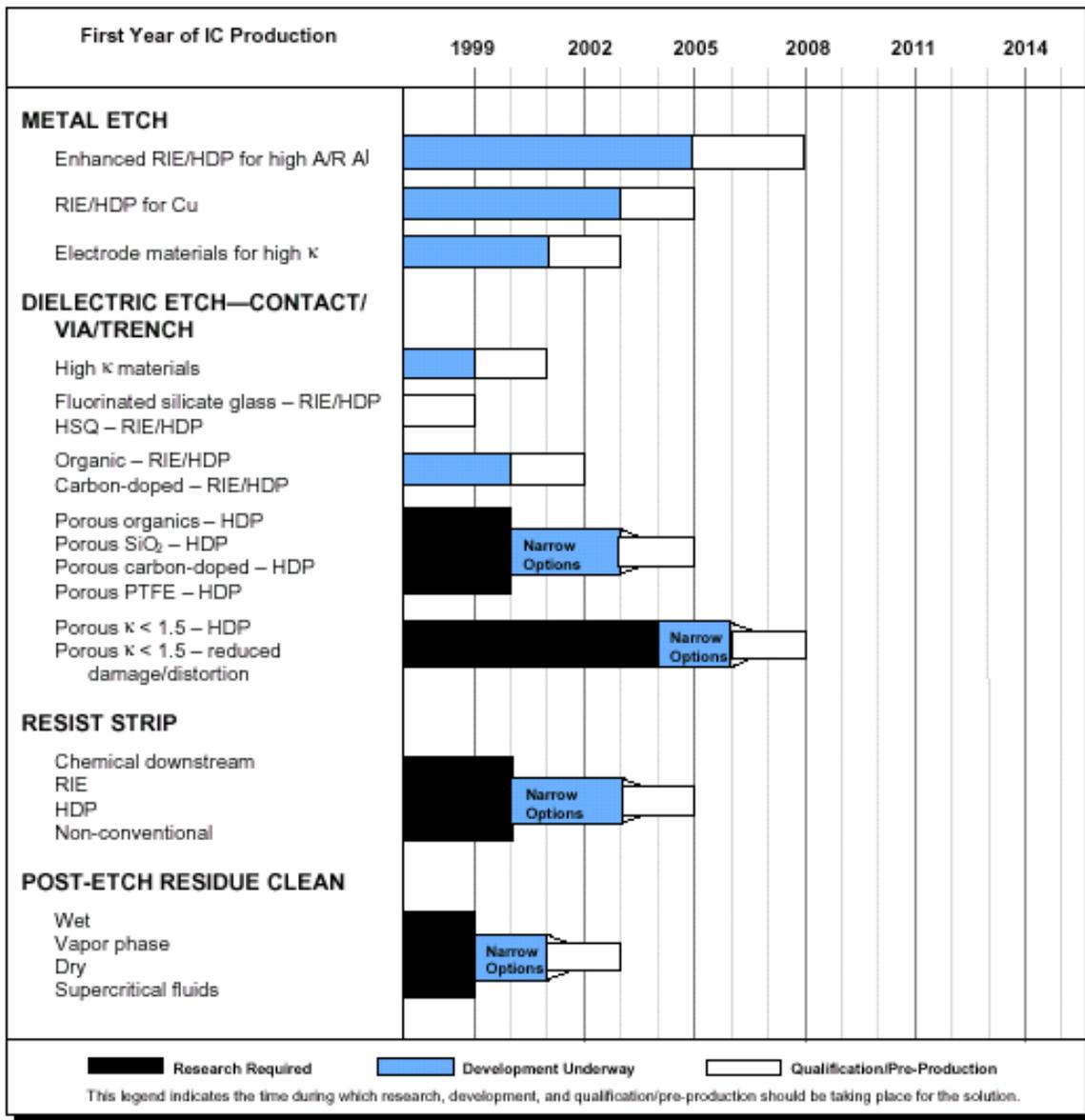


図 35 エッチに関する有望なソリューション

将来のエッチング技術の開発に影響を及ぼすその他の懸案としては、ESH (Environment, safety and health、環境、安全性、および健康) の面からの要求、選択性のニーズ、電気面からの要求のいずれをも満足できるような新たなエッチングガスの開発が挙げられる。

10-4-7 信頼性

ダマシ構造では、その形成プロセスでのフォトレジスト除去やその後の洗浄の方法が変わる可能性がある。層間膜に用いられる有機低誘電率材料のエッチングにハードマスク材料や酸素を用いたドライエッチングで処理を行うと、トレンチ、コンタクト、ビアなどのエッチングと同時にフォトレジストを除去することが可能になる。ドライ除去だけでは、アスペクト比の大きい部分から低誘電率材料や銅配線材料およびバリア材料に損傷を与えず、残渣やパーティクルを取り除くためには不十分である。多

孔質酸化膜や類似の低誘電率材料が導入できれば、引き続き従来の酸素を使用した除去プロセスを使用できる可能性もある。

銅配線技術は、配線の信頼性を確かに著しく向上させるが、その一方で新たな材料、プロセスの導入や信頼性に関する新たなさまざまな問題を発生させる。銅はシリコンや酸化物の中を容易に拡散するため、配線間リークやトランジスタの性能劣化を防ぐために金属 (Ta や TaN など)あるいは絶縁物 (SiN や SiC など)の拡散バリアで被覆する必要がある。また、Cu の拡散は、デバイスが動作する際に隣り合った配線間に生じる電界によっても大きく促進されるため、デバイスの長期的な信頼性を保証するためには拡散バリアが完璧であることが不可欠となる。バリアの厚みは有効比抵抗率を満足させるために配線幅の縮小につれ薄くする必要があるため銅の拡散防止はさらに大きな課題となり、最終的には「厚みゼロ」を実現するための新たな銅の不動化技術あるいは銅の拡散に対する耐性を備えた絶縁膜材料が必要となる。

銅はアルミニウムとは異なり表面に不動態層が形成されない。したがって、表面拡散がエレクトロマイグレーション現象の大きな要因になることが予想されるため、界面が信頼性に大きな影響を及ぼすことになる。配線からの銅の拡散を防止するためには、とくにビア部など急峻な角のある構造部での絶縁物や金属バリアの機械的強度および絶縁性を維持することも不可欠となろう。CVD 法により形成した銅のバリアおよびシード層は、微細化には対応できる一方でインテグレーションにおいて新たな問題が発生する可能性があるため、例えば銅の配向性や CVD/ECD の組み合わせで形成した銅薄膜の性質を理解する必要がある。

デバイス性能の向上に必要な新たな低誘電率層間膜の導入は、熱や機械的理由によって発生するクラックや密着性の低下、機械的強度の低下、吸湿、時間に依存する現象、配向性の影響、熱伝導率の低下といった信頼性を劣化させるさまざまな問題をもたらす。低誘電率材料の一般的な熱伝導率は従来用いられてきた酸化膜材料の 3 分の 1 未満しかなく、通電中の配線温度の上昇、およびエレクトロマイグレーション不良の原因となる。今後、低誘電率材料の構造の機械的強度を高め、放熱量を大きくするためには、新たなパッケージング技術に加え、積層あるいは組込酸化物/低誘電率材料構造を使用した方法が必要となることも考えられる。

CAD ツールにおいては、新たな製品や技術の設計段階から信頼性の問題に配慮することが必要になる。これらの新たな CAD ツールに入力するデータを得るためには、信頼性試験方法を改善し、信頼性不良メカニズムの理解およびモデル化を推進することが不可欠である。このようなデータと CAD ツールを使用することで、それぞれの設計が製品の信頼性に及ぼす影響を予測することが可能となる。

回路の電氣的性能の経時劣化を予測するための新しい CAD ツールを開発することが必要である。入力データは、下記のデータに基づいて決定した配線およびビアの抵抗の予想上昇率を使用する。

- 配線の長さ
- 回路動作中の電流密度
- 算出した各部の動作温度。

これには、回路の通電によるジュール熱の影響を含むものとする。

製造を開始する前に製品の信頼性を予想するためには、これらのツールを設計者のツールセットの一部として組み込み、信頼性課題を見越した解決策を開発して、製品化を加速することが必要である。

将来の製品の信頼性を維持するためには、エリアレイバンプ等の組み立てにおいてもこれらの技術を幅広く活用し、回路、素材、および製法の選択に反映させる必要がある。このことは、低誘電率材料、あるいはウェーハ上で行われる組み立てに関連した工程（アンダーバンプフィルなど）の導入に際してはとくに重要となる。

銅配線と低誘電率層間膜のインテグレーションにおけるさまざまな特性を完全に理解し、信頼性を作り込む正確なモデルを作成するためには、幅広い研究が必要である。とくに電子の表面散乱が抵抗に大きく影響する加工寸法（Cu では 50 nm 以下）においては適用限界も含め、銅配線技術の限界を根本から見直す必要がある。したがって、長期的な観点から、銅に変わる新たな配線材料の信頼性の研究についても着手する必要がある。

10-4-8 システムとパフォーマンスの問題

配線のパフォーマンス

今後の技術ノード¹⁾又は SIA で言われているスケーリング係数(技術ノードあたり 0.7×)で製造される IC は、要求される設計性能を満たしていく為に、近い将来の配線技術として銅配線や low-k 絶縁膜が使われる。その適用技術の妥当性は配線の用途目的によって異なる。一定のゲート数(例えば 40 ゲート)をもつローカル配線において、信号遅延時間(クロック周期よりもはるかに小さい)は、技術スケーリングの関数として減少するゲート伝播遅延と近い減少率を持つと予想される。この傾向は、70nm 又は 50nm ノードまで続くと予想されるが、それ以降のローカル配線の遅延は増加し始める。機能ブロックの周辺長の半分の長さに相当する中間配線においては、技術のスケーリングに伴いごくわずかなだけ大きくなる。一方、ローカル配線(及び一部の間配線)のクロストークやノイズは、配線ピッチの縮小に伴い増大することが予想される。

グローバル配線においては、信号の遅延は技術のスケーリングに伴って増加する。その主な理由は配線抵抗及び配線長の増大である。(リピーターを用いない配線遅延は配線長の 2 乗に比例して増加する)

一定の電圧の下で等電位の配線を通して全ての Vdd バイアスポイントに電力を供給する場合は、電圧降下の問題を避ける為にグローバル配線の抵抗を小さくしていく必要がある。その理由は電源電流の上昇であり、グローバル配線抵抗が一定とすると電源電圧とバイアスポイント間の電圧降下が大きくなり、Vdd の低下につながる。したがって、電源から Vdd のバイアスポイントまでの配線抵抗をさらに小さくする事が必要となっている。この問題は、ボール・グリット・アレイ・パッケージング技術を採用する事で現在ある程度解消されている。この技術はチップ全域にわたり電源供給ができる為、チップ横方向への電源供給に使われる比較的高抵抗のグローバル配線の大部分を省略する事ができる。クロック信号や電力を供給する為の配線網はチップ電力の 40~50%を消費し、時には 120 ワット

を上回る事もある。

システム・レベルの統合

システム・レベルの統合は、必要とされる動作特性を実現するためのシステムのマクロ機能の物理的および機能的組み立てまで包含する。個々の機能的コンポーネント(ベアチップやチップ上のブロック機能など)をシステムに組み込む際には、システムに要求される性能や信頼性のすべてを把握する必要がある。現在は、オン・チップの配線接続技術、パッケージング技術、およびボード・レベルの技術として明確に機能を分ける事によって行われている。これらの分野で現在必要とされているソリューションについては、本章、「設計」、「組み立てとパッケージング」の章で説明する。従来のパッケージ又はチップ間配線機能をパッケージに統合する潜在的なソリューションも同じである。ただし、コスト、帯域幅、熱、ピン配列といった条件がますます厳しくなりつつある為、革新的な新しい配線/パッケージングのソリューションを模索する必要がある。これらの新しいソリューションでは、配線、パッケージ、(場合によっては)ボード機能を完全な統合システムに組み込むことができるようになる可能性がある。このような技術としては、SoP(system-on-package、システム・オン・パッケージ)や SoC(system-on-a-chip、システム・オン・チップ)が考えられる。

10-5 分野をまたがる問題

10-5-1 設計およびモデリング&シミュレーション

次世代 SoC の要求に伴い、技術の微細化やそれに付随する機能密度の増大から、設計およびモデリング&シミュレーションの統合や検証が重要な課題となる。設計者は、電力消費の増大だけでなく、増加しつつあるインダクタンスやクロストークといった重要な問題についても対処しなければならない。電流密度が増加するにつれて、複雑な配線で発生するジュール熱や電流集中を注意深く評価しなければならない。それには、高性能で信頼性の高い手法を組み込んだ新しいシミュレーション技術が必要となる。グローバル配線における信号やクロックの遅延が、配線性能を制限する主要な要因であると指摘されている。確かに、リピータを選択的に使用することでクリティカルパスの速度を最適化することは可能であるが、グローバル配線の遅延の緩和には設計の新たなアーキテクチャが必要となる。配線に対してITRSが要求している密度や性能、信頼性といった課題に対処するためには、今後のプロセスの可能性、製造時の変動、技術のモデリング、合成、物理設計、設計検証をより密接に関連付けることが必要になる(「設計」および「モデリング&シミュレーション」の章参照)。

10-5-2 測定手段

チップの配線工程の開発・製造において、加工寸法が縮小し、新材料やダマシシ構造が導入されることで、新たな測定手段の導入が課題となる。アスペクト比のきわめて大きな形状や極薄バリアでは、最小加工寸法の測定手段が必要となる。測定専用のウェーハや、製品とならないモニタウェーハの使用から、製品ウェーハのイン・プロセス測定へと取って代わられてゆく。測定装置を、測定ステーションとしてあるいは in-situ のセンサと組み合わせた形で、制御用のソフトウェアとともにクラスターツールに組み込むことは、配線工程にとっても有益な流れである。将来のチップのますます複雑さを増す

配線にも適用できる技術を開発することが必要である。測定に関する他の課題は、高周波動作下での抵抗や誘電率、密着性や機械的特性の測定が挙げられる。詳細は「測定手段」の章で示す。

KEY AREAS	SUMMARY OF NEEDS	POTENTIAL SOLUTIONS
New materials	Measurement of dielectric constant at high frequency	Extend current capability to > 40 MHz and develop test structures suitable for <100 nm nodes
	Measurement of pore size and volume on low κ insulators	Acoustic, ellipsometric and positron annihilation spectroscopy
	Contamination monitoring	Rapid TXRF and VPD DSE/TXRF
	Verify hydrophobicity of porous low κ materials	Infrared measurement of water content
Dimensional control	Control of planarization processes for reduced dishing and erosion	<i>In situ</i> sensors and profilometry are potential measurement solutions
	Control low κ thickness and uniformity	Spectroscopic ellipsometry
Aspect ratios for fill and etch	CD control of dual damascene features	Develop model based CD measurement

TXRF—total X-ray fluorescence spectroscopy

VPD DSE/TXRF—vapor phase deposition droplet scanning etch

表 49 配線の測定方法に関する要求と解決策候補

10-5-3 欠陥の低減

配線密度や配線層数の増大にともない、製品の歩留を維持するために欠陥を検出し低減する技術の改良が必要となる。歩留改善やプロセス制御を行って、工場での製品の流れを維持するためには、リアルタイムでの欠陥の検出、分析が合わせて要求される。高アスペクト比のダマシ構造に付随する欠陥は、パターン加工された多層の Low- κ 絶縁膜中では検出が困難となる。将来の配線製造プロセスを支援するためには、進歩した欠陥を低減する手法だけでなく、欠陥を検出、分析する新しい技術が必要となるだろう（「欠陥の低減」の章参照）。

10-5-4 環境、安全、健康

配線技術に関しては、環境、安全、および健康 (ESH) の面で独自の課題がともなう(表 50 参照)。とくに、性能優先のチップで要求される新材料 (Low- κ 絶縁膜、High- κ 絶縁膜、Cu やバリア材料など) や、プロセス(電気化学的な成膜、CVD による金属/絶縁膜の成膜、Cu/バリアの CMP、Low- κ /high- κ のエッチ/洗浄など) を急速なペースで導入しようとする場合は、ESH に関するさまざまな問題を考慮することが必要になる。CMP のスラリーや銅の電気化学的な成膜槽の処理やリサイクル方法を、継続的に改善してゆく必要がある。ドライ及びウェットプロセスはいずれも引き続き使用されることになろうが、適切なかたちで削減してゆく必要がある。新しい金属や絶縁材料の導入も ESH に関するこれらの課題に加わる。ウェットプロセスに対する解決策候補としては、薬液の close-loop 制御と補充が考えられる。将来の Low- κ 絶縁膜や CVD によるメタル/バリアの成膜で必要となる新しい材料、プリカーサ、およびプロセスについても、開発の早い段階で ESH の問題を考慮して入念にスクリ

ーニングする必要がある。ESH に対する影響を改善するためには、反応生成物の放出、健康および安全面での特性、材料と装置や化学物質との適合性、可燃性、反応性といったことがらをあらかじめ特定することが必要である。また、業界もプロセスの最適化、代替技術の導入、リサイクル、廃止等を通じて放出される化学物質や廃棄物（銅のメッキ溶液、CMP のスラリー、酸/溶剤、PFC、水）の削減を図る必要がある。

<i>KEY AREAS</i>	<i>SUMMARY OF NEEDS</i>	<i>POTENTIAL SOLUTIONS</i>
Advanced metallization and dielectric materials	Utilize lowest ESH impact deposition processes Increased chemical utilization efficiency	Use lowest ESH impact solvents for spin-on processes Develop "zero waste" deposition methods Identify ESH issues with CVD precursors Develop safe precursor delivery systems Develop emissions models for vapor phase systems Utilize lowest ESH impact process chemistries for CVD Improve chemical utilization efficiency through endpoint detection and reactor design
Planarization	Lowest volume of chemicals and water used and disposed in CMP and post-CMP cleans processes Utilize lowest ESH impact chemistries for CMP and post-CMP cleans processes Low-energy and low-chemical consumption methods for removal of Cu from wastewater Water reclaim and reuse	Decrease amount of slurry required for CMP Develop slurry recycling methods Develop alternatives to slurry-based CMP processes Develop non-chemical consuming planarization methods Reduce water consumption Develop more efficient techniques for post-CMP rinsing Develop water recycling systems to reuse CMP and post-CMP wastewater Develop lowest ESH impact CMP and post CMP cleans chemistries

表 50 配線技術における ESH に関する要求と解決策候補

<i>KEY AREAS</i>	<i>SUMMARY OF NEEDS</i>	<i>POTENTIAL SOLUTIONS</i>
Electrochemical deposition of Cu	Reduce generation and handling of hazardous waste Lowest ESH impact process chemistries Reduce employee exposure to chemicals	Extend Cu plating bath life using monitoring and replenishment Develop techniques for bath recycle Minimize quantity of rinse water Develop and utilize lowest ESH impact plating chemistries Develop "zero waste" copper deposition processes Design process tools which minimize exposure to chemicals
Plasma processes	Lowest ESH impact process chemistries Reduce power consumption	Optimize chamber clean and etch processes to increase utilization efficiency of PFCs Develop low CoO abatement and recycle systems for PFCs Develop lowest ESH impact alternative etch chemistries and chamber cleaning processes that do not emit high global warming potential by-products (PFCs) Develop predictive plasma emissions models Monitor and optimize tool systems (energy-efficient pumps, idle energy usage, recycle waste heat) Reduce RF plasma energy consumption and develop alternate low-energy plasma generating systems Develop new heat transfer methodologies in vacuum systems

表 50 配線技術における ESH に関する要求と解決策候補 (続き)

10-6 結論

新材料の急速な導入と、それにとまなう技術の複雑化への対応が配線技術全体に関わる課題である。長期的には、従来のスケーリングによる素材の改善ではもはや性能的な要求を満たすことは困難となる。グローバル配線での遅延、あるいはクロストークやノイズの問題を解決するためには、さらな

る開発努力が必要となる。SoC については、市場においてチップの機能と集積密度がトレードオフになるため、様相 (picture) すなわち技術的タイミングが変わる可能性がある。つまるところ、光、RF、あるいは設計およびパッケージング技術の開発の加速と垂直統合するような革新的な技術が、配線技術のソリューションをもたらすことになる。

