

# 1. 序論

## 1-1 概要

1999 年版 ITRS は世界的なコンセンサス形成プロセスの結果である。

我々が半導体技術および世界的な集積回路 (IC) 市場の歴史の前進に向かって努力を傾注する一方で、ヨーロッパ、日本、韓国、台湾、ならびに、米国からの半導体エキスパートの参加により 1999 年版 ITRS が業界に対する指針の一段と有効なソースとなることを確実にする。昨年、ITRS プロセスに関係した我々のメンバーは ITRS プロセス作業における新しい国際パートナーの熱心な活動によって活力を与えられた。新パートナーの多様な専門知識および献身的な努力のお陰で、半導体業界に関する将来の技術必要条件について「ロードマップ」を新しいレベルの合意に引き上げた。これはさらにロードマップ目標を果たす方向への非常に重要な前進であり、15 年の計画対象期間に存在する将来の研究開発ニーズに関する「現在における最良推定」を踏まえて、産業全般にわたるコンセンサスを提示する。このように、1999 年版 ITRS は産、学、官の範囲内における調査機関および調査スポンサーの努力に対するガイドを提供しなければならない。

40 年の間、半導体業界においては製品改良の速いペースが顕著である。改良傾向の主要なカテゴリを各々の例と共に表 A に示す。大部分の傾向は指数関数的だった。これは、業界の能力が集積回路の製作に使用される最小サイズを指数関数的に減少させることに起因している。もちろん、最も頻繁に引用された傾向は集積レベルにあり、ムーアの法則（「18 ヶ月 毎にチップにつきコンポーネントの数は二倍となる」）として通常表現する。一般社会にとって最も意義深い傾向は機能当りのコスト減することであり、これにより、過去 40 年にわたって集積回路の市場に莫大な成長をもたらした。

<i>TREND</i>	<i>EXAMPLE</i>
<i>Functionality</i>	nonvolatile memory, smart power
<i>Integration Level</i>	components/chip—Moore's Law
<i>Compactness</i>	components/cm <sup>2</sup>
<i>Speed</i>	microprocessor clock MHz
<i>Power</i>	laptop or cell phone battery life
<i>Cost</i>	cost-per-function—historically decreasing at >25% / year

表 A スケーリングによって可能となった IC の改良傾向

これら全ての改良傾向は、重要な研究開発投資および産業全般にわたる学習によって可能となった。最近 20 年以内で、ますます増大する必要投資額は協力および「競争的と非競争の境界」に関する業界の見方を変化させた。これにより、多くの研究開発協力、コンソーシアム、他の協力的な事業を生み出している。

### 1-1-1 技術的要求に関する見方

ロードマップは 1992 年の発端から基本前提がマイクロエレクトロニクスの継続したスケーリングが機能当りのコスト(歴史的に 25%/年)をさらに削減し、集積回路市場の成長(平均 15%/年)を促進することであった。このように、ロードマップはチャレンジの精神—本質的に「我々がムーアの法則および他

の傾向にとどまるためにはどんな技術的な機能ニーズを開発する？」によりまとめられた。1980 年代および 90 年代の間、このチャレンジが非常に困難なものになったために、開発努力はコンソーシアムおよびサプライヤとの協力を含む非競争的な環境の中でますます共有されてきた。このプロセスにおいて、ITRS は主要な技術ニーズのガイドとして役割を果たす。それを 2 つのやり方で行う。半導体技術に関する若干のアスペクトにおける継続したスケーリングに対して(1)現在開発中の「技術ソリューション」が果たす必要がある比較的短期の「ターゲット」を示す、(2)(合理的な信頼のおける)「既知のソリューション」がない分野を示す。この後者の状況はロードマップの上で「赤」でハイライトされる。「赤」はロードマップの上で公式に記載され、将来真のブレークスルー(breakthrough)を達成しない場合進歩が途絶えることがありえる課題を明らかに警告する。このようなブレークスルーは「赤」を「黄」に変え、最終的には将来版の中で「白」と変え、そしてロードマップの上に現れるだろう新しい概念に対して責任を負う。実際に、有用で新しい概念のロードマップ上へのマイグレーションの速度は技術進歩の促進の成功の尺度として使用できた。

一部のロードマップ読者にとっては、「赤」を指定することは、重要で刺激的なチャレンジをハイライトする目的に適切に役立っていなかった場合があった。色に関係なく、ロードマップ上の数字を「確かな実現に至る道の上にあるもの」と見なす傾向がありえる。「赤」の使用を分析すると「赤」のパラメータを 2 つのカテゴリに分類できる。

- (1) コンセンサスでは、特定の値が最終的に成し遂げられる(多分遅れる)が、しかし、我々は現在提案されたソリューションのどれもに対しても多くの信頼をおかないカテゴリ
- (2) 特定の値が決して成し遂げられないコンセンサスがある(例えば。若干の「処置」により値が不適切なものになるか、あるいは、進歩はまちがいに終ってしまう。)

保守的に解釈すると、「第二の種類」の「赤」パラメーターを効率よくロードマップを「超えている」又は「外れている」と見なすことがありえる。ITRS の将来版の中で、我々はこれらのケース(「赤の濃度」)を識別しようとするだろうし、たびたび使用されるが定義があいまいな用語「ロードマップ上/外」を他の手段を用いて明らかにするだろう。

どの項目が「ロードマップ上/外」であるかのもうひとつの意味は、対応する技術の幅に関係する。1999 年版 ITRS の範囲は特にミックスシグナル製品を含む全ての「complementary metal-oxide-silicon」(CMOS)集積回路に関する詳細な技術必要条件を含む。このグループは世界の半導体消費の 75%以上を構成する。もちろん、CMOS IC 設計および製造に使用される技術の多くは化合物半導体デバイス、ディスクリットデバイス、マイクロエレクトロメカニカル・システム(micro-electromechanical systems:MEMS)デバイスのような他の製品に使用される。このように、ロードマップは大部分の「薄膜プロセスベース型マイクロ/ナノ技術」に関する多くの共通技術要求を大きくカバーする。

ITRS の計画対象期間(15 年)は「ロードマップ上/外」と考慮される場合もう一つの境界を提供する。現在まで、ITRS の各版は CMOS 技術の継続したスケーリングに対する見解を中心として作成された。しかし、1999 年版ではロードマップの計画対象期間が CMOS の継続したスケーリングに関する最も楽観的な予測と一致する地点に略到達している(例えば、約 20nm の MOSFET チャネル長)。半導体業界における大部分の関係者にとって、歴史的な傾向であるプロセス装置および工場コストの増

加をもう 15 年間負担できると想像することは難しい！このように、ITRS の将来版は、機能当りのコストを一段と削減し集積回路性能をさらに改善する我々の能力を永続させるようなラジカルな取り組みに向かい始めるだろう。そのような取り組みが新しいデバイス並びに新しい製造パラダイムを含むことになるだろう。コミュニケーションの強化およびロードマップ本版で特定した多くの重大な課題および研究ニーズについての創造的なソリューションの刺激によって、将来への備えを本版が手助けすることを強く望む。

### 1-1-2 解決策候補に関する見方

ITRS は将来の技術チャレンジに対する明確なソリューションを早まって識別することを避けようと試みている。しかし、これは難しい。何故ならば、ニーズに関するガイダンスを意図しており、また、「1 人のニーズは時々もう 1 人のソリューションである」(例えば、顧客-供給者関係または「技術階層」範囲内の他種類の関係を通して)からである。ガイダンスを提供するこの必要性にもかかわらず、ロードマップ参加者は更なるマイクロエレクトロニクス先進技術への創造的な取り組みの範囲を制限すると解釈されることからロードマップを防ぐために絶えず新しいやり方を追求している。結果として生じた妥協策の 1 つとして、ITRS は選択されたチャレンジに対する解決策候補の実例となる例を提示することだけにしている。全てのケースに関して、現在までに提案された全てのソリューションの完全なリストとしてこの例を解釈してはいけなく、さらに言うまでもなく、この例が近い将来調査されなければならない問題に限定していない点に留意する必要がある。現在の考え方および努力を伝えるために、二三の既知ポテンシャル技術ソリューションをリストする。さらに、特定の解決策候補のリスト化はロードマップ・プロセスにより承認を得たものではない。採用される可能性が一番高いソリューションを提示するとか、他の革新的な概念を見捨てて現在知られている解決策候補に焦点を当てると理解される又は解釈されることは本書の意図ではない。実際、このロードマップが他の革新的な概念の創造を促進することを強く希望する。半導体業界の将来の成功は新しい考えに依存し続ける。

### 1-2 全体のロードマップ・プロセスおよび構造

産(チップメーカおよび装置・材料サプライヤ)、学、官からの該当分野におけるエキスパートから構成された、対応する International Technology Working Group: ITWG によって、ITRS の各技術領域の章が作成される。それに加えて、ITRS の各版は「サブ TWG ミーティング」およびパブリック「ロードマップ・ワークショップ」を通して大きなコミュニティから集められるフィードバックを取り入れる。本版については、ITRS ワークショップが 1999 年 7 月 8-9 日にカリフォルニア州サンタクララで開催された。この広範囲な入力結果から成るロードマップが、半導体業界の将来の技術ニーズに対し可能な最も広いコンセンサスを構築することの「最良の試み」であると望む。

ITWGs には 2 つのタイプ、「フォーカス」TWGs および「クロスカット」TWGs がある。フォーカス TWGs は集積回路に関して「設計/プロセス/テスト/パッケージの製品フロー」のシーケンシャルに広がる典型的なサブアクティビティに対応する。クロスカット TWGs は多くの重大なポイントで個々に「製品フロー」と重なる傾向がある重要なサポートアクティビティを代表する。1999 年版 ITRS では、フォーカス TWG は以下の通りである。

- 設計
- テスト
- プロセスインテグレーション、デバイス、構造
- フロントエンドプロセス
- リソグラフィ
- 配線
- ファクトリインテグレーション
- アセンブリ&パッケージング

同じように、1999 年クロスカット TWGs は以下の通りである。

- 環境、安全、健康
- 欠陥低減
- 計測
- モデリングとシミュレーション

各 ITWG には 5 つの地域(ヨーロッパ、韓国、日本、台湾、米国)の各々から 2 人の代表者が所属する。この代表者は一般的に各地域の「国内」TWGs から選出される。ITRS プロセスの全体調整は International Roadmap Committee (IRC) の責任であり、それはまた、各地域(例えば、米国では SIA ロードマップ調整委員会[Roadmap Coordinating Group: RCG]などの地域調整委員会を代表する)から、2 人のメンバが所属する。

IRC の主要機能は以下を含む。

- ITWG にガイダンス/調整を提供すること
- ITRS ワークショップを主催すること
- ITRS を編集すること

IRC ガイダンス/調整の中心部分は Overall Roadmap Technology Characteristics (ORTC) 表の作成(ならびに継続更新)により提供される。この表には重要なハイレベルな技術要求を要約しており、将来の「テクノロジー・ロード」を定義し、一般に、個別 ITWG によって書かれた章の間で整合性を確立するためにいくつかの共通参照ポイントを確立する。ORTC 表の中で表されるハイレベルなターゲットは、一つには、集積回路技術において現在の高速度の進歩の維持を必要とする経済戦略に基づく。このように、個別 ITWG の詳細な将来の要求の表現における TWG の保守的な傾向をバランスするために「トップダウン式ビジネスインセンティブ」を ORTC は提供する。

各章における「主要な表」は ORTC 表にならって作成した個々の技術要求表である。1999 年版 ITRS では、ORTC および技術要求表を「短期」(毎年、1999～2005 年)および「長期」(2008 年、2011 年、2014 年)に分割した。二三の主要な「リソグラフィ関連」ORTC ラインを含む表 B に、この新しいフォーマットを図示する。

## NEAR-TERM YEARS

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
DRAM ½ PITCH (nm)	180	165	150	130	120	110	100	D ½
MPU GATE LENGTH (nm)	140	120	100	85-90	80	70	65	M GATE
MPU / ASIC ½ PITCH (nm)	230	210	180	160	145	130	115	M & A ½
ASIC GATE LENGTH (nm)	180	165	150	130	120	110	100	A GATE

## LONG-TERM YEARS

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm	DRIVER
DRAM ½ PITCH (nm)	70	50	35	D ½
MPU GATE LENGTH (nm)	45	30-32	20-22	M GATE
MPU / ASIC ½ PITCH (nm)	80	55	40	M & A ½
ASIC GATE LENGTH (nm)	70	50	35	A GATE

表B ITRS 表の構造－製品タイプによる主要リソグラフィ関連特性

ORTC および技術要求表は特定の技術要求に関する導入タイミングについて現在における最良推定を示すつもりである。理想的には、ロードマップが各要求について「調査－開発－プロトタイプ化－製造」サイクルに沿った複数のタイミングポイントを示すことである。しかし、簡潔さのために、現在は通常 1 つのポイントだけを見込む。「デフォルト」ポイントは ITRS で「導入の年」と呼ばれ、「大量生産への入口のリーディングエッジ段階」とされる。しかし、ORTC および技術要求表における段が各ケースについて定義される他のタイミングポイント(例えば、「サンプル段階」)に言及する点に注意すべきである。「長期」については、もちろん、ある技術要求の「導入の最良推定年」が選択された表の 3 年間隔の間に入ることは可能である。しかし、今後一般にはこれは当てはまらない、何故ならば「テクノロジー・ノード」の概念がビット/チップが 4 倍増の新しいダイナミックランダムアクセスメモリ(dynamic random access memory:DRAM)世代の導入と歴史的にリンクした「相乗作用サイクル」のまわりで技術開発を同期させることを試みるからである。このサイクルが完全にムーアの法則(3 年サイクルで 4 倍)に従う限り、テクノロジー・ノードおよび DRAM 世代は本質的に同義だった。しかし、近年では「技術－開発サイクル」は 2 年に近づいてきた。加えて、テクノロジー・ドライバの役目を果たしている製品がより多様になり、製品特有技術の導入/最適化がより速いペースになり、ビジネスおよび技術における複雑性が一般に増加することすべてが「次のテクノロジー・ノードへ進む」を伝統的に特徴づけたパラメータを分離する傾向に有る。例えば、トランジスタゲート長および金属銅配線幅のスケールリングが DRAM セル領域のスケールリングから比較的独立していることは明らかである。両方ともリソグラフィ機能によってまだ基本的に制限されているが、今日では、他の非常に影響力がある要因が多く存在する。実際、基本リソグラフィ技術の選択肢さえますます「製品特定」になる傾向があった。(例えば「できるだけ速く波長をプッシュ」対「位相変移マスクの使用」)このように、ITRS の将来版については、我々は「テクノロジー・ノード」をリストし続ける有用性を見直す必要がある。しかし、1999 年版については、(20-22-nm トランジスタゲート長を含む)「35nm 世代」迄、ITRS は将来の半導体技術ノード 6 個を示す。このように、「ノードの指定」(1999 年版 ITRS の計画対象期間で「35nm」)はそのノードのトランジスタゲート長または最小特徴サイズ特性ではなくて DRAM ピッチ(表 B 中の 1 つの段)によって定義されることに注意する。ITRS 表に関連した付加の(ある場合にはより明確な)定義を付帯文書 B に記

載する。

## テクノロジー・ドライバ

ORTC 表から表 B のために選択された特定のリソグラフィに関連した段は特別であり、技術要求表のうちのどの特定段についても「ドライバ」として ITWG によって指定される。技術要求に関するドライバの指定は最終的な ITRS 表の結束のプロセスを助け、そのうえ、最終的なドキュメントにおいて想定されるタイミングの依存性の表示を提供する。このように、ロードマップが次の版においてアップデートされる時、この情報は新しい表の first-pass strawman (ドラフト) バージョンを造るために使用される。例えば、ORTC 表のドライバ段における必要条件がその後 1 年と、ITWG 技術要求表における段が指定 ORTC ドライバ段に沿って、デフォルトでシフトすると仮定する。特定の必要条件についてドライバを表示していない場合は自動シフトがない。しかし、前版にリストされなかった年に対応しているカラム中の段について新しい数値を生成するために必要であるので、内挿を使用する。

## 2. テクノロジ・ノード・チャレンジ

---

### 2-1 前書き

ITRS99 では、digital communication 等の consumer electronics に用いられることが予想される SoC デバイスを検討対象に加えた。

技術の程度を示す指標として、DRAM half pitch の 180,130,100,70,50,35nm をテクノロジ・ノードとして定義した。それぞれのノードは前のノードに対し約 70%の縮小 reduction であり、主要な技術進歩の存在を想定している。

それぞれの technology node で量産が開始される(月 1 万個を出荷)最初の年として以下の年を設定した。

テクノロジ・ノードを各 Working Group (WG) で共通に用いることにより、ロードマップ roadmap の理解がより容易になることを期待している。

この章では、WG 毎の検討結果を、可能な範囲でテクノロジ・ノード毎に整理したうえで、簡易で平易なサマリとして読者に提供しようとするものである。

YEAR	1999	2002	2005	2008	2011	2014
TECHNOLOGY NODE (nm)	180	130	100	70	50	35

#### 2-1-1 設計 WG

SoC の設計は、従来のメモリ、MPU、ASIC 単独の設計から、アナログ、ミックスドシグナル、radio frequency (RF)、micro electronic mechanical system (MEMS) などの混成ブロックから構成される LSI 設計への革新を意味する。すなわち(1)微細化に伴う素子数増大、寄生効果増大による signal integrity 設計の複雑化 (silicon complexity)、(2)ソフトウェアを設計対象に含めることによる複雑化 (system complexity)、(3)混載ブロックによる設計フローの複雑化 (design procedure complexity)、(4)設計検証の複雑化 (verification & analysis complexity)、(5)テスト設計の複雑化 (test/testability complexity) の設計課題が顕在化する。

マーケット要求から、SoC を cost-driven SoC と performance-driven SoC に大別し課題と解決技術候補を分析した。マーケット要求に応えるためには、純粋に設計技術の視点のみならず、time-to-market、コストなど経済性に立脚した LSI 設計の重要性が増大する。このために core base 設計すなわち Design Reuse を中心とした LSI 設計生産性 design productivity の革新が不可欠な要素となる。

#### 2-1-2 テスト WG

基本的なニーズはテストの信頼性向上(低市場不良率)と低テストコストである。

100nm 以上の Node でも既に配線微細化に伴うクロストーク cross talk のような新たな故障モードをテストする対応が必要となっており、これについての研究の促進が望まれる。混載デバイスにおけるアナログ/デジタルミックス回路のテスト、ならびに高速デバイスを安価な低速テストを用いてテストする技術も 100nm 以上での主要な challenge であり、いずれもチップ内部でテストパターンの発生と結果の保持が行える built-in-self-test (BIST) が potential solution である。

100nm 未満では SoC のテストが課題であり、高位レベルでの[technical term?]のテスト容易化設計 design-for-test (DFS)が必要となる[SoC と DFT の因果関係の説明? ]。100nm 未満ではテスト工程におけるメモリ、ロジックデバイスの built-in-self-repair による不良チップの救済も検討される。

### 2-1-3 フロントエンドプロセス WG

比例縮小 (scaling) による微細化を継続するためには、従来の材料・技術が物理的限界に到達するため、材料・プロセス面からこれを打破するような技術が必要である。MOSFET のゲート SiO<sub>2</sub> 膜の直接トンネル電流によるトランジスタ正常動作不能に対しては高誘電率材料の採用、ポリシリコン電極の空乏化による動作速度の遅延およびポリシリコン電極から基板 Si へのホウ素突き抜けに対しては金属材料ゲート電極の採用、トランジスタ性能の向上に対しては極浅・低シート抵抗 pn 接合の形成方法等が課題である。また寸法が微細化すると共に、metal gate、dielectric に新材料を使用することにより、etching プロセスへの要求が非常に困難なものになる。CD 均一性、選択比 selectivity、etch profile に加え line edge roughness の制御がトランジスタの性能維持のために重要なものとなる。

100nm までは MOSFET の gate stack は equivalent oxide thickness 1nm として nitride、Al<sub>2</sub>O<sub>3</sub> または Ta<sub>2</sub>O<sub>5</sub> の絶縁膜を使う gate stack が、また ultra shallow junction には raised source/drain、plasma doping、laser annealing が、また DRAM storage cell scaling には dielectric としては BST、電極としては Ru、RuO<sub>2</sub> の採用が候補である。

100nm 未満の MOSFET では絶縁膜には BST または STO、電極には double work function metal の採用が、DRAM の新しい cell architecture としては open-bit-line-cell、cross-point-cell、multi-state-circuits が候補である。更なる微細の transistor 構造としては vertical MOS、または低寄生抵抗が期待できる double-gate SOI が候補である。

### 2-1-4 配線 WG

配線への基本的なニーズはデバイスの高速化と微細化への対応である。MOS トランジスタの高速化がすすむに従い、配線間の容量 Capacity による遅延 delay がデバイスの動作速度を支配する要因となる。配線材料としては、従来からの Al に比べ、比抵抗 resistivity が小さいこと、相対的に配線膜厚が薄くできるために配線間の容量を小さくできることから Cu が使用される。配線の層間絶縁膜 inter-metal dielectric には配線回路における遅延を最小にするために従来の SiO<sub>2</sub> から dielectric constant (k) の低い膜への変更がすすむ。100nm では k=1.6~2.2 程度の材料の開発が



必要であり、ポーラスなポリマー、SiOH、SiOHCH<sub>3</sub> (methyl siloxane) 等が候補材料である。Cu 配線と絶縁膜間の反応 interaction を防止するために 10nm の厚さのバリアメタル barrier metal 開発が必要である。さらにコンタクトホール contact hole は微細化のために高いアスペクト比 high aspect ratio を有するものとなりこれにメタルを埋め込む filling 技術が必要であるが、メタル CVD、イオン化スパッタ Ionized sputtering、高圧組込 high pressure filling 等が有望である。70nm ではバリアメタルの使用は困難であり Cu の拡散 diffusion を防止できるような k=1.5 の材料開発が必要である。50nm 以下では k=1.5 以下が必要で、中空配線 air gap interconnect が候補である。また LSI 配線の一部は Cu 配線に代わり高周波 radio frequency または光通信技術が使われると考えられる。

## 2-1-5 リソグラフィ WG

リーズナブルなコストを維持しつつ、上記の technology timing に合う微細加工を達成していくことがニーズである。これまでは露光光源の短波長化、光学系の高 NA 化、ハーフトーン型位相シフトや輪帯照明のような弱い超解像技術 (RET) の実用化、およびレジストの高性能化によって3年で約 0.7 倍の微細化を達成してきた。今後は、露光光源にさらに波長の短い F2 レーザー (157nm) 等の真空紫外光を用いる VUV 露光技術とレベソソ型位相シフトマスク等の強い超解像技術を実用化することによりさらに光リソグラフィ技術を延長していくか、もしくは EUV (extreme UV)、EPL (electron beam projection lithography)、PXL (proximity X-ray lithography) 等の新しい原理のリソグラフィ技術 (NGL) を実用化する必要がある。VUV 光は酸素や有機材料での吸収が大きいため、酸素フリーの露光装置や新規レジスト材料/プロセスが必要となる。NGL は従来使用されてきた光リソグラフィ技術とは原理が異なり、光源・光学系・マスク・レジスト等ほぼすべてのコンポーネントに対し技術革新が必要となる。

Critical dimension の制御、overlay、defect density が各 node 共通の大チャレンジである。これは単に相対的な微細化が継続されるためだけによるのではなく、100nm 以下のノードでは、レジスト分子の大きさや感光や現像に必要な物理距離が加工寸法に近い、寸法・位置ならびに欠陥等の現行の計測技術は(メトロロジーと欠陥低減の項で述べられるように) 困難な領域に入る、装置の構造材の熱や振動による変位が無視できなくなる、等の絶対的な制約により困難さが一層増大することに起因する。

それぞれのノードでの解決策候補は下記のとおりである。

<i>NODE</i>	<i>POTENTIAL SOLUTIONS</i>
<i>180 nm</i>	KrF
<i>130 nm</i>	KrF+RET, ArF
<i>100 nm</i>	ArF+ RET, F2, EPL, PXL, IPL
<i>70 nm</i>	F2+RET, EPL, EUV, IPL, CBDW
<i>50 nm</i>	EUV, EPL, IPL, CBDW
<i>35 nm</i>	EUV, IPL, EPL, CBDW, Innovative Technology

## 2-1-6 プロセスインテグレーション、デバイスおよび構造 WG

DRAM のチップサイズは、過去にはビット容量が 4 倍増加する度に 1.4 倍増加する傾向があった。この傾向が今後とも継続するとチップサイズが過大となりリソグラフィの露光エリアや package の大きさに支障が発生するので、今回はビット容量が 4 倍大きくなる度にチップサイズが 1.2 倍大きくなるモデルを提案した。このモデルは、メモリ容量が 2 年で 2 倍ずつ増大する傾向と一致している。このモデルによるチップサイズの従来傾向からの抑制は、デザインルールに対しセル面積の小さい open-bit-line-cell、cross-point-cell などの新たなセル構造実現の必要性を高める。

MOSFET の微細化については、フロントエンドプロセスで述べられているゲート絶縁膜と浅い接合の問題を解決しながら、特性バラツキの少ない高性能 MOSFET のインテグレーションが大きな課題である。100nm node のチャネル形成技術としてハロードーピングや高易動度 SiGe エピ層の導入が解決策候補として考えられる。50nm 以降のノードでは不純物の量や位置の統計的なゆらぎが顕著となる領域に入り、量子ドット、単一電子トランジスタなどの新スイッチングデバイス novel switching devices such as quantum dot or single electron transistors が可能解となりうる。メモリでは不揮発性 RAM である FeRAM や MRAM などの新しいデバイスが解として考えられる。

アナログミクストシグナルに関しては、低電圧 (2.0-1.5 volt) 化に伴うアナログ回路のノイズ対策が重要となる。同時に、微細化時におけるキャパシタの容量の確保や寄生容量の最小化が技術課題となり、前者については高誘電体膜の導入、後者については Cu 多層配線、SOI 基板、3次元構造化などの採用が可能な解となる。

メモリ、ロジック、アナログ素子などが混載される SoC においては、デジタル・アナログ間ノイズなど異種回路ブロック間の干渉を抑制すると共に、工程数やチップサイズの増大の抑制などコストパフォーマンスに優れるプロセスインテグレーションが重要な課題である。

## 2-1-7 アセンブリ&パッケージング WG

基本的なニーズは実装全体の小型化と放熱対策である。800 ピンを超えるようなロジックデバイスでは、チップの外周部にだけ端子を設けた従来方式は、チップ面積が端子を設けるためだけに大型化してしまうため、チップ全面に格子配列の端子を設けた area array 方式の採用が必須となる。パッケージの小型化ならびに低コスト・高密度実装化を実現するため、ball grid array (BGA) への flip chip 接合が期待される。サブストレータは従来のセラミックスから低コストの有機材料への変更が求められ、要求材料特性には、吸湿性が低い、熱膨張係数がチップのそれに近い、(環境保全のために Pb フリーのはんだを採用するのにともない) ガラス転移点 (固体から液体化) 温度が高い、などがある。サブストレータ上の配線は、接続端子およびファンアウト配線のいっそうのファインピッチ化が必要である。アンダーフィル材料には接合の機械的強度を確保するための濡れ性、接着性と信頼性保証のための耐湿性の改善が必要である。またチップの発熱量に応じ、放熱にすぐれたパッケージ・実装をシミュレーション・設計する技術や、高密度サブストレータおよびパッケージの品質・信頼性を、プローブを使わない等、信頼性高く試験する方法の開発が求められる。

さらなる小型化には、CSP (chip size package) の fine pitch ball grid array (FBGA) への flip chip

接合技術の確立が求められ、ファンアウト配線のいっそうの微細化が必要となる。

## 2-1-8 ファクトリインテグレーション WG

基本ニーズは工場生産性、すなわちコスト低減、変化への柔軟な対応、信頼性 reliability と有用性 availability の改善、工期の短縮等の追求である。今回は、半導体製造工程の内のウエーハ処理 wafer processing を対象とし、high-volume/high-mix と high-volume/low-mix のラインについて検討した。

検討の前提として、多くの新製品や新技術の導入、プロセスの多様化、大口径ウエーハの導入、自動化や工場システムへの依存性増加、など「複雑さへの対応」がある。これらの前提のうえに、コスト低減と工期短縮との「最適化」と、多世代の製品や規模の拡大に対する「汎用性 flexibility/拡張性 extendability」を課題として検討した。

「ファクトリーオペレーション」を全体を統括する概念と位置づけし、製品工期、ライン稼働率などの要求をまとめた。high volume/high mix ラインにおけるテクノロジ・ノード毎の mask layer 当たり工期の要求を以下のように設定した。

TECHNOLOGY NODE (nm)	180	130	100	70	50	35
Non Hot Lot Production Period per Mask Layer (days)	1.8	1.6	1.4	1.3	1.2	1.1
Hot Lot Production Period per Mask Layer (days)	0.9	0.85	0.8	0.75	0.7	0.65

次に「工場システム」、「製造装置」、「搬送」、「ファシリティ」を個々の技術分野とした。「搬送」へはダイレクト搬送/枚葉搬送とリアルタイムディスプレイへ要求と検討を行い、100nm node におけるダイレクト搬送の実現を、「製造装置」には非生産(ダミー、コンディショニング、テスト)ウエーハの削減を求めた。

## 2-1-9 環境、安全、健康 WG

Chemicals materials and equipment management は、技術者に新化学物質や新材料の使用以前にそれらの ESH に関する情報を提供し、新技術や新製品の完成後に ESH 問題が発生することを防ぐ。climate change mitigation は、半導体工場や設備等での使用エネルギーを削減し、更に地球温暖化効果の大きい物質の排出を削減する。worker protection は、工場、設備、保護具、教育・訓練等を発展させて安全と健康を確保する。resource conservation は水・エネルギー・化学物質・材料等の使用料を削減し、有害物質の代替え物質を開発し、産業廃棄物の再資源化を促進する。ESH design and management method は、ESH に関し最も負荷の少ない材料とプロセスを決める方法論を確立する。

特に 70nm 以降においては、プロセスに新化学物質を使用する可能性が高まるので、これらを総合的に評価し、環境負荷情報を迅速に提供する方法論の確立が必要である。また、気候変動や資源保護に対する社会的な要請がより強化されるため、環境負荷の少ない代替物質やリサイクル技術

の確立が必要である。

## 2-1-10 モデリング&シミュレーション WG

モデリング & シミュレーションのニーズは開発効率の向上、生産効率の向上である。プロセス、デバイスの電氣的動作、熱的ダメージ、信頼性等を理論モデルに基づき計算し、プロセス/デバイス/回路を効率よく最適化する。それによって、130nm node において 25%、100nm node において 35% のコスト削減を可能とする。

微細化に伴い、100nm までに、従来モデルの高性能化に加えてリソグラフィ、エッチング、CVD 等のプロセスに対する新たなモデル開発が必要となる。プラズマ、ウェーハ表面での反応、レジストの露光・現像反応等の複雑な反応の解明が必要である。計算精度や時間を向上するために、グリッド(メッシュ)発生や数値計算アルゴリズムの開発も必要である。100nm 未満では新しく導入されるゲート材料モデルや絶縁物の誘電率、極めて薄いゲート絶縁膜のトンネル現象や信頼性等の予測技術が要求される。ナノメートルデバイスでは量子効果や不純物原子の分布が離散的になる効果が顕著になるため、原子レベルでの正確なモデル化が必要となる。解決策としては、100nm 以上では物質を連続体と仮定したモデルが主であったのに対し、原子レベルでの正確な物質の振る舞いや材料特性の予測のために、原子や電子を粒子として扱うモンテカルロ法等の離散モデルや、量子力学を土台として原子の振る舞いを直接計算する第一原理計算により経験的なパラメータを極力排した計算を行うことが挙げられる。

## 2-1-11 メトロロジー WG

180nm ノードにおいても、デバイス製造工程で要求される検査スピードと精度を考えた時、メトロロジーは多くの検査対象について、現存する検査手段の能力限界に達している。130nm ノードではデバイス構造の微細化や微細化に伴って発生するアスペクト比化に対応することが主なニーズであり、180nm ノードに引き続いての課題である微細構造や高アスペクト比構造での高解像度観察、ドーパントプロファイルの高空間分解能計測に加え、極薄ゲート酸化膜・極薄容量絶縁膜の高精度膜厚測定が大チャレンジである。100nm ノードではパターン微細化の推進を図ることが主なニーズとなり、ウェーハパターン、マスクパターンの寸法およびパターン位置を高精度に測定することが課題となる。70nm ノードでは、プロセス材料およびコンタミネーションをさらに精密に制御することが必要となり、微粒子や微量不純物の高感度検出が課題として浮上してくる。一方全ノードをとおして精密にプロセスを制御するために、高性能なプロセス監視センサーやモニターの開発が求められる。

## 2-1-12 欠陥低減 WG

半導体技術の基本指標である歩留を高く確保するために、欠陥低減はどのノードにおいても共通の永遠の課題である。ノードが進むにつれてデバイスの複雑さが増し、欠陥源を突き止めるために解決しなければならないデータ量は 180nm ノードに対して 50nm ノードでは 80 倍にもなる。このため欠陥検査装置に対する要求を始め、欠陥を解析するシステムに対する要求は厳しさを増し、欠陥

低減は更に大チャレンジとなっている。

従来方式の UV 光を用いたパターン付きウエーハの欠陥検査装置の検査速度は 130nm ノードから既に量産時の要求に達しなくなる。高アスペクト比パターンの欠陥検査を行える検査装置もなく、欠陥の分類速度や扱える欠陥数、元素分析の速さも不十分であり、欠陥源の同定が極めて困難な状態になる。欠陥低減要求に合致するような新たな欠陥検査装置の開発が急務である。

### 3. 大チャレンジ一覧表

#### 3-1 設計

*Table C Design Difficult Challenges*

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Silicon complexity	Large numbers of interacting devices and interconnects Impact of signal integrity, noise, reliability, manufacturability Power and current management; voltage scaling Need for new logic families to meet performance challenges Atomic-scale effects Alternative technologies (such as copper, low $\kappa$ dielectric, SOI)
System complexity	Embedded software as a key design problem System-on-a-chip design with a diversity of design styles (including analog, mixed-signal, RF, MEMS, electro-optical) Increased system and function size Use of open systems and incorporation into global networks Integrated passive components
Design procedure complexity	Convergence and predictability of design procedure Core-based, IP-reused designs and standards for integration Large, collaborative, multi-skilled, geographically distributed teams Interacting design levels with multiple, complex design constraints Specification and estimation needed at all levels Technology remapping or migration to maintain productivity
Verification and analysis complexity	Formal methods for system-level verification System-on-a-Chip specification Early high-level timing verification Core-based design verification (including analog/mixed-signal) Verification of heterogeneous systems (including mixed-signal, MEMS)
Test/testability complexity	Quality and yield impact due to test equipment limits Test of core-based designs from multiple sources (including analog, RF) Difficulty of at-speed test with increased clock frequencies Signal integrity testability
<i>FIVE ADDITIONAL DIFFICULT CHALLENGES &lt; 100 nm / BEYOND 2005</i>	
Silicon complexity	Uncertainty due to manufacturing variability Uncertainty in fundamental chip parameters (such as signal skew) Design with novel devices (multi-threshold, 3D layout, SOI) Soft errors
System complexity	Total system integration including new integrated technologies (such as MEMS, electro-optical, electro-chemical, electro-biological) Design techniques for fault tolerance Embedded software and on-chip operating system issues
Design procedure complexity	True one-pass design process supporting incremental and partial design specification Integration of design process with manufacturing to address reliability and yield
Verification and analysis complexity	Physical verification for novel interconnects (optical, RF, 3D) at high frequency Verification for novel devices (nanotube, molecular, chemical)
Test/testability complexity	Dependence on self-test solutions for SoC (RF, analog) System test (including MEMS and electro-optical components)

$\kappa$ —dielectric constant

SOI—silicon on insulator

IP—intellectual property



### 3-2 テストおよびテスト装置

*Table D Test and Test Equipment Difficult Challenges*

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
BIST and DFT	Test equipment costs will rise toward \$20M and wafer yields may suffer without DFT and BIST. DFT required for at-speed test with a low-speed tester. Tools required for inserting DFT and BIST and estimating cost. Analog BIST needed. Access to SoC cores needed when using DFT and BIST.
DUT to ATE interface	A major roadblock will be the need for high-frequency, high pin-count probes and test sockets; research and development is urgently required to lower inductance and cost. Increasing pincounts lead to larger test heads and longer I/O round-trip delays (RTD). This problem can be avoided using two transmission lines, but I/O pins must then drive 25 ohms. Power and thermal management problems Nonuniform wafer temperatures and the requirement for active DUT temperature control Simulation needed for the path from the device through the package to the ATE pin electronics Interface circuits must not degrade ATE accuracy or introduce noise. Especially for high- frequency differential DUT I/O Faster, multi-socket, automatic package handlers are required.
Mixed-signal instruments	IC manufactures must partner with the ATE suppliers to ensure ATE capability will match the mixed-signal requirements These will require more bandwidth, higher sample rates, and lower noise. Testing chips containing RF and audio circuits will be a major challenge if they also contain large numbers of noisy digital circuits.
Failure analysis	3D CAD and FA systems for isolation of defects in multi-layer metal processes New fault models, such as for crosstalk. Automatic test generators for fault diagnosis. CAD software for fault diagnosis using new fault models to support DFT and BIST requirements.
Test development.	Automatic test program generators to reduce test development time Test standards, such as STIL , IEEE P1500 Reuse of core tests for SoC to reduce test development time Simulation of the ATE, interface, and DUT to avoid test development on expensive ATE. (virtual testing) Data management needs to be integrated into test program development
<i>FIVE DIFFICULT CHALLENGES &lt;100 nm / BEYOND 2005</i>	
DUT to ATE interface	Optical probing techniques Full wafer test Power and thermal management problems, especially with 300 mm wafers and increasing parallel test sites Contactless probing using BIST (see DFT/BIST section)
SoC test methods	New DFT techniques (SCAN and BIST have been the mainstay for over 20 years). New test methods for control and observation are needed. Tests will need to be developed utilizing the design hierarchy. Analog BIST Logic BIST for new fault models and failure analysis Deterministic self-test instead of pseudo random test patterns EDA tools for DFT selection considering cost/performance issues
MEMS, sensors, and new IC technologies	Develop new test methods.
New burn-in techniques.	Research is required. Test during burn-in using burn-in DFT/BIST capability; low-cost, massive parallel test during burn-in
Failure analysis.	Realtime analysis of defects in multi-layer metal processes New fault models, such as noise New CAD tools for diagnosis Failure analysis for analog devices

*FA—failure analysis*

*SCAN—A test method in which test patterns are scanned in and out of the DUT.*

*STIL—IEEE Standard Test Interface Language*

### 3-3 プロセスインテグレーション、デバイスおよび構造

*Table E Process Integration, Devices, and Structures Difficult Challenges*

<i>FIVE DIFFICULT CHALLENGES ≥100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Meeting device performance targets with available gate stack materials	Production worthy high $\kappa$ dielectrics and compatible gate materials will not be available.
Function integration at low $V_{dd}$	Crosstalk, substrate noise, and device performance difficult to optimize simultaneously at high clock rates and low $V_{dd}$ .
Managing power, ground, signal, and clock on multilevel coupled interconnect	Despite the use of low $\kappa$ dielectrics, interconnect scaling is increasing coupling capacitance, crosstalk and signal integrity issues. Power, clock, and ground distribution will consume an increasing fraction of available interconnect.
Management of increasing reliability risks with the rapid introduction of new technologies.	Inadequate identification and modeling of failure modes in new materials, new operating regions (such as tunneling) and new SoC technologies (such as MEMS)
Integration of precision passive elements	Maintaining high Q, low noise, and tolerances of discrete components.
<i>FIVE DIFFICULT CHALLENGES &lt;100 nm / BEYOND 2005</i>	
Overcoming fundamental scaling limits for current device structures	Switching drive, noise margin, material properties, and reliability will limit performance improvements from scaling
Integration choices for system-on-a-chip	Cost-effective process integration of many functions on a single chip.
Atomic level fluctuations and statistical process variations	Possible reduction of yield and performance below desired levels due to unacceptable statistical variations.
Design for manufacturability, reliability, and performance.	Inadequate smart design tools that incorporate integration challenges in process control, proximity effects, reliability, performance, and others
Low-power, low-voltage, high-performance, and reliable nonvolatile memory element	NVM program and erase require voltages that are incompatible with highly scaled low-voltage devices



### 3-4 フロントエンドプロセス

*Table F Front End Process Difficult Challenges*

<i>DIFFICULT CHALLENGES THROUGH 2005, LOGIC GATE LENGTH &gt; 65 nm</i>	<i>SUMMARY OF ISSUES</i>
Nitride Derivatives and High $\kappa$ Gate Stacks	Effective oxide thickness $\sim > 1.2$ nm for nitride derivatives, $\sim < 1.2$ nm for high $\kappa$ Achieve optimal channel mobility $> 95\%$ of $\text{SiO}_2$ Minimize gate leakage mechanisms to achieve $\sim < 1 \text{ A/cm}^2$ for high-performance logic and $\sim < 0.001 \text{ A/cm}^2$ for system LSI Control Boron penetration. Minimize gate electrode depletion, e.g., polysilicon depletion Chemical compatibility of dual metal with appropriate work functions
DRAM Storage Cells (Stack and Trench Capacitors)	Implementation of $\text{Ta}_2\text{O}_5$ , BST, etc., with associated compatible electrode materials Capacitor structures that meet $(\text{DRAM } \frac{1}{2} \text{ Pitch})^2$ scaling Trench and stack capacitor scaling to $< 100$ nm
Ultra-Shallow Junctions (USJ) with Standard Processing	Achievement of lateral and depth abruptness Achievement of low series resistance, $< 10\%$ of channel $R_s$ Annealing technology to achieve $\sim < 300 \Omega/\square$ at $\sim < 30$ nm $X_j$
$L_{\text{eff}}$ Control	Etch CD control and selectivity Sidewall etch control Microloading effects of dense/isolated lines Halo/pocket implant optimization Overall thermal cycle control
Metrology	Physical, electrical and chemical measurement and characterization of gate dielectric, electrodes, USJ, etc.
<i>DIFFICULT CHALLENGES BEYOND 2005 AND AFTER, LOGIC GATE LENGTH <math>\leq 65</math> nm</i>	
Ultra High $\kappa$ Gate Stack	Effective oxide thickness $< 0.9$ nm Chemical compatibility of dual metal with appropriate work functions Acceptable channel mobility Thermal budget and dielectric stability CD Control Gate Leakage $\sim < 1 \text{ A/cm}^2$ for high performance logic, $\sim < 0.001 \text{ A/cm}^2$ for system LSI Cost-effective CMOS integration
Memory Storage Cell	Will an alternate storage cell supplant conventional memory? Ultra high $\kappa$ capacitor dielectric (Epi BST) Are trench and stack capacitor structures viable at or below 70 nm while meeting $(\text{DRAM } \frac{1}{2} \text{ Pitch})^2$ scaling?
Alternate and Ultra-scaled Transistor Structures	CMOS structure: raised S/D, replacement gate process flow, CD control, CMOS integration, and others New device structures beyond planar CMOS: pillar, wraparound gate, and others.
Integration of Silicon Compatible Materials	CoO of large wafers ( $> 300$ mm): epi, SOI, Si:Ge Development of compatible high $\kappa$ dielectric materials Development of compatible dual metal electrodes Development of material compatible cleaning processes
Metrology	Physical, chemical and electrical measurement and characterization of new dielectric, electrodes, and ultra-shallow, ultra-abrupt, dopant distributions

### 3-5 リソグラフィ

*Table G Lithography Difficult Challenges*

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Optical mask fabrication with resolution enhancement techniques for ≤ 130 nm and post-optical mask fabrication	Development of commercial mask manufacturing processes to meet requirements of Roadmap options (such as 157 nm substrates and films; defect free multi-layer substrate or membranes) Development of equipment infrastructure (writers, inspection, repair) for relatively small market
Lithography technology consensus (193 nm + RET, 157 nm, NGL)	Narrowing of Roadmap options for 100–50 nm nodes. Achieving global consensus among technology developers and chip manufacturers
Cost control and return on investment (ROI)	Achieving constant/improved throughput with larger wafers Development of cost-effective resolution enhanced optical masks and post-optical masks including an affordable ASIC solution, such as low costs masks. Achieving ROI for industry (chipmakers, equipment and material suppliers, and infrastructure) on large investments necessary for Roadmap acceleration, especially single node solutions at 100 nm and below.
Gate CD control improvements	Development of processes to control minimum feature size to less than 7 nm, 3 sigma
Overlay improvements	Development of new and improved alignment and overlay control methods independent of technology option
<i>FIVE DIFFICULT CHALLENGES &lt; 100 nm BEYOND 2005</i>	
Mask fabrication and process control	Development of commercial mask manufacturing processes to meet requirements of Roadmap options (such as 157 nm substrates and films; defect free multi-layer substrate or membranes) Development of equipment infrastructure (writers, inspection, repair) for relatively small market Development of mask process control methods to achieve critical dimension, image placement, and defect density control below 100 nm nodes
Metrology and defect inspection	R&D for critical dimension and overlay metrology, and patterned wafer defect inspection for defects < 40 nm
Cost control and return on investment (ROI)	Development of innovative technologies, tools, and materials to maintain historic productivity improvements Achieving constant/improved throughput with post-optical technologies Achieving ROI for industry (chipmakers, equipment and material suppliers, and infrastructure) on large investments necessary for Roadmap acceleration, especially single node solutions at 100 nm and below.
Gate CD control improvements	Development of processes to control minimum feature size to less than 5 nm, 3 sigma, and reducing line edge roughness
Overlay improvements and measurements	Development of new and improved alignment and overlay control methods independent of technology option

### 3-6 配線

*Table H Interconnect Difficult Challenges*

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
New materials	Rapid introduction of materials/processes are necessary to meet resistivity and low/high $\kappa$ targets and address SoC needs.
Reliability	New materials create new chip reliability (electrical, thermal and mechanical) exposure. Detecting, testing, modeling and control of failure mechanisms will be key.
Process integration	Combinations of materials (Cu, Al, low $\kappa$ , high $\kappa$ , ferroelectrics, new barriers/nucleation layers) along with multiple technologies used in SoC applications open new integration challenges.
Dimensional control	Multi-dimensional control of interconnect features is necessary for circuit performance and reliability. Multiple levels, new materials, reduced feature size and pattern dependent processes create this challenge.
Interconnect process with low/no device impact	As feature sizes shrink, interconnect processes must be compatible with device roadmaps. Low plasma damage, contamination and thermal budgets are key concerns.
<i>FIVE DIFFICULT CHALLENGES &lt;100 nm / BEYOND 2005</i>	
Dimensional control and metrology	Multi-dimensional control and metrology of interconnect features is necessary for circuit performance and reliability.
Aspect ratios for fill and etch	As features shrink, etching and filling high aspect ratio structures will be challenging, especially for DRAM. Dual damascene metal structures are also expected to be difficult.
New materials and size effects	Continued introductions of materials/processes are expected. Microstructural and quantum effects become important.
Solutions beyond copper and low $\kappa$	Material innovation with traditional scaling will no longer satisfy performance requirements. Accelerated design, packaging and unconventional interconnect innovation will be needed.
Process integration	Combinations of materials along with multiple technologies used in SoC applications are a continued challenge. Plasma damage, contamination and thermal budgets are key concerns.

### 3-7 ファクトリインテグレーション

*Table I Factory Integration Difficult Challenges*

<i>DIFFICULT CHALLENGES</i>	<i>SUMMARY OF ISSUES</i>
Complexity Management	<p>Rapidly changing business needs and globalization trends</p> <ul style="list-style-type: none"> <li>Increasing rate of new product and technology introductions</li> <li>Globally disparate factories run as single "virtual factory"</li> <li>Need to meet regulations in different geographical areas</li> </ul> <p>Increasing process and product complexity</p> <ul style="list-style-type: none"> <li>Explosive growth of data collection/analysis requirements</li> <li>Increasing number of processing steps</li> <li>Multiple lots in a carrier</li> </ul> <p>Larger wafers and carriers driving ergonomic solutions</p> <ul style="list-style-type: none"> <li>Increasing expectations for material handling automation systems</li> </ul> <p>Increased reliance on factory systems</p> <ul style="list-style-type: none"> <li>Multiple system interdependencies</li> <li>Co-existence of new factory systems with existing (legacy) systems</li> </ul>
Factory Optimization	<p>Meet customer ontime delivery</p> <ul style="list-style-type: none"> <li>Balanced throughput and cycle time</li> <li>Reduce time to ramp factories, products, and processes</li> </ul> <p>Improve Overall Factory Effectiveness (OFE)</p> <ul style="list-style-type: none"> <li>Improve all Factory Integration thrust areas</li> </ul> <p>Improve factory yield</p> <ul style="list-style-type: none"> <li>Control production equipment and factory processes to reduce parametric variation</li> </ul> <p>Reduce product and operation cost</p> <ul style="list-style-type: none"> <li>Minimize waste and scrap and reduce the number of nonproduct wafers</li> </ul> <p>Satisfy all local, state and federal regulations.</p>
Extendibility, Flexibility, and Scalability	<p>Reuse of building, production and support equipment, and factory systems</p> <ul style="list-style-type: none"> <li>Across multiple technology nodes</li> <li>Across a wafer size conversion</li> </ul> <p>Factory designs that support rapid process and technology changes and retrofits</p> <ul style="list-style-type: none"> <li>Understand up-front costs to incorporate EFS</li> <li>Determine which EFS features to include and not to include</li> <li>Minimize downtime to on-going operations</li> </ul> <p>Increase tighter ESH/Code requirements</p> <p>Increase purity requirements for process and materials</p>

### 3-8 アセンブリ&パッケージング

*Table J Assembly & Packaging Difficult Challenges*

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Improved organic substrates for high I/O area array flip chip	$T_g$ compatible with Pb free solder processing $\epsilon_r$ approaching 2.0 Improved area array escape wireability at low cost Lower CTE approaching 6.0 ppm/°C Low moisture absorption High density substrate test
Improved underfills for high I/O area array flip chip Reliability limits of flip chip on organic substrates	Improved manufacturability (fast dispense/cure), better interface adhesion, lower moisture absorption, flow for dense bump pitch Reliability up to 170°C for automotive Comprehensive parametric knowledge of packaging components (chip size, underfill, substrate, heat sink, UBM/bump)
Coordinated design tools and simulators to address chip, package, and substrate complexity	Physical design Thermal/thermo-mechanical Electrical (power disturbs, EMI, signal integrity associated w/higher frequency/current, lower voltage, mixed-signal co-design) Commercial EDA supplier support
System reliability impact of Cu/low $\kappa$ on packaging	Bump and underfill technology to assure low $\kappa$ dielectric integrity Mechanical strength of dielectrics Interfacial adhesion
Cost effective cooling for cost-performance and high-performance sectors	Meeting 40°C above ambient temperature Localized on-chip power density
<i>DIFFICULT CHALLENGES &lt; 100 nm / BEYOND 2005</i>	
Close the gap between the substrate technology and the chip	Low-loss, low $\epsilon_r$ materials Cost/unit area constant (cost/layer decreasing) Interconnect density scaled to silicon System level solution that optimizes reliability and cost
"System level" view of integrated chip, package, and substrate needs	Commercial EDA supplier support
Ultra high frequency design for high density digital and mixed-signal packaging	Efficient design and simulation tools Integrated analog to digital design tools
Manufacturability and reliability of large body packages	Substrate flatness Co-planarity of chip-to-package and package-to-board

CTE—coefficient of thermal expansion  
EMI—electromagnetic interference

UBM—under bump metallurgy  
EDA—electronic design automation



### 3-9 環境、安全、健康

*Table K Environment, Safety, and Health Difficult Challenges*

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Chemicals, Materials and Equipment Management	<p><i>Chemical Data Collection</i> Need to document and make available environment, safety, and health characteristics of chemicals.</p> <p><i>New Chemical Assessment</i> Need for quality rapid assessment methodologies to ensure that new chemicals can be utilized in manufacturing, while protecting human health, safety, and the environment without delaying process implementation.</p> <p><i>Environment Management</i> Need to develop effective management systems to address issues related to disposal of equipment, and hazardous and non-hazardous residue from the manufacturing process.</p>
Climate Change Mitigation	<p><i>Reduce Energy Use Of Process Equipment</i> Need to design energy efficient larger wafer size processing equipment.</p> <p><i>Reduce Energy Use Of The Manufacturing Facility</i> Need to design energy efficient facilities to offset the increasing energy requirements of higher class clean rooms.</p> <p><i>Reduce High Global Warming Potential (GWP) Chemicals Emission</i> Need ongoing improvement in methods that will result in emissions reduction from GWP chemicals.</p>
Workplace Protection	<p><i>Equipment Safety</i> Need to design ergonomically correct and safe equipment.</p> <p><i>Chemical Exposure Protection</i> Increase knowledge base on health and safety characteristics of chemicals and materials used in the manufacturing and maintenance processes, and of the process byproducts; and implement safeguards to protect the users of the equipment and facility.</p>
Resource Conservation	<p><i>Reduce Water, Chemicals And Materials Use</i> Requirements for large amounts of water, chemicals, and materials limit sustainable growth.</p> <p><i>Waste Recycle</i> Increase in resource use as the result of increasing process complexity will require that efficient waste recycling methods be developed.</p>
ESH Design and Measurement Methods	<p><i>Evaluate and Quantify ESH Impact</i> Need integrated way to evaluate and quantify ESH impact of process, chemicals, and process equipment, and to make ESH a design parameter in development procedures for new equipment and processes.</p>
<i>FIVE DIFFICULT CHALLENGES &lt; 100 nm / BEYOND 2005</i>	
Chemicals, Materials and Equipment Management	<p><i>Chemical Use Information</i> Rapid introduction of chemicals and materials into new process requires the understanding of process fundamentals in order to reduce ESH impacts.</p>
Climate Change Mitigation	<p><i>Reduce Energy Use</i> The importance of reducing energy use for climate change will grow.</p> <p><i>Reduce High GWP Chemicals Emissions</i> No known alternatives and international regulatory pressure to reduce emissions of GWP chemicals.</p>
Workplace Protection	<p><i>Equipment Safety</i> Need ergonomic principles integrated into the processing and wafer moving equipment for both operation and maintenance aspects, and into the overall manufacturing facility.</p>
Resource Conservation	<p><i>Reduce Water, Energy, Chemicals And Materials Use</i> Need resource efficient processing and facility support equipment and improved water reclaim and recycling methods. Emphasis on resource sustainability will grow.</p>
ESH Design and Measurement Methods	<p><i>Evaluate and Quantify ESH Impact</i> Need integrated ESH design in development of new equipment and processes.</p>

### 3-10 欠陥低減

Table L Defect Reduction Difficult Challenges

FIVE DIFFICULT CHALLENGES $\geq 100$ nm / THROUGH 2005	SUMMARY OF ISSUES
<i>Yield Models</i> —Random, systematic, parametric, and memory redundancy models must be developed and validated to correlate process induced defects, equipment generated particles and product/process measurements to yield	Correlated process-induced defects (PID), particles per wafer per pass (PWP), product inspections, and <i>in situ</i> measurements Sampling and statistical issues with ultra-small populations Impact of within-wafer variations on yield predictions Development of parametric yield loss models
<i>High Aspect Ratio Inspection</i> —High-speed, cost-effective tools must be developed that rapidly detect defects associated with high-aspect ratio contacts/vias/trenches, and especially defects near/at the bottom of these features.	Poor transmission of energy into bottom of via and back out to detection system Large number of contacts and vias per wafer
<i>Trace Impurity Specifications</i> —Test structures and advanced modeling are needed to determine the effect of trace impurities on device performance, reliability and yield.	The need to better understand the impact of trace impurities is expected to become more important as new materials and processes are introduced.
<i>Defect Sourcing</i> —Automated, intelligent analysis and reduction algorithms that correlate facility, design, process, test and WIP data must be developed to enable rapid root cause analysis of yield limiting conditions.	Circuit complexity grows exponentially and the ability to rapidly isolate failures on non-arrayed chips is needed. Automated data reduction algorithms must be developed to source defects from multiple data sources (facility, design, process and test.)
<i>Nonvisual Defects</i> —Failure analysis tools and techniques are needed to enable localization of defects where no visual defect is detected.	Many defects that cause electrical faults are not detectable inline.
FIVE DIFFICULT CHALLENGES $< 100$ nm / BEYOND 2005	
<i>Yield Models</i> —Defect “budgeting” must comprehend greater parametric sensitivities, complex integration issues, greater transistor packing, ultra-thin film integrity, etc.	Development of test structures for new technology nodes Modeling complex integration issues Ultra-thin film integrity modeling Better methods of scaling front end process complexity that considers increased transistor packing density
<i>Defect Detection</i> —Detection and simultaneous differentiation of multiple killer defect types is necessary at high capture rates and throughputs	Existing techniques tradeoff throughput for sensitivity, but at predicted defect levels, both throughput and sensitivity are necessary for statistical validity. Ability to detect particles at critical size do may not exist
<i>Escalating Inspection Costs</i> —Equipment must effectively utilize realtime process and contamination control through integrated <i>in situ</i> process and product metrology	Equipment must effectively utilize real time process and contamination control through <i>in situ</i> sensors. Inspection must occur during yield ramp and by exception only in a production environment.
<i>Defect Characterization</i> —Defect data must include size, shape, composition, location all independent of “background,” for accelerated yield learning	Defect characteristic data will be necessary to enable continued yield learning. Inline defect detection data must include size, shape, composition, and so on., all independent of location and topology. Test structures will have to be developed that emulate design to process and process integration issues.
<i>Defect Free Intelligent Equipment</i> —Advanced modeling (chemistry/contamination), materials technology, software and sensors are required to provide robust, defect-free process tools that predict failures/faults and automatically initiate corrective actions prior to defect formation.	Advanced modeling (chemistry/contamination), materials technology, software and sensors are required to provide robust, defect-free process tools that predict failures/faults and automatically initiate corrective actions prior to defect formation Development of advanced low defect surface preparation techniques

### 3-11 メトロロジ

*Table M Metrology Difficult Challenges*

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Factory level and company wide metrology integration for <i>in situ</i> and inline metrology tools; continued development of robust sensors and process controllers; and data management that allows integration of add-on sensors	Standards for process controllers and data management must be agreed upon. Conversion of massive quantities of raw data to information useful for enhancing the yield of a semiconductor manufacturing process. Better sensors must be developed for trench etch end point, ion species/energy/dosage (current), and wafer temperature during RTA.
Impurity detection (particles, oxygen, and metallics) at levels of interest for starting materials and reduced edge exclusion for metrology tools	Existing capabilities will not meet Roadmap specifications. Very small particles must be detected and properly sized. Detectivity of trace metals in bulk silicon or in the top silicon layer of SOI (silicon on insulator) must be enhanced.
Measurement of the frequency-dependent dielectric constant of low $\kappa$ interconnect materials at 5x to 10x base frequency.	Equipment, procedures, and test structures need to be reduced to practice and applied to low $\kappa$ interconnect materials that account for clock harmonics, skin effects, cross-talk, and anisotropy of materials.
Control of high-aspect ratio technologies such as damascene challenges all metrology methods.	New process control needs are not yet established. For example, 3-dimensional (CD and depth) measurements will be required for trench structures in new, low $\kappa$ dielectrics.
Measurement of complex material stacks	Reference materials and standard measurement methodology for new, high $\kappa$ gate and capacitor dielectrics with interface layers, thin films such as interconnect barrier and low $\kappa$ dielectric layers, and other process needs. Optical measurement of gate and capacitor dielectric averages over too large an area and needs to characterize interfacial layers. The same is true for measurement of barrier layers.
<i>ADDITIONAL DIFFICULT CHALLENGES &lt; 100 nm / BEYOND 2005</i>	
Nondestructive, production worthy wafer and mask level microscopy for critical dimension measurement, overlay, defect detection, and analysis	Surface charging and contamination interfere with electron beam imaging. CD measurements must account for side wall shape. CD for damascene process may require measurement of trench structures.
Standard electrical test methods for reliability of new materials, such as ultra-thin gate and capacitor dielectric materials, are not available.	The wearout mechanism for new, high $\kappa$ gate and capacitor dielectric materials is unknown.
Statistical limits of sub-70 nm process control	Controlling processes where the natural stochastic variation limits metrology will be difficult. Examples are low-dose implant, thin gate dielectrics, and edge roughness of very small structures.
3D dopant profiling	The dimensions of the active area approach the spacing between dopant atoms, complicating both process simulation and metrology. Elemental measurement of the dopant concentration at the requested spatial resolution is not possible.
Production worthy, physical inline metrology for transistor processes that provides SPC required to achieve consistent electrical properties	Presently, the combined physical metrology for gate dielectric, CD, and dopant dose and profile is not adequate for sub-70 nm design rules.

*SPC—statistical process control*



### 3-12 モデリングおよびシミュレーション

*Table N Modeling and Simulation Difficult Challenges*

<i>DIFFICULT CHALLENGES <math>\geq 100</math> nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
High frequency circuit modeling (>1GHz)	Efficient simulation of full-chip interconnect delay High frequency circuit models including non-quasi-static, gate RLC, substrate noise, QM effects Accurate 3D interconnect model; inductance effects
Modeling of ultra-shallow junctions	Diffusion parameters (such as from first principles calculations) for As, B, P, Sb, In, Ge Interface effects on point defects and dopants Activation models (In, As, B); metastable states Implant damage, amorphization, re-crystallization
Unified package/die-level models	Unified package/chip-level circuit models Integrated treatment of thermal, mechanical, electrical effects
Model thin film and etch variation across chip/wafer (Equipment/topography)	Reaction paths and rate constants; reduced models for complex chemistry Plasma models; linked equipment/feature models CMP (full wafer and chip level) Pattern dependent effects
Model alternative lithography technologies	Resolution enhancement; mask synthesis (OPC, PSM) Predictive resist models 248 versus 193 versus 157 evaluation and tradeoffs Next-generation lithography system models
Reliability models for circuit design and technology development	Circuit and device level transistor reliability: oxide TDDB, hot carrier, electromigration, NVM reliability, SER, ESD, latch-up
Model new interconnect materials and interfaces	Electromigration (physical), grain structure, diffusion barriers, metallurgy, low $\kappa$ dielectric materials
<i>DIFFICULT CHALLENGES &lt;100 nm / BEYOND 2005</i>	
Gate stack models for ultra-thin dielectrics	Electrical and processing models for alternate gate dielectrics, and alternate gate materials (such as metal) Model epsilon, surface states, reliability, breakdown and tunneling from process conditions
Nano-scale device modeling	New device concepts (using quantum effect) beyond traditional MOS; single electron transistors, effect of single dopants, etc.
Atomistic process modeling	Accurate atomic scale models for process integration

