

9. リソグラフィ

9-1 スコープ

リソグラフィは、依然として半導体産業を推進する重要な役割を担っている。半導体産業の発展は、大きなフィールドサイズのリソグラフィやオーバーレイの技術の進歩によってもたらされたものである。リソグラフィは主要な経済的要素でもあり、そのコストは現在のチップ製造コストの 35 パーセント以上を占めている。また、機器や原材料の面においては国際的な依存関係が大である。このきわめて重要な技術を発展させ、業界の成長を維持してゆくためには、R&D (research and development[研究開発]) および実用化のための多額の投資が必要となる。

リソグラフィの主要なインフラ要素としては、下記が挙げられる。

- 露光機器
- レジストの素材および加工機器
- マスクの製造、マスク機器、および原材料
- CD (critical dimension[臨界寸法]) の測定機器およびオーバーレイ制御

本章では、リソグラフィの重要課題、技術要件、およびこれらの要素に対して考えられるソリューション(解決手段)を定義した 15 年間のロードマップを示す。また、リソグラフィ TWG (technology working group[技術ワーキンググループ]) と、ESH (Environment, Safety, and Health[環境、安全性、および健康])、欠陥の低減、測定法、モデリングおよびシミュレーションの各 TWG との相互活動および依存関係についても定義する。

光リソグラフィは、依然として業界の主流をなす技術であり、現在では 180 nm 設計ルール of 最先端の大量生産工場で使用されている。拡張光技術は、130 nm の製品およびプロセスの開発をサポートするために使用されている。拡張光技術に使用される RET (resolution enhancement techniques、解像度改善技術) には、OAI (off-axis illumination、オフ・アクシス・イリュミネーション)、PSM (phase shifting masks、フェーズ・シフティング・マスク)、OPC (optical proximity correction、オプティカル・プロクシミティ・コレクション) がある。光リソグラフィを長期に渡って使用してゆくためには、RET に加え、波長の短縮 (193 nm → 157 nm) と数値口径投射レンズの増大が求められる。100 nm までの拡張光技術により遅れているのが業界の現状であり、10 パーセント (3 シグマ) のポスト・エッチ CD 制御に必要な十分かつ実用的なプロセス・レベル (焦点深度/露光窓) を維持することが重要な課題となる。

EUV (extreme ultraviolet lithography、エクストリーム・ウルトラバイオレット・リソグラフィ)、XRL (X-ray lithography、X 線リソグラフィ)、EPL (electron projection lithography、陽子照射リソグラフィ)、IPL (ion projection lithography、イオン照射リソグラフィ) といった先端技術は、すでに R&D の段階から 35 nm アプリケーションのための商業ベースの開発の段階に入っている。1 つのトータル・システムを商業ベースでの使用が可能なツールあるいはインフラとして開発するためのコストは、10 億ドルに達するものと見込まれる。このような巨額のコストを考えると、生産手段をタイムリーに確保するためには近い将来選択肢を絞り込むことが必要となる。リソグラフィにおいては、実用的なポスト光技術に関するグローバルなコンセンサスを確立することが大きな課題となる。

将来の技術の複雑化および投資額の巨額化にともない、研究、開発、および実用化のための新たなグローバル・モデルが必要となる。新たなリソグラフィ技術の開発は複雑な作業で、多大なコストを要するが、半導体業界の継続的発展には技術の進歩が不可欠である。

9-2 大チャレンジ

業界の生産性の定常的改善を実現するためにクリアすべき 10 大課題を表 38 に示す。100 nm までのノードに関する 5 大課題は下記の通りである。

- ≤ 130 nm の RET (Resolution enhancement techniques、解像度強化技術) による光マスクの製造、およびポスト光の製造
- リソグラフィ技術に関するコンセンサスの確立 (193 nm、157 nm、NGL)
- コスト管理および ROI (return on investment、投資収益)
- ゲート CD 制御の改善
- オーバーレイの改善

100 nm 未満の 5 大課題は下記の通りである。

- マスクの製造およびプロセス制御
- 測定法および欠陥の検査
- コスト管理および投資収益 (ROI)
- ゲート CD 制御の改善
- オーバーレイの改善および測定

マスク製造能力とコストの増大は、リソグラフィの進歩を妨げる大きな要因となっている。過去 3 年間のロードマップの加速により、チップメーカーのニーズがマスク業界の能力に先行する事態となっている。複雑な OPC (optical proximity correction、オプティカル・プロクシミティ・コレクション) や PSM (phase shifting masks、フェーズ・シフティング・マスク) のためのマスク機器や処理技術は、ようやく 180 nm ノードの生産への使用が可能になったばかりである。これらの技術は、現在 130 nm から 100 nm の開発に向けてその限界を超えるための努力がなされている。先端技術 (157 nm、XRL[X-ray lithography、X-ray リソグラフィ]、EUV[extreme ultraviolet lithography、エクストリーム・ウルトラバイオレット・リソグラフィ]、EPL[electron projection lithography、陽子照射リソグラフィ]、IPL[ion projection lithography、イオン照射リソグラフィ]) 向けのマスク・プロセスは、現在研究開発がなされている。

ポスト光技術に関する業界のコンセンサスを確立することは依然として大きな課題となっているが、157 nm 技術の登場によりそれらの技術の応用分野は 100 nm 未満にまで広がる可能性がある。

オーバーレイと CD (critical dimension、最小加工寸法) の改善は、解像度の改善よりも遅れている。マシン対マシンのオーバーレイの能力は、30 nm あたりで横這いに状態にあるように見受けられる。こ

れは、100 nm 未満のグラウンド・ルールには不十分である。100 nm 未満のリソグラフィでは、大きなフィールド・サイズのオーバーレイおよび CD の制御が引き続き大きな課題になるものと思われる。オーバーレイの条件をクリアすることは、リソグラフィにおける大チャレンジである。65 nm 未満のオーバーレイでは、ステージ技術、環境管理、干渉計、レンズの歪み、アラインメント・システムの改善が必要となる。

130 nm 以下のノードに対するゲート CD 制御の条件をクリアすることも、大きな課題の 1 つである。10 nm (3 シグマ) 未満の CD 制御では、プロセス制御、レジストの素材、LER (line edge roughness、ラインエッジ荒れ)、測定法の改善が必要となる。

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm BEFORE 2005</i>	<i>SUMMARY OF ISSUES</i>
Optical mask fabrication with resolution enhancement techniques for ≤ 130 nm and post-optical mask fabrication	Development of commercial mask manufacturing processes to meet requirements of Roadmap options (such as 157 nm substrates and films; defect free multi-layer substrate or membranes) Development of equipment infrastructure (writers, inspection, repair) for relatively small market
Lithography technology consensus (193 nm + RET, 157 nm, NGL)	Narrowing of Roadmap options for 100–50 nm nodes. Achieving global consensus among technology developers and chip manufacturers
Cost control and return on investment (ROI)	Achieving constant/improved throughput with larger wafers Development of cost-effective resolution enhanced optical masks and post-optical masks including an affordable ASIC solution, such as low costs masks. Achieving ROI for industry (chipmakers, equipment and material suppliers, and infrastructure) on large investments necessary for Roadmap acceleration, especially single node solutions at 100 nm and below.
Gate CD control improvements	Development of processes to control minimum feature size to less than 7 nm, 3 sigma
Overlay improvements	Development of new and improved alignment and overlay control methods independent of technology option
<i>FIVE DIFFICULT CHALLENGES < 100 nm BEYOND 2005</i>	
Mask fabrication and process control	Development of commercial mask manufacturing processes to meet requirements of Roadmap options (such as 157 nm substrates and films; defect free multi-layer substrate or membranes) Development of equipment infrastructure (writers, inspection, repair) for relatively small market Development of mask process control methods to achieve critical dimension, image placement, and defect density control below 100 nm nodes
Metrology and defect inspection	R&D for critical dimension and overlay metrology, and patterned wafer defect inspection for defects < 40 nm
Cost control and return on investment (ROI)	Development of innovative technologies, tools, and materials to maintain historic productivity improvements Achieving constant/improved throughput with post-optical technologies Achieving ROI for industry (chipmakers, equipment and material suppliers, and infrastructure) on large investments necessary for Roadmap acceleration, especially single node solutions at 100 nm and below.
Gate CD control improvements	Development of processes to control minimum feature size to less than 5 nm, 3 sigma, and reducing line edge roughness
Overlay improvements and measurements	Development of new and improved alignment and overlay control methods independent of technology option

表 38 リソグラフィに関する大チャレンジ

9-3 リソグラフィの技術的条件

リソグラフィのロードマップが定める必要事項は、下の表に示した通りである。

- リソグラフィの技術的要求 (表39)
- レジストに関する条件 (表40)
- マスクに関する条件 (表41)

リソグラフィの条件表は、範囲を拡張して DRAM(dynamic random access memory)、MPU(micro-processor unit)、および ASIC(application specific integrated circuit:特定用途向け IC)製品に対する条件にも焦点を当てた。RCG(roadmap coordinating group)の信任を受けた研究グループは、あらゆるタイプの製品に対して新たなチップサイズを勧告しているが、これは長期的なチップの最大サイズを大幅に縮小したものになっている。これらの新しいチップ・サイズにより、リソグラフィのツールやマスクには大きな余裕が与えられる。チップを可能な限り小さなサイズに維持することには半導体メーカーにとっては大きな経済的理由があり、この資料に記載された ITRS (International Technology Roadmap for Semiconductors) の期間を通じてチップ・サイズを一定に保つことが望ましい。同研究グループによる詳細な分析、および世界各国の専門家からの報告は、チップ・サイズの最も望ましい拡大率は4年間で20%、すなわち年間5%であることを示している。旧版のロードマップが予想していた拡大率は、3年間で40%、年間約12%であった。小さくなった新しい拡大率は、表39に示した通りである。

チップ・サイズの拡大は、フォトリソグラフィ・ツールにとっては特に重要な意味を持つ。広く普及している現在の5xステッパーのフィールド・サイズは22 mm x 22 mm、同じく広く普及している4xスキャナのフィールド・サイズは25 mm x 32 mmである。加工寸法の条件は光リソグラフィの処理能力の範囲をさらに押し広げることになるため、実用的な露光ツールやマスクを製造するためには光画像処理のフィールド・サイズをできるだけ小さくすることが重要となる。マスクの製造に関する問題を緩和することを目的とした露光システムの低減率の上昇については、2年ほど前から大きな関心が集まっている。

チップ・サイズの新しい拡大モデルを採用した場合、現在のスキャナ・フィールド・サイズおよび現在の152 mm x 152 mmのマスク・フォーマットを少なくとも10年間維持できるという可能性が生じる。一部のクラスのアプリケーションの低減率を上げ、フィールド・サイズを小さくするという別の解決方法も考えられるが、この方法が2002年以降の問題を解決する包括的手段になるとは思われない。

248 nmの高度なDUV(deep ultraviolet、深紫外線)レジストは、150 nmまでの解像能力で製造されている。最初の193 nmレジストは、130 nm～100 nmの開発に商業的に使用可能である。さらに、レスポンスや製造能力を最適化するために特定のレベルのためのレジストの開発が行われている。

マスクの条件表も、さらに小さい解像度定数(k_1)のMEF(mask error factor、マスク・エラー・ファクタ)条件を示すために拡張した。また、先進の非光技術によるNGL(next generation lithography、次世代リソグラフィ)に関する条件も定義した。180 nm未満の光リソグラフィの技術的条件および製造条件をサポートするためには、常にマスク製造技術(マスク描画装置、検査装置、修理装置、およびサブストレート)の改善に努めることが不可欠となる。光リソグラフィで解像度定数(k_1)が低下すれ

ば、マスクの検査の条件もさらに厳しくなることが予想される。ロードマップの新しいノードに関しては、ハードおよびソフトな欠陥の許容サイズの条件を満たすことが大きな関心事となっている。短期的に見た場合、フェーズやトランスミッションのエラーをとまなう小さなマスク・リージョンが DUV リソグラフィでより多くの欠陥を生じている。このような小さな欠陥を検出し、修理することが大きな課題となる。検出機能や修理機能をスケーリング条件とペースを合わせて改善することには無理があるため、マスク製造時に発生する欠陥の数を減らすことが必要となる。また、非光技術に対しては大幅な改善が必要になる。非光リソグラフィを使用したマスクでは、要求される物理的特性を備えたサブストレートの開発、およびパターン化のトレランス条件を満たすことが課題となる。素材とプロセスを大幅に改善することが必要である。さらに、光マスクにおける薄膜と同じように、印刷可能な欠陥をとまなわない非光マスクを維持する手段の開発も必要となる。また、とくにオプティカル・プロクシミティ・コレクションに関しては、急速に増大しつつあるデータ量に対応するためのソリューションも開発する必要がある。

コストを抑制あるいは低減するためには、露光ツール、マスク、レジスト、測定手段を含むトータル・システムで対応することが必要になる。180 nm 未満の解像度レベルにおいては、コストの額やコストの対象が異なる。ASIC をはじめとする低ボリュームのアプリケーションでは、マスク・コストの増大は許されざるものとなる。マスク・コストの増大を防ぐ鍵となるのは、より効率的なプロセス、より生産性の高い機器を使用することである。130 nm 未満のパターン描画システムを図 23 に示したタイムスケールに基づいて開発するためには、現在それらのシステムに割り当てられている投資額を上回る投資が必要になる。この問題を解決するためには、追加投資が不可欠である。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
DRAM								
Half pitch (nm)	180	165	150	130	120	110	100	
Contacts (nm)	200	185	170	150	145	140	130	
Overlay (nm, mean + 3 sigma)	65	58	52	45	42	38	35	
CD control (nm, 3 sigma, post-etch)	18	17	15	13	12	11	10	
MPU								
Half pitch	230	210	180	160	145	130	115	
Gate length (nm, in resist)	140	120	100	90	80	70	65	
Gate length (nm, post-etch)	140	120	100	90	80	70	65	
Contacts (nm, in resist)	230	210	180	160	145	130	115	
Gate CD control (nm, 3 sigma, post-etch)	14	12	10	9	8	7	6	
ASIC (SoC)								
Half pitch	230	210	180	160	145	130	115	
Gate length (nm, in resist)	180	165	150	130	120	110	100	
Gate length (nm, post-etch)	180	165	150	130	120	110	100	
Contacts (nm, in resist)	230	210	180	160	145	130	115	
Gate CD control (nm, 3 sigma, post-etch)	23	21	19	16	15	13	12	
Chip Size								
DRAM								
Introduction	400	—	438	—	480	—	526	
Sample (+2 years)	230	—	252	—	276	—	302	
Production (+4 years)	132	—	145	—	159	—	174	
Ramp (+6 years)	74	—	83	—	91	—	100	
MPU Cost Performance								
Introduction	340	—	340	—	372	—	408	
Ramp (+2 years)	170	—	170	—	214	—	235	
MPU High Performance								
Ramp (+2 years)	450	—	450	—	567	—	622	
ASIC/SoC								
Dependent on design up to the maximum field size at ramp	800	800	800	800	800	800	800	
Additional Requirements								
Minimum feature size for development (nm)	90	80	70	65	55	50	45	
Minimum field area (mm ²) DRAM introduction.	400	—	438	—	480	—	526	1 chip
Minimum field area (mm ²) DRAM production (year 4)	264	—	290	—	318	—	348	2 chips
Minimum field area (mm ²) MPU	450	—	450	—	567	—	622	1 chip
Depth of focus (μm)	0.7	0.7	0.7	0.6	0.6	0.6	0.5	
Mask size (mm, square optical/diameter non-optical)	152	152	152	152	152	152	152/200	
Wafer size (mm, diameter)	200	200	300	300	300	300	300	

Note: The dates in this table are the year of first product shipment of integrated circuits from a manufacturing site with volume exceeding 10,000 units. Exposure tools, resists and masks for manufacturing must be available one year earlier. Development capability must be available 2-3 years earlier.

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

表 39a リソグラフィに関する技術的要求—短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm	DRIVER
DRAM				
Half pitch (nm)	70	50	35	
Contacts (nm)	100	70	50	
Overlay (nm, mean + 3 sigma)	25	20	15	
CD control (nm, 3 sigma, post-etch)	7	5	4	
MPU				
Half pitch	80	55	40	
Gate length (nm, in resist)	45	30	20	
Gate length (nm, post-etch)	45	30	20	
Contacts (nm, in resist)	80	55	40	
Gate CD control (nm, 3 sigma, post-etch)	4	3	2	
ASIC (SoC)				
Half pitch	80	55	40	
Gate length (nm, in resist)	70	50	35	
Gate length (nm, post-etch)	70	50	35	
Contacts (nm, in resist)	80	55	40	
Gate CD control (nm, 3 sigma, post-etch)	7	5	4	
Chip Size (mm²)				
DRAM				
Introduction	—	691	—	
Sample (+2 years)	—	398	—	
Production (+4 years)	—	229	—	
Ramp (+6 years)	—	131	—	
MPU Cost Performance				
Introduction	—	536	—	
Ramp	—	308	—	
MPU High Performance				
Ramp (+2 years)	—	817	—	
ASIC/SoC				
Dependent on design up to the maximum field size at ramp	800	800	800	
Additional Requirements				
Minimum feature size for development (nm)	33	23	16	
Minimum field area (mm ²) DRAM introduction	—	691	—	1 chip
Minimum field area (mm ²) DRAM production (year 4)	—	458	—	2 chips
Minimum field area (mm ²) MPU	—	817	—	1 chip
Depth of focus (μm)	0.5	0.5	0.5	
Mask size (mm, square optical/diameter non-optical)	152/200	152/200	152/200	
Wafer size (mm, diameter)	300	450	450	

Note: The dates in this table are the year of first product shipment of integrated circuits from a manufacturing site with volume exceeding 10,000 units. Exposure tools, resists and masks for manufacturing must be available one year earlier. Development capability must be available 2-3 years earlier.

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

表 39b リソグラフィに関する技術的要求—長期

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Resist meets lithography requirements for resolution and CD control (nm, 3 sigma)	13	11	9	8	7	7	6
Resist thickness (µm, imaging layer)*	0.54–0.72	0.50–0.66	0.45–0.60	0.39–0.52	0.36–0.48	0.33–0.44	0.3–0.4
Ultra thin resist thickness (µm)**	—	—	—	—	0.15–0.10	0.15–0.10	0.15–0.10
Post-exposure bake sensitivity (nm°C)	5	4	4	3	3	2	2
Backside particles (particles/m² @ critical size, nm)	3000 @ 200	3000 @ 200	2500 @ 200	2000 @ 200	2000 @ 200	2000 @ 200	2000 @ 100
Other requirements	- Need for positive or negative resist will depend on the critical feature density - Slope should be 90 +0–2 degrees - Thermal stability should be in the range of 130–150°C - Etch selectivity should be comparable to or exceed polyhydroxystyrene (PHOST) - Strippability with no detectable residues - Airborne amine contamination ≤ 1000 pptM - Ionic/metal contaminants ≤ 5 ppb						

表 40a レジストに関する条件—長期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Resist meets lithography requirements for resolution and CD control (nm, 3 sigma)	4	3	2
Resist thickness (µm, imaging layer)*	0.21–0.28	0.15–0.20	0.11–0.14
Ultra thin resist thickness (µm)**	0.15–0.10	0.15–0.10	0.15–0.10
Post-exposure bake sensitivity (nm°C)	2	1	1
Backside particles (particles/m² @ critical size, nm)	2000 @ 100	2000 @ 100	2000 @ 100
Other Requirements	- Need for positive or negative resist will depend on the critical feature density - Slope should be 90 +0–2 degrees - Thermal stability should be in the range of 130–150°C - Etch selectivity should be comparable to or exceed polyhydroxystyrene (PHOST) - Strippability with no detectable residues - Airborne amine contamination ≤ 1000 pptM - Ionic/metal contaminants ≤ 5 ppb		

表 40b レジストに関する条件—長期

Exposure technology	Sensitivity
248 nm	20–50 mJ/cm²
193 nm	10–20 mJ/cm²
157 nm	~ 10 mJ/cm²
Extreme ultraviolet	5–10 mJ/cm²
E-beam projection	5–10 µC/cm² @ 100 kV***
E-beam direct write	1–5 µC/cm² @ 50 kV***
Ion-beam projection	0.2–2.0 µC/cm²

* Resist thickness determined by aspect ratio range of 3:1 to 4:1.

** Lower limit for ultra thin resist (UTR) determined by opacity to exposure source.

*** Linked with resolution.

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

表 露光によって決定される条件

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	
Wafer minimum half pitch (nm) [A]	180	165	150	130	120	110	100	
Wafer minimum isolated line (nm, in resist) (A)	140	120	100	90	80	70	65	
Wafer minimum contact hole (nm, in resist)	200	185	170	150	145	130	115	
Lithography technology	Optical	Optical	Optical	Optical	Optical	Optical	Optical	NGL
Magnification [B]	4	4	4	4	4	4	≥4	≥4
Mask minimum image size (nm) [C]	560	480	400	360	320	280	260	260
Mask OPC feature size (nm) [D]	280	240	200	180	160	140	130	—
Image placement (nm, multi-point) [E]	39	35	31	27	25	23	21	21
CD uniformity (nm, 3 sigma) [F]								
Isolated lines (MPU gates)	16	14	12	10/20*	9/18*	8/16*	7/14*	10
Dense lines (DRAM half pitch)	24	21	17	13/26*	12/24*	11/22*	10/20*	16
Contact/vias	24	21	17	14	13	12	11	18
Linearity (nm) [G]	28	26	23	20	18	16	14	
CD mean to target (nm) [H]	14	13	12	10	9	9	8	
Defect size (nm) [I]	144	132	120	104	96	88	80	
Data volume (GB) [J]	16	24	40	64	100	160	256	
Mask design grid (nm) [K]	10	10	10	8	8	8	4	
Attenuated PSM transmission mean Deviation from target (+/- % of target) [L]	6	6	5	5	5	5	5	—
Attenuated PSM transmission uniformity (+/- % of target) [M]	4	4	4	4	4	4	4	—
Attenuated PSM phase mean deviation from 180° (+/- degree)	5	5	5	5	4	4	3	—
Attenuated PSM phase uniformity (+/- degree)	2	2	2	2	2	2	2	—
Alternating PSM phase mean deviation from 180° (+/- degree)	—	—	—	2	2	2	2	—
Alternating PSM phase uniformity (+/- degree)	—	—	—	2	2	2	2	—
Mask materials and substrates (Exposure tool dependent)	Optical - Absorber on fused silica, except for 157 nm optical which will be absorber on modified fused silica square with pellicles - Primary PSM choices are attenuated shifter and alternating aperture X-Ray - Refractory metal on Si Carbide Membrane (100 mm diameter) - "Pellicle" definition required E-Beam Projection - Refractory metal scatterer on strutted SiN_x membrane (200 mm diameter) - "Pellicle" definition required EUV - Absorber on multilayer reflector substrate (152 mm square) - "Pellicle" definition required Ion Projection - Carbon coated silicon membrane stencil mask (200 mm diameter) - "Pellicle" definition required							

Note: The requirements are for critical layers at defined year. Early volumes are assumed to be relatively small and difficult to produce.

* The second number applies to alternating PSM only. Delta between NGL and Optical is due to optical MEF at low k_1

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 41a マスクに関する条件—短期

YEAR TECHNOLOGY NODE		2008 70 nm	2011 50 nm	2014 35 nm
Wafer minimum half pitch (nm) [A]		70	50	35
Wafer minimum isolated line (nm, in resist) [A]		45	30	20
Wafer minimum contact hole (nm, in resist)		80	55	40
Lithography technology		Optical	NGL	NGL
Magnification [B]		≥4	≥4	≥4
Mask minimum image size (nm) [C]		180	180	120
Mask OPC feature size (nm) [D]		90	—	—
Image placement (nm, multi-point) [E]		15	15	12
CD uniformity (nm, 3 sigma) [F]				
Isolated lines (MPU gates)		10*	7	5
Dense lines (DRAM half pitch)		14*	11	8
Contact/vias		8	12	9
Linearity (nm) [G]		10	7	5
CD mean to target (nm) [H]		6	5	4
Defect size (nm) [I]		55	40	28
Data volume (GB) [J]		1024	2048	8196
Mask design grid (nm) [K]		4	4	4
Attenuated PSM transmission mean deviation from target (+/- % of target) [L]		4	—	—
Attenuated PSM transmission uniformity (+/- % of target) [M]		4	—	—
Attenuated PSM phase mean deviation from 180° (+/- degree)		3	—	—
Attenuated PSM phase uniformity (+/- degree)		2	—	—
Alternating PSM phase mean deviation from 180° (+/- degree)		1	—	—
Alternating PSM phase uniformity (+/- degree)		1	—	—
Mask materials and substrates (exposure tool dependent)	Optical	- Absorber on fused silica, except for 157 nm optical which will be absorber on modified fused silica square with pellicles - Primary PSM choices are attenuated shifter and alternating aperture		
	X-Ray	- Refractory metal on Si Carbide Membrane (100 mm diameter) - "Pellicle" definition required		
	E-Beam Projection	- Refractory metal scatterer on strutted SiN _x membrane (200 mm diameter) - "Pellicle" definition required		
	EUV	- Absorber on multilayer reflector substrate (152 mm square) - "Pellicle" definition required		
	Ion Projection	- Carbon coated silicon membrane stencil mask (200 mm diameter) - "Pellicle" definition required		

Note: The requirements are for critical layers at defined year. Early volumes are assumed to be relatively small and difficult to produce.

* This number applies to alternating PSM only. Delta between NGL and Optical is due to optical MEF at low k_1 .

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 41b マスクに関する条件—長期

9-4 解決策候補

以下のロードマップでは、リソグラフィに関する戦略を示す。

- 露光技術の解決策候補 (図23)
- レジスト技術の解決策候補 (図24)
- マスク技術の解決策候補 (図25)

光リソグラフィは、そのコスト効率の良いリミットへの望ましい主流的な手段である。248 nm の DUV (deep ultraviolet、深紫外線)リソグラフィを 180 nm 未満の生産にまで拡張するためには、多大な努力が要求される。焦点深度を上げるためには、レンズの設計手段や“optical enhancements”の開発が必要となる。

193 nm の DUV 技術に対しては、過去 5 年間に多大な労力と資金が投入されてきた。現在のプログラムは、130 nm ノードの技術を市場に導入することを目的としている。この技術については、必要とされる焦点深度を実現する実用的なソリューションも開発されなければならない。

ロードマップの加速と近年の光素材の進歩にともない、157 nm 技術は過去数年にわたり大きく支持されてきた。商業活動は、インフラのほとんどの分野において開始されている。157 nm 技術は、100 nm ノードに対する好ましい選択肢となりつつある。193 nm 技術については、157 nm を 100 nm ノード対して市場に導入するために世界的な規模で多額の資本を集中させることが必要である。

光技術より新しいリソグラフィ、すなわち NGL (next generation lithography、次世代リソグラフィ)は、すべて 100 nm 未満の技術の代替候補となる。これらはいずれも、それぞれの地域において強力な支持を得ている。日本では、現在 1x のプロキシミティ XRL (X-ray lithography、X 線リソグラフィ)が EBDW (electron beam direct-write、電子ビームによる直接描画法)とともに最も支持されている。IPL (ion projection lithography、イオン照射リソグラフィ)は、ヨーロッパで開発が行われている。EPL (electron projection lithography、陽子照射リソグラフィ)は、アメリカと日本で開発が行われている。EUV (extreme ultraviolet lithography、エクストリーム・ウルトラバイオレット・リソグラフィ)は、アメリカ、日本、ヨーロッパで開発が行われている。現在業界で最も支持されているのは、EUV と EPL である。

最も進歩したリソグラフィを実用化するためには、高度なレジスト・システムの開発が必要となる。プロセス・レベル、エッチ抵抗、インプラント・ブロッキング、および物理的安定性の条件を維持するためには、科学的に増幅された多層レジストまたは TLI (thin layer imaging、薄層イメージング)レジストが必要になることも考えられる。

既存のマスク機器 (マスクの描画装置、検査装置、修理装置、測定装置など)は、各世代のリソグラフィ技術ごとに大幅に改善することが必要になる。193 nm を超える技術に関しては、マスク検査が at-wavelength ソリューションを必要とすることも考えられる。高度ないずれの代替リソグラフィにおいても、プロセスや素材の大幅な改善が必要になる。1x のプロキシミティ XRL のマスク機器は、高度な nx 技術の一部の条件を推進することになる。

技術的にはさまざまな選択肢が存在するが、複数の技術に関して完全なインフラ (露光ツール、レジスト、マスク、測定手段)を整備することが可能かどうかということになれば、業界が投入できる資金

には限界がある。したがって、政府、業界、および大学が密接かつグローバルな相互活動を通じて、これら次世代の技術のなかから適切な技術を選択してゆくことがどうしても必要となる。

非光リソグラフィの導入はパラダイムの大きな転換を意味するが、ムーアの法則によって推進される技術的条件や複雑さをクリアするためにはこのような転換が必要になることも考えられる。このような転換はリソグラフィのインフラに大きな変化をもたらし、システムを商業化するためには多額の資源が必要となる。

高いスループットを実現した直接描画技術におけるブレークスルーは、パラダイムを大きく転換させるものとなろう。それにより、マスクは必要ではなくなり、コストの削減および開発時間の短縮が可能になる。マスクを必要としないその他の技術も、同様にパラダイムの転換をもたらす。

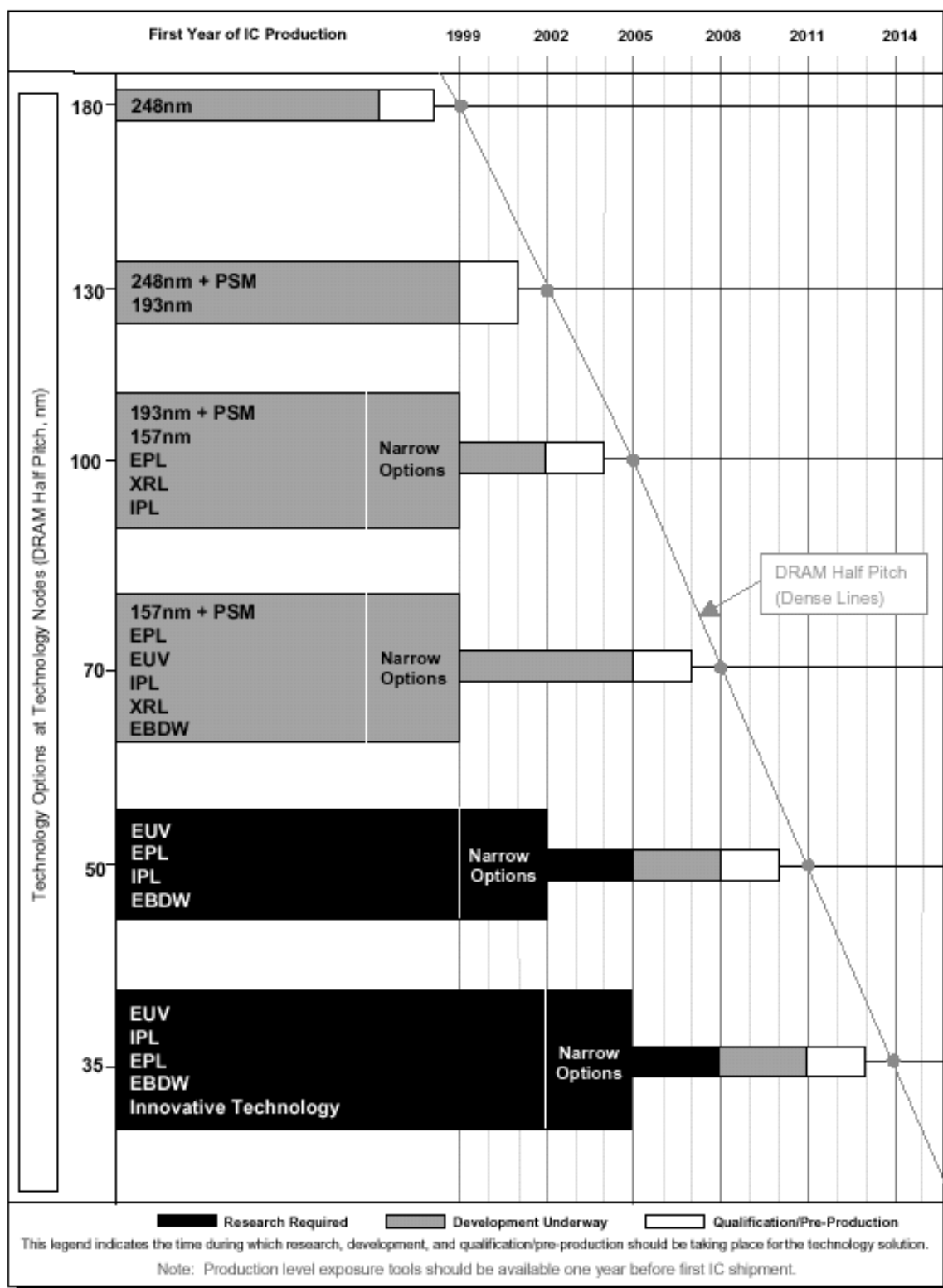


図 23 リソグラフィの露光ツールの解決策候補

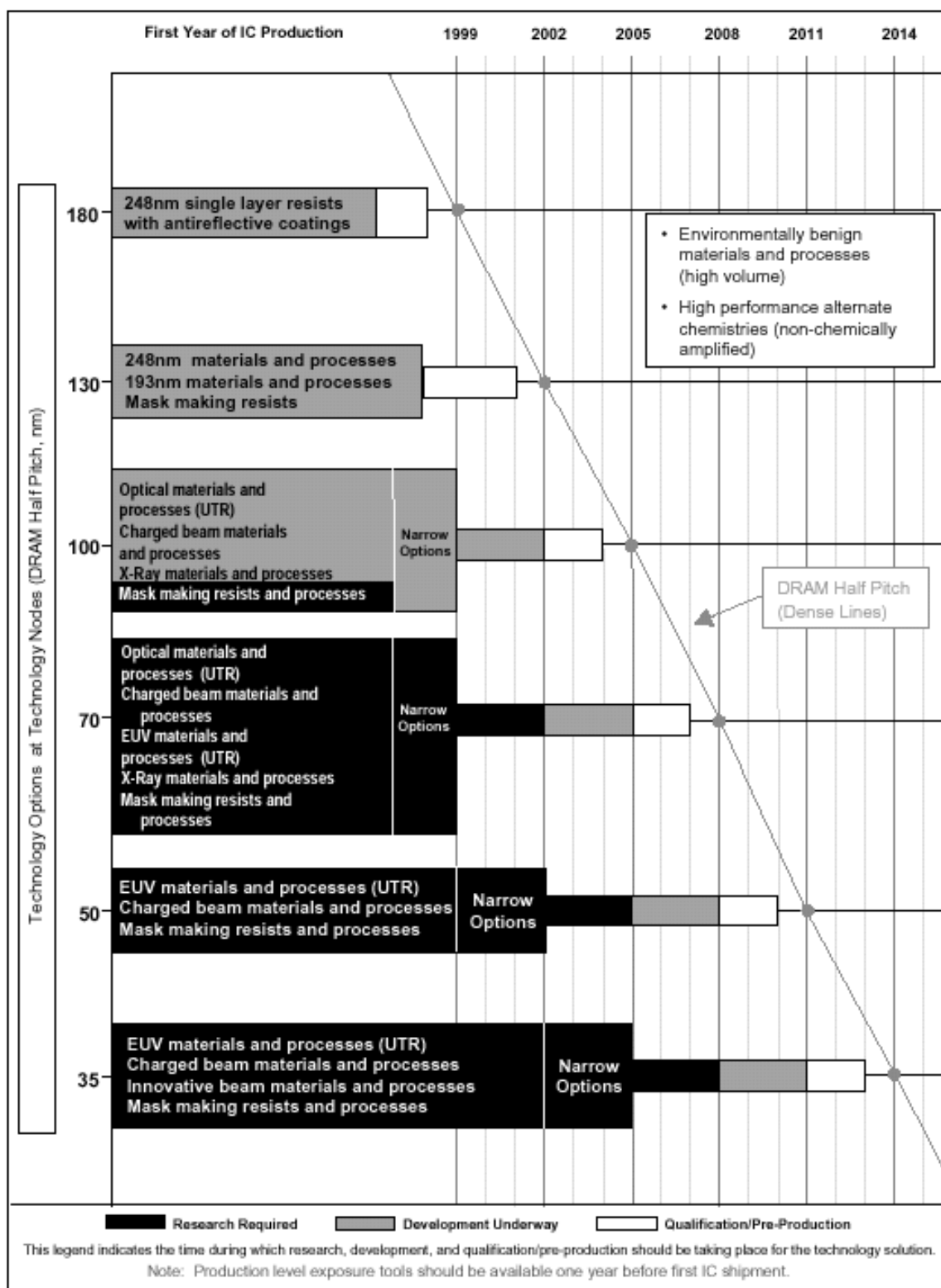


図 24 レジスト技術の解決策候補

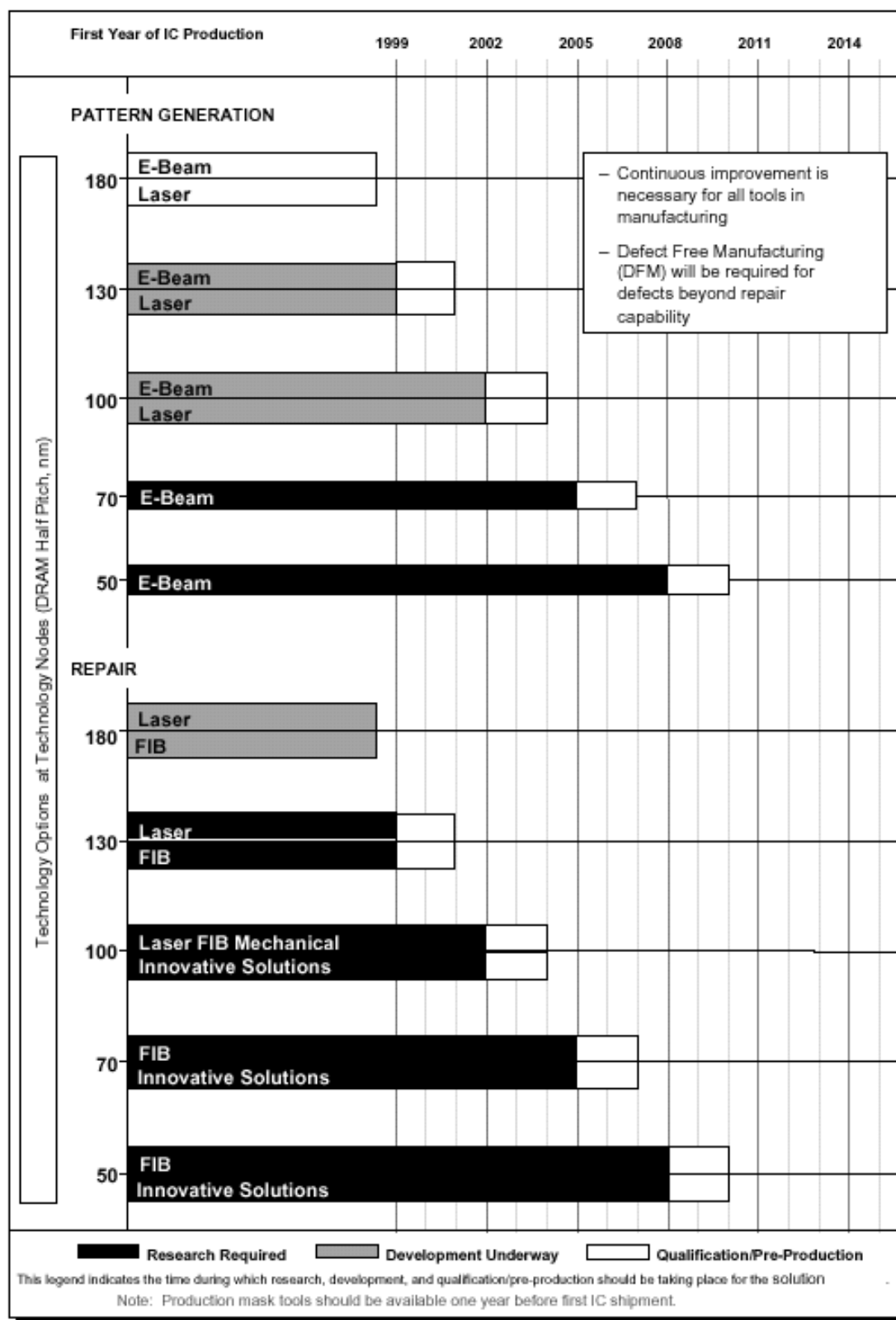


図 25 マスクの解決策候補

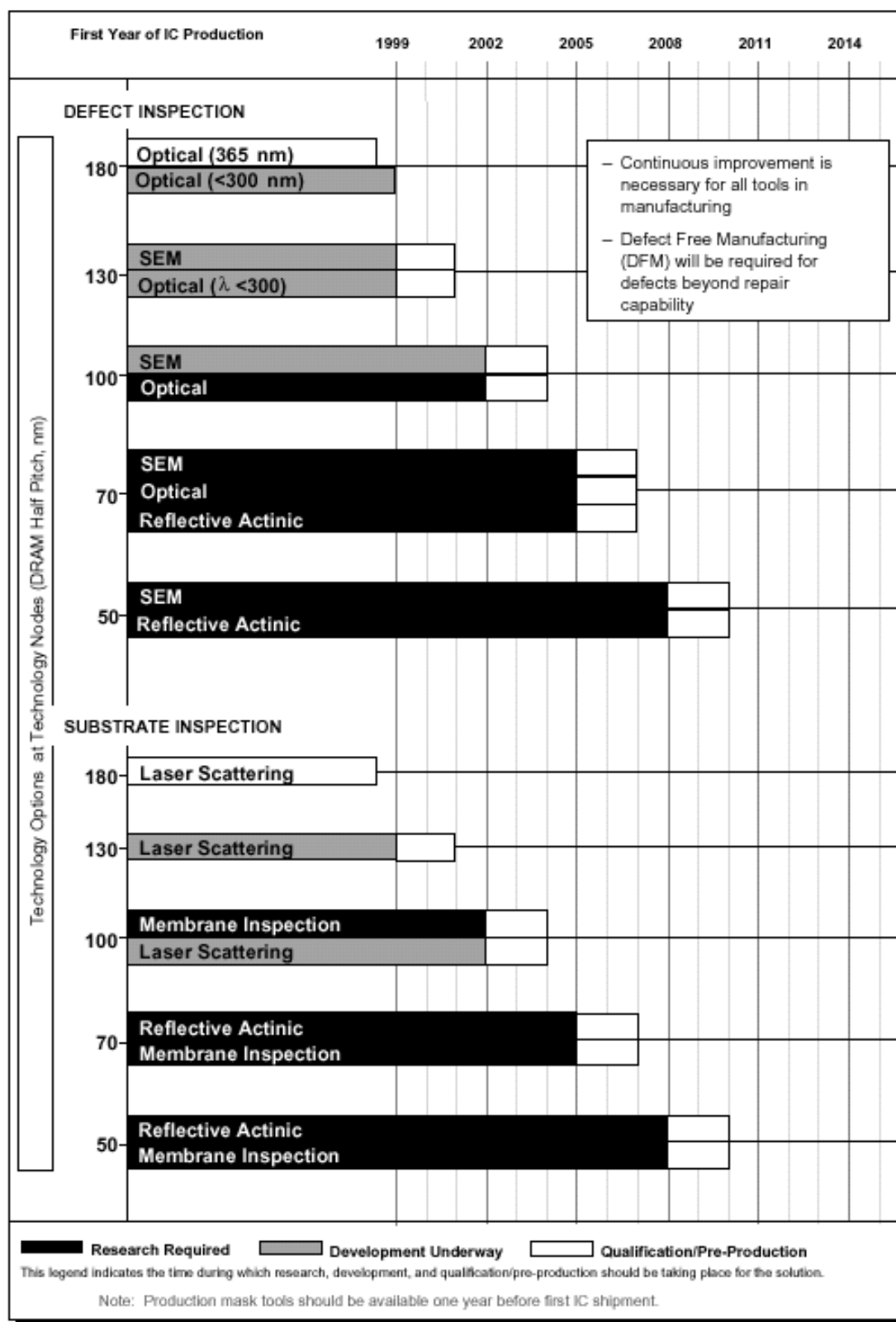


図 25 マスクの解決策候補 (続き)

9-5 クロスカットに関する必要事項および解決策候補

クロスカット技術に関する必要事項および解決策候補を下の図表で示す。

- リソグラフィにおける ESH (Environment, Safety, and Health[環境、安全性、および健康])に関する必要事項、および解決策候補(表 42)
- リソグラフィにおける欠陥低減に関する必要事項、および解決策候補(図 26)
- リソグラフィにおける測定手段に関する必要事項、および解決策候補(表 43)
- リソグラフィにおけるモデリングとシミュレーションに関する必要事項、および解決策候補(表 44)

9-5-1 環境、安全性、および健康

リソグラフィは、ESH に関しては 4 つの分野に分けられる。すなわち、リソグラフィおよびマスク製造用の化学物質(フォトレジスト、シンナー、現像液、リンス、ストリッパー)、プロセス機器(スピナー、蒸着システム、シリレーション・オープン)、露光機器(DUV [deep ultraviolet、深紫外線]、陽子ビーム、X 線、イオン・ビーム)、および機器の洗浄である。これらの分野および新しいリソグラフィ技術の導入における課題として、ショーストッパーの問題を回避することが挙げられる(表 42 参照)。とくに、変更を行う際には、あらかじめ新しい処理物質の評価、環境基準の遵守、機器の安全性、作業員の保護について検討することが必要となる。

<i>KEY AREAS</i>	<i>SUMMARY OF NEEDS</i>	<i>POTENTIAL SOLUTIONS</i>
Photolithography and Mask Manufacture Chemicals	Chemical Properties and Data: Chemical toxicity, risk assessment, status under TSCA* for new chemicals, ability to monitor potential exposures, and emissions from processes (HAPs** and VOCs), including materials for etch, strip, and etc. Materials Management: Integration of new materials into patterning; maintaining performance and cost, while promoting recycling and minimum use	Preparation of a list of acceptable lithography chemicals based on evaluation of TSCA conformance; development of analytical protocols that enable monitoring of new chemicals, robust chemical selection criteria; risk assessment; and the use of pollution prevention principles Alternate materials and chemistries Life cycle analysis of new materials and chemistries Use of additive technologies Use of benign materials
Processing Equipment	Exposure to toxic materials, emission of HAPs and VOCs, hazardous waste disposal, cost of ownership, and energy consumption Ergonomic design of equipment, PFC† usage, and plasma byproducts Minimize waste, for example, due to spin-on processes and assorted "wet" processes	Effective point-of-use abatement, optimization of tool exhaust, use of pollution prevention and DFESH‡ principles, specify supplier use of S2 and S8 standards Deployment of zero impact processes, elimination of the need for materials with significant global warming potentials, and utilization of DFESH tools in design for manufacture
Exposure Equipment	Toxicity of chemicals, exposure to radiation, risk assessment, cost-of-ownership, hazardous energies, and beam shielding	Perform risk assessment and cost-of-ownership analyses Establish radiation protection programs as necessary
Equipment Cleaning	Solvent usage, emission of HAPs and VOCs, hazardous waste disposal, and personal protective equipment Selection of cleaners and cleaning methodologies	Cryogenic cleaning, solvent free cleaning, dry resist technology, point-of-use abatement, pollution prevention, and optimization of tool design Redesign of processes and equipment to achieve minimal environmental impact

* TSCA—toxic substance control act
 ** HAPs—hazardous air pollutants
 VOCs—volatile organic compounds

† PFC—perfluorocompound
 ‡ DFESH—design for ESH

表 42 リソグラフィにおける ESH に関する必要事項、および解決策候補

9-5-2 欠陥の低減

図26 は、1999 Roadmap を参照する際に欠陥低減の問題に関して注意を喚起するための資料として掲載したものである。

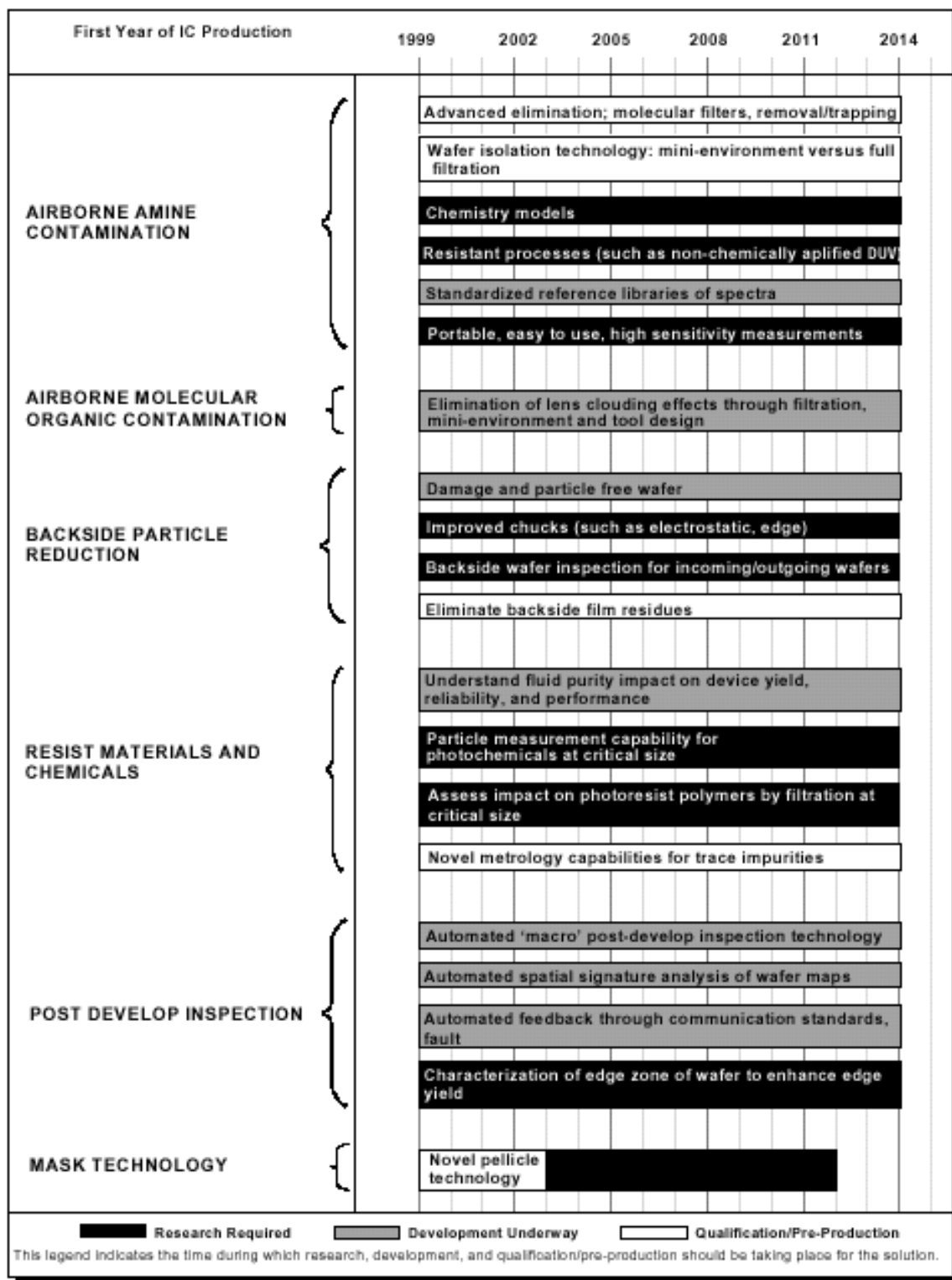


図26 リソグラフィにおける欠陥低減に関する必要事項、および解決策候補

9-5-3 測定手段

リソグラフィの機能の急速な進歩にともない、物理的な測定が問題となるが、このような測定についてはその精度や再現性において予定通りの改善がなされていない。CD (critical dimension、最小加工寸法) 測定ツールの解像度、正確さ、ツール対ツールの適合性、および再現性は、「測定法」の章 (表 83) に記載した条件を満たすためにはすべて大幅な改善が必要となる。電氣的測定は、ゲートや接続ラインの幅をチェックするために行われるが、かならずウェーハの加工が可能になったあとで行わなければならない。将来のオーバーレイの測定に関する条件は、コントラストが低いことによって発生する問題とともに、新たな光メソッド、SPM (scanning probe microscopy、スキャニング・プローブ・マイクロスコーピー)、および SCM (scanning capacitance microscopy、スキャニング・キャパシタンス・マイクロスコーピー) の開発を促進する要素となる。動的平均法といった統計的手段については、現在調査されているところである。scatterometry sensor による測定のような先端技術は、アプリケーションを開発したうえで採用することが必要となる。ほかにも、「顕微鏡検査」(図 59) の章の「測定手段」の項で述べた技術をはじめとする技術革新が必要となる。これらの必要事項の概要を、表 43 に示す。

表 43 リソグラフィにおける測定手段に関する必要事項、および解決策候補

KEY AREAS	SUMMARY OF NEEDS	POTENTIAL SOLUTIONS
<i>Wafer CD Measurement</i>	Enhance precision and tool matching and meeting sub 100 nm precision requirements Accelerate development of improved resolution Extend CD to damascene Processing and low κ materials Accuracy for sub-100 nm nodes	Extend CD-SEM to 100 nm using model based measurement Develop electron holography for sub 100 nm nodes Investigate scatterometry for inline and <i>in situ</i> Develop new probe tips for CD-AFM for > 100 nm CD-SEM calibration and as a potential solution for sub-100 nm CD Develop reference material for sub 100 nm that correlates physical and electrical measurements
<i>Mask CD Measurement</i>	OPC and PSM features require 2D and 3D measurements Charging of mask during measurement	CD-AFM, CD-SEM, and electron holography are potential long term solutions
<i>Overlay</i>	Meet Roadmap requirements for damascene processes and low κ materials Overcome issues with errors not observed by Box-in-Box target for phase shift masks	Potential solutions include new optical measurement technology, SEM, and scanning capacitance microscopy. Investigate new target structures.
<i>Mask Image Placement</i>	Feed-forward corrections for process induced shifts from pellicle and membrane masks Meeting sub-100 nm requirements for precision	Interferometry and Moire scale measurements

9-5-4 モデリングおよびシミュレーション

表 44 は、リソグラフィにおけるモデリングとシミュレーションの技術に関する必要事項、および解決策候補についてまとめたものである。

<i>KEY AREAS</i>	<i>SUMMARY OF NEEDS</i>	<i>POTENTIAL SOLUTIONS</i>
<i>Resist Modeling</i>	Predictive quantitative models, polymer surface interactions, coating and baking processes, silylation, edge roughness, E-beam, X-ray, and EUV resists, physically correct models for diffusion in chemically amplified resists.	Establish mechanism-based models from basic studies on model materials Extend models to emerging materials Develop methodology for calibrating models on production tooling Validate models on 2D and 3D profiles
<i>Optical System Modeling</i>	Nonuniformity over field, resolution enhancements, and interactions with optical system nonidealities, global application of OPC* and PPC** to 10 ⁸ features, photomask nonidealities, substrate reflections	Strategies and engines for transparent application of process and tool dependent OPC and PPC Engineering workbench TCAD*** tools for optical system level consideration of resolution enhancements and device pattern/transfer context Simulation of mask writing nonidealities and their impact on printing Calibration of simulators with profile SEMs† and statistical metrology
<i>130 nm and Beyond</i>	Image quality, overlay, throughput, and patterning/transfer in advanced lithography systems based on EUV, X-ray, E-beam and maskless approaches, pattern dependence, stress and edge roughness in dissolution	Full system simulation of lithography tools with emphasis on balancing tradeoffs in performance limiters such as resolution throughput, nonidealities in masks and mechanical and electrical components, materials inhomogeneities and transport effects in resists Simulation-based assessment of out-of-the-box approaches to maskless lithography
<i>TCAD and Metrology</i>	Implications of processing physics at the IC system design level, knowledge of manufacturing tolerance in simulating process design, technologist friendly tools, accurate interpretation of optical monitors, scanning probes and SEMs	Integration of TCAD with IC CAD‡ Integration of TCAD simulation with parameter extraction and statistical metrology of CIM§ Standard engineering workbench-based simulation environments Modeling of optical monitoring and SEM measurements

* OPC—optical proximity correction
*** TCAD—technology computer aided design
‡ CAD—computer aided design

** PPC—process proximity correction
† SEM—scanning electron microscope
§ CIM—computer integrated manufacturing

表 44 リソグラフィにおけるモデリングとシミュレーションに関する必要事項、および解決策候補

