

16. モデリング&シミュレーション

16-1 スコープ

モデリング&シミュレーションは、将来のテクノロジーロードにおける課題を克服する上で重要な役割を果たす。また、他のテクノロジーWGの課題が、モデリング&シミュレーションにとっての重要な原動力になる。本章では、次の主な項目を扱う。

- 1) 装置/形状モデリング — ウェーハに影響を与える物理的な環境、条件、プロセスを含むモデルの階層化
- 2) リソグラフィモデリング — リソグラフィ装置やフォトリソ工程のモデリング
- 3) フロントエンドプロセスモデリング — パターン形成を除くメタライゼーションまでのトランジスタ製造工程における物理現象のシミュレーション
- 4) デバイスモデリング(数値解析) — 能動素子と配線の物理現象に基づいたモデルの階層化
- 5) 回路素子モデリング — 能動、受動、寄生素子のコンパクトモデルおよびパラメータ抽出
- 6) パッケージモデリング — 電気、メカニカル、熱のモデリング
- 7) 計算技術 — メッシュ生成、マトリックス計算、並列アルゴリズム、表面の取り扱い技術。

モデリング&シミュレーションの“サプライヤー”としては、CAD(computer-aided design:コンピュータ補助設計)メーカ、大学、政府援助の研究所などがある。半導体メーカ内部でもモデリングに相当な努力が費やされているが、新しいモデルの開発には長期の研究が必要とされるため、大学や研究所などで行われるのが最適である。つまり、モデリング分野の成功には、大学での研究が必須となる。また、この業界の将来的なニーズに取り組むためには、適切なタイミングで十分な研究資金が充当されることが肝要である。

16-2 大チャレンジ

表 86 は、モデリング&シミュレーションの検討範囲に含まれる課題で、他の技術 WG の課題克服にも大いに貢献すると思われる分野である。

クロックスピードが増加を続ける中、高周波回路のモデリングはますます重要な課題となっている。中心的課題は、配線による寄生因子の正確なモデリングである。フルチップの配線遅延を効率的にシミュレーションする技術が必要とされている。また、レイアウトから 2D、3D の配線抽出の正確なモデルも引き続き必要である。チップ上の伝送路およびインダクタンスの影響を取り扱う技術に対する要求も増大している。高周波モデリングでは、基板ノイズの影響と同様に、ゲート伝送路の影響を理解することが重要である。Non-quasi-static(非擬似定常)効果とゲート(反転層)の量子力学的効果を扱うために、トランジスタモデルの改善もまた重要課題である。

<i>DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
High frequency circuit modeling (>1GHz)	Efficient simulation of full-chip interconnect delay High frequency circuit models including non-quasi-static, gate RLC, substrate noise, QM effects Accurate 3D interconnect model; inductance effects
Modeling of ultra-shallow junctions	Diffusion parameters (such as from first principles calculations) for As, B, P, Sb, In, Ge Interface effects on point defects and dopants Activation models (In, As, B); metastable states Implant damage, amorphization, re-crystallization
Unified package/die-level models	Unified package/chip-level circuit models Integrated treatment of thermal, mechanical, electrical effects
Model thin film and etch variation across chip/wafer (Equipment/topography)	Reaction paths and rate constants; reduced models for complex chemistry Plasma models; linked equipment/feature models CMP (full wafer and chip level) Pattern dependent effects
Model alternative lithography technologies	Resolution enhancement; mask synthesis (OPC, PSM) Predictive resist models 248 versus 193 versus 157 evaluation and tradeoffs Next-generation lithography system models
Reliability models for circuit design and technology development	Circuit and device level transistor reliability: oxide TDDB, hot carrier, electromigration, NVM reliability, SER, ESD, latch-up
Model new interconnect materials and interfaces	Electromigration (physical), grain structure, diffusion barriers, metallurgy, low κ dielectric materials
<i>DIFFICULT CHALLENGES <100 nm / BEYOND 2005</i>	<i>SUMMARY OF ISSUES</i>
Gate stack models for ultra-thin dielectrics	Electrical and processing models for alternate gate dielectrics, and alternate gate materials (such as metal) Model epsilon, surface states, reliability, breakdown and tunneling from process conditions
Nano-scale device modeling	New device concepts (using quantum effect) beyond traditional MOS; single electron transistors, effect of single dopants, etc.
Atomistic process modeling	Accurate atomic scale models for process integration

表 86 モデリング & シミュレーションの大チャレンジ

将来の高性能デバイスにとって低抵抗ソース/ドレインエクステンションが必要であり、極浅接合のモデリングは大きな課題である。サーマルバジェットが大きく低減したため、プロファイルへの影響はダメージ、過渡的なもの、また界面の効果に絞られる。拡散と化学反応速度論のパラメータを取得することは、特に新しいドーパントや材料について、そのプロセスの理解を深めるために非常に重要である。活性化のモデリングは、より高いドーピングレベルを達成する鍵であり、さらに“metastable (準安定)”なドーパントの活性化(平衡状態より高い)の達成につながる可能性もある。注入ダメージ、アモルファス化、アニール処理時の再結晶化についてより深い理解を得ることは、これらの現象がドーパントプロファイルに大きく影響することを考えると大切な分野である。ドーパントおよび欠陥の測定は、モデルの開発やキャリブレーションにとって重要である。サブ 100nm 技術の次元 (1D、2D、3D) 描写を正確に行うツールは、現在のところ存在しない。

新しく複雑な実装技術が交錯する中で浮上する多くの問題を分析するためには、パッケージ・チップの統一モデリングが必要とされる。チップサイズの縮小や実装技術、エネルギー損失、スイッチングスピードの向上に伴い、熱や機械的および電氣的な影響を首尾一貫して扱う新しいシミュレーションツールが求め

られている。チップからパッケージへ、またボードレベルへの間断無い配線モデルが必要である。

薄膜とエッチングのウェーハ面内およびチップ内ばらつきに対するモデリングは、これらのばらつきをより効果的にコントロールするための第一歩である。物理的・化学的プロセス(例えば、化学的気相成長(CVD)、プラズマエッチング、化学的機械研磨(CMP)など)に関しては解明されていない部分があるため、装置モデリングや形状モデリングには限界がある。反応経路や反応速度定数についてより多くの情報を得ることが不可欠である。実用化に必要な主要メカニズムのみに絞った reduced chemistry models(簡易化学モデル)の開発は、重要な課題である。反応装置とプロセスの設計が、装置モデリングと形状モデリングを結びつける。CMP 工程の急増により、CMP モデルの必要性が高まっている。また、レイアウトと密接に結びついたパターン依存性の解析に向けたモデリング手法も必要である。

いくつかの露光波長技術や超解像技術の進展に伴い、代替リソグラフィ技術のモデリングは、次世代に向けて重要性が高まっている。OPC(optical proximity correction: 光学的近接効果補正)とPSM(位相シフト)マスク生成のためのより良いモデリングは重要課題である。予測性の高いレジストモデルの開発も依然として大チャレンジであるが、これはリソグラフィモデリングの応用を大きく広げることになるであろう。次世代の(光学装置にとどまらない)リソグラフィツールが選択されようとしている中、異なったアプローチ間のトレードオフを理解する上で、総括的なモデリングツールの開発が必要とされている。

回路設計とテクノロジー開発における信頼性モデルは、微細寸法領域での新たな信頼性問題が浮上するに伴い、ますます重要になる。たとえば、信頼性を確保するためのガードバンドは、高性能化に向けて、その幅が縮小されなければならないであろう。SER(ソフトエラー)および ESD(静電破壊)現象のより詳細なモデリングの重要性も増してくるであろう。

急速に新しい配線材料が導入され、その結果として信頼性に懸念が出てきていることから、新しい配線材料やインターフェースのモデリングが必要となっている。配線パターンの物理的な構造と特性を正確に表現することができる 3D シミュレーションツールを提供することが、モデリング&シミュレーション技術に求められている。新しい材料やメカニズム(例えば、バリア層を通過して絶縁層への Cu 拡散、low k(低誘電率)絶縁膜の機械的安定化など)、また配線システムの信頼性(エレクトロマイグレーション(electromigration: 電子誘導元素移動)、ストレスなど)が懸念事項となる。プロセス中および通常動作下におけるグレインの形状や成長をより良くモデル化したツールが必要とされている。

極薄絶縁膜のゲート積層モデルは、従来の非常に薄い絶縁膜を最適化するためと同時に、代替可能な絶縁膜材料やゲート電極材料を追求するために役立つことが必要とされる。これには、原子スケールでの絶縁膜開発を助ける新世代のプロセスモデリングツールの開発も視野に入っている。さらに、膜厚が数個の原子層に近づくにつれて、ゲート積層構造の電気的特性の詳細な量子効果モデリングが必要となる。実効比誘電率、表面状態、信頼性およびトンネリングに関して、極薄絶縁膜がプロセスに及ぼすインパクトの基本的な解明は、将来の高性能 MOS デバイス開発にとって重要になるであろう。

従来の MOS スケーリングがあまり有効でなくなるにつれて、MOS デバイスの限界を知るのと同時に革新的な MOS デバイス開発の一助として、ナノスケールのデバイスモデリングが必要となる。また、MOS デバイスとは異なった原理で動作する可能性のある新しいデバイス構造の探求も必要となる。ここでは、非平衡効果がキャリア輸送に大きく影響するであろう。50nm ノードに向けて、2/3 次元の完全なあるいはハイブリッドな量子力学的記述が必要となるであろう。このような技術の研究には時間がかかることが予想されるため、

早期に着手する必要がある。

16-3 技術的要求と解決策候補

モデリング&シミュレーションは、非常に広範な要求を持つさまざまな適用分野を含む。設計に深く関連する適用分野では、精度の良い高速な現象モデルが第一の要求であり、一方、合わせ込みをしない場合の予測性の重要度は二次的である。例としては、回路モデルや OPC システムに搭載されているリソグラフィモデルなどがある。テクノロジー開発に関連する適用分野では、物性に基づいたモデルと経験的モデルを組み合わせる。従来の TCAD(Technology CAD)が(良く合せ込まれたシミュレータを使用して)テクノロジー開発の最適化に適用される場合がこの例にあたる。最後に基本的な物理学の探求の必要があるモデリング分野もある。モンテカルロ法によるデバイスシミュレータやシリコン中のドーパント拡散の拡散パラメータを計算する第一原理計算がこれにあたる。これらすべての適用分野に対しての有用な指針とするため、モデリング&シミュレーションの技術的要求図を、シミュレーションの“能力”要求と“精度と計算速度”要求に区分して示した。表 87a、b、c を参照されたい。

“能力”要求図では、開発されるべき新しいモデリング分野に求められるモデリング&シミュレーションへの技術的要求を示している。例として、EUVリソグラフィ露光装置のモデル性能では、基本的な機能として、EUV 露光装置の性能を予測することが必要とされる。このタイプの要求は、しばしば新しい技術の導入に伴って生じるか、あるいは一層微細な構造における新しい物理現象に関連している。

対照的に、“精度と計算速度”要求の図は、プロセスや回路の設計または最適化に必要なシミュレータの精度レベルを示している。TCAD の適用では、表の第一行に記された TCAD 全体のコスト削減目標を達成するために、このレベルの精度が必要とされる。TCAD を使用すればプロセス開発のスケジュールが短縮されと考えられ、コスト削減目標は、通常、コスト削減と開発時間短縮とされている。ECAD と設計への適用では、設計者が新しい製品を効率的に開発するのに必要とされる精度レベルがある。精度の要求は、短期的な技術的要求に対してのみ限定して記されており、長期的には新しい技術の研究が全体として優先されている。現段階では、いくつかの技術世代が、それぞれに異なった要求精度で、同時に平行してシミュレーションされていることに注目しなければならない。

表 87b の要求精度は、シミュレーションツールを特定のテクノロジーノードにキャリブレーションして合わせ込んだ後に得られたものを示していることに注意しなければならない。通常、TCAD シミュレーションツールでは特に、新しい技術、材料、ドーパント、プロセスが各ノードで導入されるため、各テクノロジーノードについてキャリブレーションが必要と考えられている。精度の数値は、プロセス開発や設計のエンジニアへの質問から導き出されたものである。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Equipment/Topography							
Equipment simulation	—	Gate stack and interconnect uniformity models			Effect of processing conditions on material properties		
Equipment/feature scale link	—	Plasma etch: feature/equipment model			Within-chip feature variation		
Lithography							
Lithography: evaluate wavelength	—	Evaluate 248 nm versus 193 nm			Evaluate 193 nm versus 157 nm		
Resist models	—	193, 157 nm resist models			Detailed chemical resist development model		
Front End Process Modeling							
Gate Stack: evaluate materials	—	Model alternate dielectrics			Model metal versus poly gate		
Diffusion and activation coefficients	—	Kinetics of diffusion and activation			Interface interactions with point defects and dopants		
Stress/extended defects	—	Front end stress model			Extended defects and disloactions		
Device Modeling (Numerical)							
Gate stack models	—	Gate current tunneling models			Full quantum gate stack models		
Reliability models	—	Transistor reliability models (gate oxide)			Interconnect reliability models (electromigration, stress)		
Noise/variation	—	Dopant fluctuation			Noise models		
Circuit Element Modeling/ECAD							
New circuit element models	—	SOI circuit model			Gate tunneling current		
Interconnect models	—	Full-chip RLC			On-chip Inductance effects		
System-on-a-chip	—	Unified analog/digital			DRAM/Flash/embedded memory models		
Package Modeling							
Package models	—	Complex interconnect geometries; multiple power and ground planes			Thermo-mechanical models		
Unified package/chip models	—	Unified package/chip circuit models			Unified RLC extraction for package/chip		
Numerics							
Numerical algorithms	—	Robust, reliable 3D grid generation			Highly efficient optimization algorithms		

This table is meant to outline new capability requirements needed for future technology nodes; the column for the 180 nm node (1999) is blank only because the development of this technology is basically complete. Furthermore, if the development of capabilities specified for later nodes could be accelerated, they would in most cases be helpful for earlier technology nodes.

Solutions Exist

Solutions Being Pursued

No Known Solutions



表 87a モデリング&シミュレーションの技術的要求—能力(短期)

16-3-1 装置/形状モデリング

正確な装置/最小寸法スケールのモデリング&シミュレーションソフトウェアツールは、開発期間およびコストの削減につながる知識や洞察を得るために切望されている。装置モデリングのためには、材料およびプロセスシミュレーションツール、装置から最小寸法スケールまでを関連づけるシミュレーション(装置-最小寸法スケールの統合を含む)、プロセスコントロール、装置内センサーの設計手法の開発が必要である。

装置/形状モデリングの分野は、いくつかのプロセス分野、たとえば CMP、メッキ、熱処理および RTP (rapid thermal process)、プラズマ処理、CVD、PVD、エッチングなどに分割できる。応用分野や検討する

プロセス(たとえば、熱処理、成膜、エッチング)によって要求されるものが異なるため、表 87bの数字は、精度要求を仕様限界や計測能力に対するパーセントで表示した。モデルとしては、使用が簡易なものから複雑なもの、計算時間が短いものから長時間かかるもの、適用範囲が限られるが高精度のものから広範囲に適用できるが予測精度が少し低いものまで、全て要求される。適用分野が装置単体の理解からプロセス統合へ向かっている中で、装置モデルと、ウェーハ/最小寸法スケールおよび原子レベルのモデルを連結する必要性はますます強くなっている。

モデルの予測度は大きく進歩しているが、シミュレーション結果をそのまま信じて実デバイスに適用する前に、まだまだ検証を行わなければならない。装置と形状モデルは、最低限、傾向(増減方向や桁)を正しく予測できるものでなければならない。

基本的な反応メカニズムおよび速度定数(ガス・プラズマおよび表面)は、薄膜のエッチングと蒸着プロセス中の成膜の物理的および化学的現象を適切に把握する重要な鍵となる。これらのメカニズムや速度定数を得るためには、実験的手法とコンピュータ手法の両方が必要とされる。原子レベル(分子動力学、モンテカルロ手法、量子化学など)から連続体までの階層的な計算アプローチを展開すべきである。(詳細は本章の「材料」の項を参照。)反応装置からの流れにより最小寸法スケールに対する境界条件が決定される(あるいはその逆)ため、装置から最小寸法スケールまでをつなぐ統合シミュレーションを提供することは、依然として大きな課題である。パターンに依存するばらつきのモデリングにも装置と最小寸法スケールの両分野の理解が必要とされる。

これら装置/最小寸法スケールのシミュレーションツールと配線システムの信頼性モデリング(エレクトロマイグレーションの影響、熱的機械的応力、バリア層を通じた拡散など)の連結について、もっと研究する必要がある。これについては、最終的に、バルクの特性和とは異なる薄膜材料特性や微細構造(粒子形成や成長)のより深い理解が求められる。

今後、装置モデリングの重要な適用分野として、センサー設計やシミュレーションを含むリアルタイムシミュレータに基づく製造装置のコントロールがある。センサー設計には、何を測定するか、どこにセンサーを設置するか判断が含まれ、さらに、言わば“ソフトセンサー”ともいべきものを作ること、即ち、測定できた諸量から関心のある別の諸量を、モデルを使用して予測すること、なども含まれる。

装置/形状モデリングのソリューションとして考えられるものは、以下の5分野に分けられている。

1. 速度 — 半導体製造プロセスの理解は向上し、コンピュータの進歩により大規模で難しい問題をより効率的に解くことができるようになってきている。しかしながら、バルク反応と表面反応の化学動力学に注目することが必要である。シミュレーションコードへ入力するこれらのパラメータと、正確に結果を予測できることとは、多くの場合、あまり関連しない。これらの必要とされるパラメータの計算を、実験に基づいて行なうことや量子化学的手法によって行なうことによって解決策が見つかる可能性がある。

また、複雑な化学反応は、少ない数の方程式のみによる簡単なモデルに帰着できることが多い。— それにより、より速い結果出しと主要なメカニズムが何であるかのより良い洞察が得られる。

2. 反応装置モデリング — プラズマのモデリング&シミュレーションは個別プロセスシミュレーションの分野の中でもより困難なもののひとつである。正確なプラズマモデル、これらの気相モデルと(優れたシースモデルなどの)ウェーハ上の特徴スケールの構造との関連性、装置に関連したウェーハ上のばらつ

きの予測可能性は、プロセスの理解を大きく進歩させる。

3. 特徴スケールモデル — 現在の特徴スケールモデルは連続体モデルである。これらには、粒子、粒子配向、化学量論、構造、界面などが考慮されていない。しかしながら、これらの材料の性質を考慮することによって薄膜層の電子的および機械的特性が決まる。これらの問題に対する予測可能なシミュレーションの実現は、やっと可能になったばかりである。
4. 機械化学的平坦化 (CMP) モデル — CMP は難しい機械化学問題の一つである。第一次近似的なモデルとシミュレーションツールは存在するが、多様な絶縁膜および金属材料に対して採用されている CMP については、より優れた予測可能なモデルが必要とされる。たとえば、特徴スケール CMP モデリングのモデルは、Cu を主としたダマシン工程におけるディッシングや腐食の影響を分析するために必要である。
5. 配線のモロロジーおよび信頼性 — この分野での材料モデルとシミュレーションが可能になると、現在、全工程の半分以上がシリコンより上の工程に関連していることを考えると、新しいテクノロジーノード開発を促進するものと思われる。

16-3-2 リソグラフィモデリング

リソグラフィのモデリング&シミュレーションは次の4分野での応用が考えられる。

1. 新技術の開発 — この分野には、EUV マスク、描画、高ビーム電流電子ビーム装置の光学およびレジストが含まれる。
2. テクノロジー設計 — これには、マスク、光学装置とウェーハ形状、およびパターン転写が含まれる。
3. 電子設計の補正 — OPC 画像、OPC レジストおよび PPC の補正自動化が含まれる。
4. 製造上の目標値、コントロールおよび歩留 — この分野には、何十ものプロセスパラメータを統合して最適な製造条件を見つけること、誤差の原因を突き止めること、効率的なモデリングの物性的解釈が含まれる。

これらを将来テクノロジーに応用できるようにするためには、いくつかの分野で能力向上が必要となる。第一は、予測可能な定量的レジストモデリングである。レジストモデリングは、常にリソグラフィ予測シミュレーションのボトルネックであり、これからもそうあり続けるであろう。第二は、フレキシブルな露光モデリングシステムである。露光装置の改造を伴う多数の解像度向上手段が提案されている中、また露光の non-idealities (非理想現象) (収差、機械的な振動、照明の影響など) についてもより詳細な解析が進む中、多彩な影響に対応できる露光シミュレーションツールが必要とされる。第三に、電磁気散乱の解析が現象解析方法の主流のひとつになる必要がある。位相シフトマスクからの散乱およびレジスト下のウェーハ形状を反映した散乱問題は、厳密な電磁気理論に基づいた解析能力を必要とする適用分野の例である。最後に、将来のリソグラフィプロセスの解析と最適化のために、情報とモデリングを組み合わせたシステムで、将来のリソグラフィプロセスを解析し、最適化することが必要である。独立のパラメータが非常に多く、理解すべきデータも膨大な中で、回折光学の限界ぎりぎりのところで使われる将来テクノロジーを精度良く調整するために、コンピュータベースの最適化システムは必要条件である。

次の 2～3 世代のテクノロジーノードにとって重要な応用は、いろいろなリソグラフィオプション間のトレードオフ評価(たとえば、特定の重要な膜についての、193nm 対 157nm など)である。この要求を満たすために、より優れた露光モデル(それぞれの露光システムの non-idealities を含む)が必要である。さらに、改良レジストモデリングおよび物性解析能力の開発が必要である。より基本的なレジストモデルが、ラインのエッジラフネスの理解など、多くの応用に必要となる。

短波長化、 K_1 ファクター、OPC および位相シフトマスクの導入により、マスク製造技術とコストはかなり注目されている。このテクノロジー分野については、電子ビーム、電子ビームレジスト、およびマスクエッチングモデリングを含む統合シミュレーションシステムが必要である。

光以降のリソグラフィオプションが多数存在するため、最良のアプローチを選択するための包括的なモデリング能力を開発する必要がある。

16-3-3 フロントエンドプロセスモデリング

フロントエンドプロセスのモデリングには、トランジスタのメタライゼーションまでの製造段階(ただし、パターン形成は除く)での物理的現象のシミュレーションが含まれる。これらはトランジスタ製造の理解と最適化のために重要である。スケーリングによるトランジスタ構造の微細化につれて、モデリングの必要性が増している。

テクノロジーが進むにつれて、注入エネルギーに関する要求は、サブ keV にまで下げられ、表面の相互作用や核阻止能の理解が必要となる。その一方で、ウェル形成では、エネルギーは MeV の領域に押し進められ、電子阻止能のメカニズムのより深い理解が求められる。双方の研究の鍵となるのはダメージの生成である。ダメージはドーパント拡散と相互作用を持ち、TED(transient enhanced diffusion)を引き起こす。これにより、数百 nm 程度の接合位置のシフトが起り得る。この TED を十分理解し、その影響を最小にとどめるようにする努力が払わなければならない。およそ 10 年にわたりこの分野での研究がなされているが、定量的な予測モデルはいまだに十分には実用化されていない。ゲート層内での拡散を理解し、特性を明らかにすることによって、ゲート積層形成技術を最適化する必要がある。poly(多結晶)と oxide(酸化膜)界面での相互作用もまた理解する必要がある。

拡散の連続体モデルとドーパント活性化モデルは、引き続きプロセスシミュレータの中心的存在で、新たな現象の出現に伴って改良される必要がある。界面の影響、特に非 SiO_2 界面の場合の影響がますます重要になってくる。プロセスの原子レベルモデルは、連続体モデルの係数を求めることが重要な役割となる。ドーパントと欠陥の結合エネルギー、マイグレーションエネルギーを計算によって求める必要がある。例として、置換型ドーパントと格子間原子の結合エネルギー、ドーパントと格子間原子ペアのマイグレーションエネルギー、ドーパント原子または格子間シリコン原子と点欠陥またはドーパントクラスタとの結合エネルギーがある。いくつかのタイプのドーパントと欠陥、またドーパントと界面の相互作用については、正/逆反応の速度係数の計算が必要になる。

短期的には、イオン注入シミュレーション用の解析式モデルが引き続き必要である。モンテカルロ注入モデルは、解析式モデル開発のために必要になる。ソース/ドレイン注入およびプリアモルファス化注入によるドーパントと欠陥の相互作用を正確にモデル化するためには、非晶質層の深さ、転位ループ形成、およ

び残留 TED についてのモデル開発が必要になる。欠陥形成とアニーリングの改良モデルを開発するために、広範囲にわたる研究とモデル開発を直ちに開始する必要がある。

デバイスサイズが急速に微小化する中で、機械的ストレスの影響が重要になっており、信頼性およびドーパント拡散に対するストレスの影響のモデルを開発する必要がある。コーナー部および微細 3D 構造におけるストレスの影響などを含む、薄膜形成の理解をさらに深める必要がある。寸法が微小であり、かつ薄い膜の特性評価は非常に重要であるが、しかし非常に困難でもある。実際、すべてのモデルに広範囲な特性評価が必要であるが、これは常に困難で多額の費用を必要とする。メトロロジはこのような要求により進展している。

先進プロセスモデルは、固溶度よりも高濃度のドーパントの準安定型活性化モデリングに必要である。これには、後続のバックエンドプロセスにおける不活性化反応過程も含まれるべきである。

先進的なドーピング技術、たとえば固相拡散、プラズマ注入法、GILD(gas immersion laser doping)、急速気相ドーピングなどについて、予測能力があるモデルを開発する必要がある。これまでのところ、とりたてて有力な手段はなく、これらの技術の進展を見守って、最も有効な技術のモデルを開発する必要がある。

表面拡散のモデルも必要となる。これには SiO_2 および新しいゲート絶縁膜材料との相互作用も含まれる。代替材料(SiGe など)のプロセスモデルも開発される必要がある。

短期的にはシリサイド化モデルも、引き続き求められている。非 SiO_2 絶縁膜のモデルを含むゲート絶縁膜形成モデルは、チャネルやソース・ドレイン領域のドーパントプロファイルやゲート積層構造の特性を正確に予測するために必要となる。ゲート積層構造のモデリングについては、 N_2O 、 NO 、 N での酸化反応機構も必要である。短期的には、ポリシリコンゲートの活性化モデルも必要になるであろう。長期的には、金属ゲート電極の特性もモデル化する必要が出てくる。

ロードマップの最後には、原子プロセスモデルが要求される。これはまた、新しい拡散の連続体モデルをテストする最も簡易な方法としても用いられる。拡散の連続体モデルは、プロセスシミュレータの中心的存在であり続けるであろう。

16-3-4 数値解析デバイスモデル

デバイスモデリングには、ドリフト-拡散シミュレーションから、ハイドロダイナミックモデルやボルツマン解析、モンテカルロ法まで、一連の理論化とツールが階層化されている。ドリフト-拡散アプローチは、250nm 以下では物理的にみて不十分な点があるが、結果的に非常に成功している。鍵となる課題は、1)この階層をさらに発展させて、量子モデリングを含む、2)これらの理論における物理モデルを洗練する、3)モデルの階層をシームレスに変更することのできる簡易な手段を提供することである。

輸送現象については、これまでシリコンに注目していた。100nm 以下のデバイスでは、ゲート絶縁膜が非常に薄膜になるため、ゲート電流が非常に重要な設計ファクターになる。わずかに数層の原子層からなる酸化膜を理解し、また新しいゲート電極材料の影響を理解するためには、ゲート層全体(チャネル、絶縁膜、電極)の詳細な量子モデリングが必要である。このようなモデリングには、絶縁膜のトンネリングや輸送の詳細、信頼性の影響、表面状態、有効な比誘電率の詳しい理解が必須である。新しいゲート絶縁膜材料を

探求する一助になるよう、基本的な材料モデリングも発展させなければならない。

MOS デバイスの進歩が続く中で、モデリングの観点から、スケーリングの限界を理解することは重要である。たとえば、統計的なドーパントの fluctuation(変動、変異)や poly gate(多結晶ゲート)の線幅ばらつきの影響をシミュレートする必要がある。モデリングの努力は、新しい材料使用の傾向や、100nm 以後の新しいデバイス構造を追求するために必要である。モデリングを通して、従来にないデバイスを探求することもまた、ロードマップの究極として必要である。

16-3-5 回路素子モデリング-ECAD

コンパクトモデリングと回路シミュレーションは、チップ設計の生産性向上の鍵である。課題は大幅なクロック周波数増と指数関数的に増加する回路の複雑さである。2 つの相反する要求、つまり精度とCPU効率が満たされる必要がある。精度要求はクロック周波数増によるものである。配線で負荷されたゲートの立ち上がり/立ち下がり時間がクロック周期の $\sim 10\%$ の場合、立ち上がり/立ち下がり時間予測の精度は、 $\sim 10\%$ (シミュレーション精度はクロック周期の 1%)でなければならない。

これは、トランジスタ、配線、受動、寄生素子について正確な DC と高周波 AC モデルがあって初めて達成できる。サブ 100nm のためのモデル改良には、キャリア速度のオーバシュート、量子効果、ソースバリアの影響、非平衡動作などに取り組む必要がある。また今後の低電圧技術では、サブスレッショルドやコンダクタンスを十分に考察する必要がある。これらの複雑なモデルについてのロバストなパラメータ抽出は、相当に大チャレンジである。業界標準の回路モデルの開発は、設計と製造が往々にして異なった組織で行われている現在の企業環境にとって必要である。

配線遅延が、現在および将来のテクノロジーにおけるクリティカルパス遅延の主因となる。配線に関する寄生成分抽出の精度を向上することは重要な要求であり、複雑な配線構造に対応し、クロストークを正確にモデリングすることがキーポイントとなる。高いクロック周波数では、インダクタンス結合、ground bounce(グラウンドバウンス)、伝送線路効果、表皮効果などが複雑に電気特性に影響する。非常に高速(1GHzより大)なプロセッサでは、配線のミスマッチが性能低下の要因となる。

ESD、SER、酸化膜の信頼性などの課題を扱うモデルが、回路設計にとってますます重要になっている。アナログ、RF(radio frequency)、SoC(system on a chip)等のアプリケーションでは、RF 回路のノイズ問題などに新しい要望を生み出している。

能動素子モデルおよび配線モデルはどちらも、プロセスのばらつきを考慮してキャラクタライズする必要がある。たとえば、CMP を採用した層間絶縁膜(ILD)の膜厚のばらつきは 20% を超える。モデルおよびシミュレーションのCPU効率が上がれば、シミュレーションできる回路素子の数が増大する。クリティカルパス分析では、チップ中の全回路素子のほぼ 10% が関連しており、全素子数の 10% 規模の回路シミュレーションが、一晩でできるCPU効率が必要である。

16-3-6 パッケージモデリング

パッケージングは、性能、電力、結合部温度、パッケージ構造の点で非常に厳しい要求を満たさなけれ

ばならない。オンチップでもオフチップでも、電氣的、熱的、機械的な面を包括的にカバーする先進のモデルが必要とされる。これらの現象は今や個別では説明できない。

パッケージデザインと開発に関する信頼できるモデルが必要である。成膜時、および、熱誘起のストレスは、チップとパッケージレベルで、3D 積層構造全体でモデル化される必要がある。低熱伝導率の low k 絶縁膜の導入により、正確な熱シミュレーションの必要性が高まっている。このためには、高エネルギー損失を伴う電氣的挙動と矛盾無く解く必要がある。チップ全体の熱損失が大きく不均一な場合は、さらにこの分析を複雑にし、ダイパッケージとのカップリングの必要性が強調される。

高周波デバイスへの電力供給は、大きな問題になっている。インダクタンスループのモデリング、およびパッケージとチップの両方に伸びたリターンパスの分析は、複雑な問題を提起し、これを解決するには、よりパワフルで統合されたシミュレーションシステムが必要となる。理想としては、シミュレーションシステムはパッケージやチップのレイアウトのデータベースから直接結果を引き出し、すべての配線の正確な 3D 表示を行うようにすべきである。

高周波数になるにつれて、電気信号伝播のモデルは、近似的な RLC(抵抗、電磁誘導、容量)モデルから完全伝送線路モデルへと大きく改善される必要がある。回路シミュレーションツールは、ボード、パッケージ、そしてチップと結合する必要がある。電気モデルは、同じパッケージやダイに存在するデジタル、アナログ、RF デバイスを含むように拡張しなければならない。電力分配網を介してのノイズや電磁干渉は、システム・オン・チップ、システム・オン・パッケージにとって特に懸念される分野である。

16-3-7 数値解析手法とアルゴリズム

数値解析とアルゴリズムは、アプリケーションツールにおいて複雑さを増す物理現象の理解を助けるために改善の必要がある。たとえば、ボルツマンの輸送方程式のより正確なソリューションには、デバイスメッシュ上で連立すべき偏微分方程式数の増加に対処することが求められ、結果、線形解法手法の技術改善が進む。

2D から 3D への移行、問題の複雑化、プロセスシミュレーションの工程数の増加などのすべてが、自動メッシュ生成の失敗率を少なくとも 2 桁程度低下することを求めている。メッシュ生成の失敗とは、狭義には不正確に生成されたメッシュ要素として定義でき、広義には特定の領域に誘発された過大な打ち切り誤差と定義できる。適合性のある幾何学デザインツールが、ウェーハのメッシュ生成ツールとは別に、装置/反応装置の設計のために必要とされる。3D メッシュについては、半導体応用に焦点をあてた高度に異方性のあるメッシュ生成技術(スタティックとダイナミック両方)が必要とされる。

粒子レベルのモンテカルロコードは、CPU 本体のスピードの増加を要求するだけでなく、妥当なシミュレーション時間内で(計算)ノイズを最低に抑えるためのバラツキ低下手段も必要とする。急速な MFLOPS 以上(の計算能力)を求める要求に対しては、現在の傾向が続くと仮定して、ハードウェアの改良によって十分対応できると思われる。ワークステーションのスピードは、1990 年以降、毎年平均 1.8 倍の進歩を果たしてきた。パラレル処理もまた、計算機的に厳しい 3D シミュレーションの要求に取り組むために必要とされる。

YEAR TECHNOLOGY NODE	1999 180 nm	2002 130 nm	2005 100 nm	Driver
OVERALL TECHNOLOGY COST REDUCTION TARGET (DUE TO TCAD)	20%	25%	35%	
<i>Equipment/Topography Modeling</i>				
Etch/dep. cross wafer uniformity (% accuracy of the control spec)	20%	10%	10%	M
2D/3D topography accuracy	36 nm (20%)	20 nm (15%)	10 nm (10%)	M
<i>Lithography Modeling</i>				
Resist profile prediction accuracy	27 nm (15%)	13 nm (10%)	10 nm (10%)	
OPC model accuracy	9 nm (5%)	6.5 nm (5%)	5 nm (5%)	
<i>Front End Process Modeling</i>				
Vertical and lateral junction depth simulation accuracy	18 nm (10%)	13 nm (10%)	10 nm (10%)	
Total source/drain series resistance (accuracy)	20%	20%	20%	
Long-channel V_t (accuracy)	5% (75–90mV)	4% (48–60mV)	3% (27–36mV)	
<i>Device Modeling (Numerical)</i>				
Accuracy of f_t at given f_t (% of maximum chip frequency)	10%	10%	10%	
Gate leakage current accuracy (%) (decreases due to increase of I_g/I_d)	100%	70%	40%	
I_{off} accuracy	100%	70%	40%	
V_t rolloff accuracy (mV)	25mV	20mV	20mV	
<i>Circuit Element Modeling/ECAD</i>				
I-V error—compact model accuracy	5%	5%	5%	
Sub-threshold current—compact	95%	50%	10%	
Intrinsic MOS C-V—compact model accuracy	<7%	<6%	<5%	
Parasitic C-V—compact model accuracy	5–10%	5–10%	5–10%	
G_m and r_o at $V_t+150mV$ versus L , V_{bs} , and T	5%	4%	3%	
Circuit delay accuracy (% of maximum chip frequency)	10%	5%	5%	
RLC delay accuracy (% of maximum chip frequency)	10%	5%	5%	
<i>Package Modeling</i>				
Package delay accuracy (% of off-chip clock frequency)	1%	1%	1%	
Stress model accuracy (% of yield stress)	10%	10%	10%	
Temperature distribution for chip and package (accuracy)	5°C	5°C	5°C	
<i>Numerical Methods</i>				
Speed-up of algorithms for 3D process/device	1×	2×	4×	
Linear solvers (kilo equations/minute)	150K	300K	600K	
Parallel speed-up	1×	2×	4×	
MFLOPS required	80	1000	4000	

Solutions Exist
Solutions Being Pursued
No Known Solutions

表 87b モデリング & シミュレーションの技術的要求—正確さ/速度(短期)

Table 87c Modeling and Simulation Technology Requirements: Capabilities—Long Term

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Equipment/Topography			
Equipment simulation	Ab initio simulation of materials properties	Computer engineered materials and process recipes	
Lithography			
Next generation lithography	EUV and E-beam system	Beyond roadmap lithography models	
Resist technology	EUV resists	Finite polymer-size effects	Non-conventional photo-resist models
Front End Process Modeling			
Advanced process models	Metastable activation (>solid solubility)	Alternative materials (such as SiGe)	Atomistic process model
Advanced doping models	Solid source	New technology needed	
Numerical Device Modeling			
Alternative device models	2D quantum models for MOS	Single electron transistor	Quantum effect devices
Circuit Element Modeling/ECAD			
Advanced circuit models	Quantum effets/non-quasi-static	Circuit models for alternative devices	New technology needed
Package Modeling			
Electrical/optical models	Full-wave analysis	Mixed electrical/optical analysis	New technology needed
Numerics			
Numerical algorithms	Exploit parallel computation	Efficient atomistic/quantum methods	Multi-scale simulation (atomistic-continuum)

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

16-3-8 材料モデリング

材料モデリングは、それ自身は個別の応用分野ではないが、他の多くの分野に影響を与える可能性のある重要な新しい有望な解決策候補である。将来のテクノロジーノードにおける課題解決の一助となる材料シミュレーションツールの必要性和効用を示唆するいくつかの要因がある。

- ほとんど原子サイズに微細化を続けるデバイスでは、連続体から原子レベルの描写までの材料シミュレーションとモデリングツールが、ますます重要になっている。
- 半導体ロードマップ上の重大な障害に対して考えられる解決策候補として、多くの代替材料が提案されている。材料シミュレーションツールは、多くの複雑な実験による評価の必要をなくし、多数の“仮説”を検討することを可能にする。
- 装置、プロセス、デバイス、パッケージ、パターンニング、および配線におけるモデリング&シミュレーションツールは、入力する材料パラメータの正確さと同等の正確さしかない。多くの場合、これらのパラメータは判っていない。基本的な材料シミュレーションと量子化学計算は、この知識ベースの確立を助ける。

有望な解決策候補の図 62 は、すべての分野において材料の必要性を示唆している。

1. 装置/形状モデリング — 基本的な材料モデリングは、化学反応速度、材料とプラズマの断面積、表面および最小寸法スケールの反応機構、物理蒸着法の方法材料定数、機械化学的材料定数を提供すると考えられる。

2. リソグラフィモデリング — 材料モデルは、レジストの改良および先進的マスク作成に必要とされる。
3. フロントエンドプロセスモデリング — 予測可能な材料モデリングは、調整パラメータなしでイオン注入コードを提供し、超浅や低濃度のドーパント分布の予測、および新しいゲート絶縁膜のモデリングを提供すると考えられる。
4. デバイスマデリング: デバイス寸法が縮小する中、連続体から原子レベルの予測までの材料モデリングは、次世代ゲート積層構造の開発を促進する。
5. 回路素子モデリング/ECAD — フラッシュメモリセルや新型の DRAM セルなどの新しいメモリセルは、複雑な材料の電子輸送メカニズムを基本としている。
6. パッケージモデリング/材料モデリング — パッケージの熱および機械特性の予測と、付着、疲労、熱安定性などの信頼性の問題についての予測を支援する。

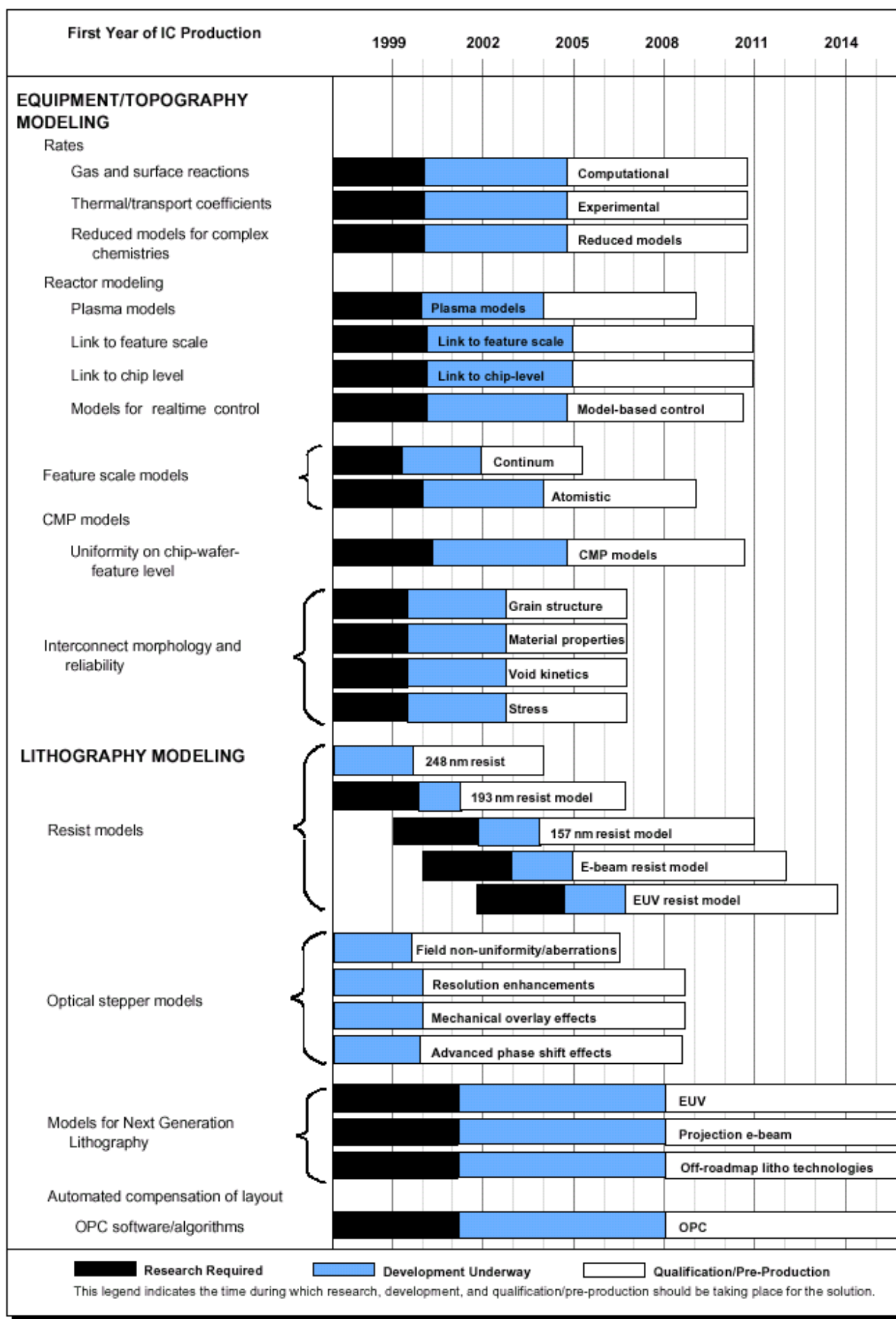


図 62 モデリング&シミュレーションの有望な解決策候補

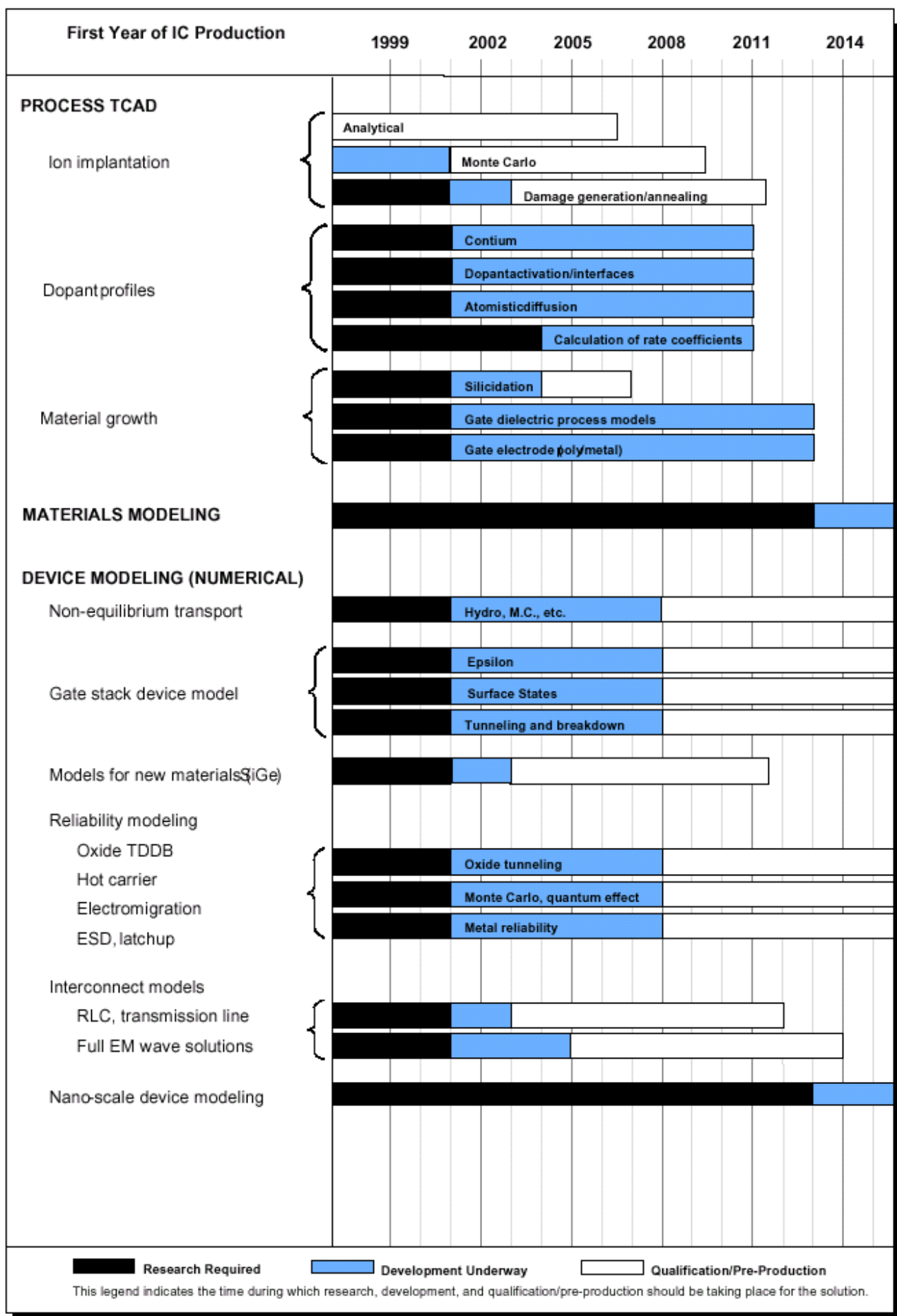


図 62 モデリング&シミュレーションの有望な解決策候補(続き)

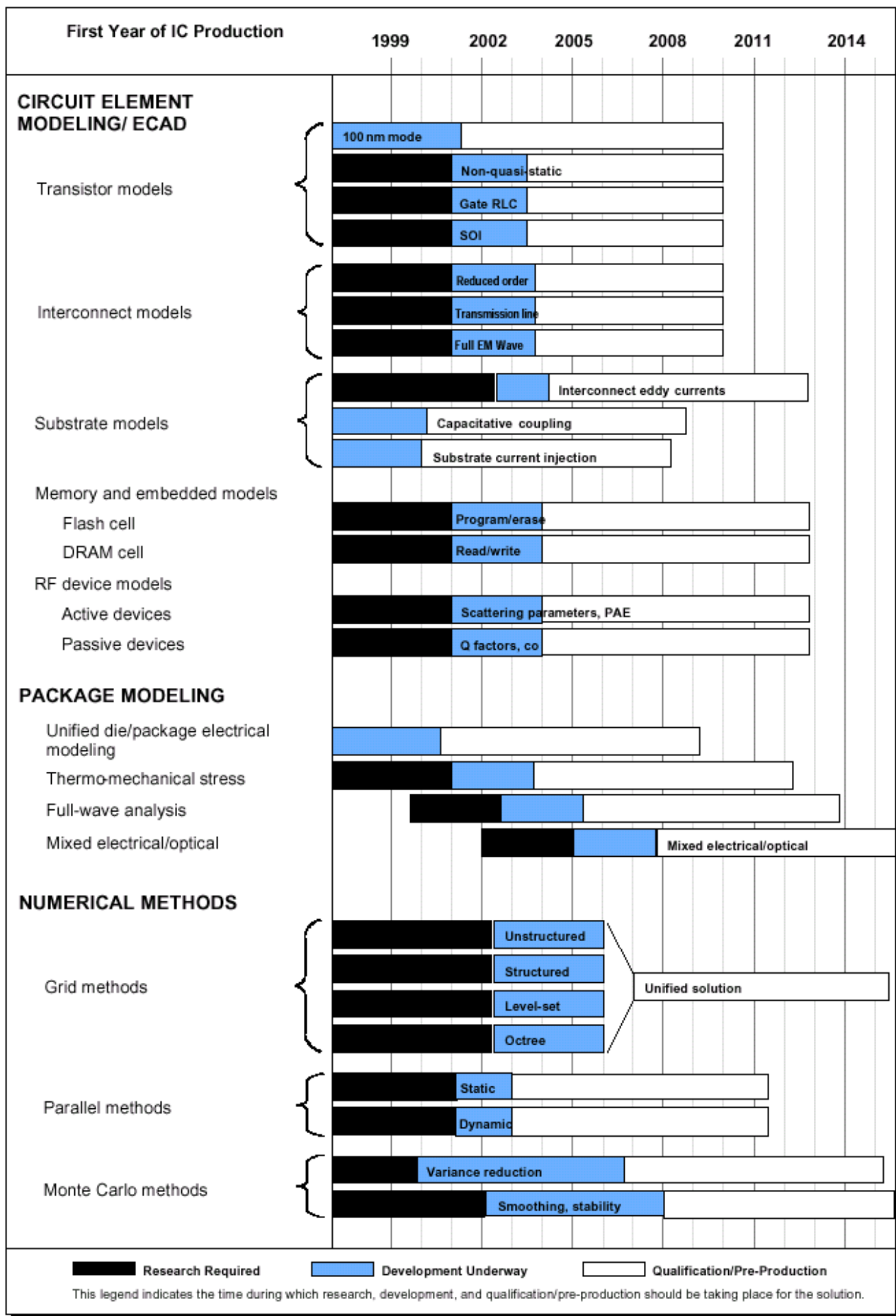


図 62 モデリング & シミュレーションの有望な解決策候補(続き)

