

7. プロセスインテグレーション、デバイス、および構造

7-1 スコープ

プロセスインテグレーション、デバイス、および構造 (PIDS) の章では、全プロセスフローに影響を与える概念を取り扱うと共に、新しい選択肢に関連する信頼性とのトレードオフも取り上げている。物理的及び電氣的な設計寸法は PIDS の中に含まれ、そして物理寸法やキーとなる能動素子や受動素子の電氣的なパラメータ、及び信頼性基準のような物理的、電氣的なパラメータを取り扱う。統計的な許容度と同じくらい名目的な目標が重要である。このスコープは、以下に述べるような3つの副カテゴリーにまとめられる。この章の架け橋となるテーマは、配線、消費電力、信頼性、及び素子性能に関する制約を同時に満足させる IC (集積回路) を設計する際、その中により多くの機能を混載させたいとの要求である。これは、将来デバイスのトレンドである system-on-a-chip (SoC) 応用につながる基本的な課題である。SoC 問題は、他分野の活動として他の章に分けて取り扱われる大きな横断的テーマになる。

7-1-1 メモリと論理素子

デジタルのメモリやロジックは半導体素子製造の主たるものである。マイクロプロセッサと ASIC(application specific integrated circuit: 特定用途向け IC) デバイスはロジックのカテゴリーに入り、一方メモリは DRAM(dynamic random access memory)、SRAM(static random memory)そして不揮発性メモリ(NVM)を含む。プロセスインテグレーションは全プロセスの総合的な構成を最適化する。これは、電力、クロック及び信号分布におけるチップ上の配線階層と同様にシリコンの能動素子を含む。素子と配線間の構成上のトレードオフは、性能、集積密度及び信頼性の要求度合いによって推進される。素子と構造は、ロジックやメモリセルの設計に要求される能動トランジスタ、配線及び他の構造に属している。メモリセル、DRAM、SRAM 及び NVM は汎用ものや搭載ものの両用に適用される。

7-1-2 アナログ、ミックスシグナルおよび高周波 (RF) デバイス

アナログ、ミックスシグナル及び RF などの IC を推進させる日用品的応用は、パーソナルコンピューティングや通信の中に存在することによって具体化される。アナログは、オペアンプのような「純粋な」アナログ回路に属する。ミックスシグナルは、アナログ変換回路やデジタルシグナルプロセッシング回路のように、デジタルとアナログの両機能が入った集積回路を含んでいる。RF は無線通信や「1チップラジオ」用のように、800 MHz 以上で作動する純粋なアナログ及びミックスシグナルに属する。高電圧や高電力の IC のようなある種のアナログ IC 技術は特に含まれないが、一方マイクロエレクトロメカニカルシステム (MEMS) のようなものは、年表示から離れて含まれる。このようなデバイスは再利用されて、低コストを維持する主流のデジタル CMOS 技術から得られる専門知識をうまく使えなければならぬし、さらに高性能と高信頼性の要求を満たさなければならない。

7-1-3 信頼性

信頼性はプロセスインテグレーションの批判的な側面をもっている。そこに現れる技術ノードは、情報収集したり新しい不良発生の仕組みや欠陥に関する有益なデータベースを整えたりするための当座の能力を超える速度で、新材料や新プロセスの導入を要求していく。プロセスインテグレーションは広がる学習効果の恩典がないまま行われることになるので、現在の信頼性の水準を維持することは難しいであろう。これらの問題は、検査とウェーハレベルの信頼性 (WLR) に関する大チャレンジに位置づける。パッケージとの境界の信頼性は、新材料・プロセス、形状因子、強く張ったリード線と接続空間、厳しい環境、接合、そして顧客製造能力などの問題によって、特に悪影響を受けやすい。

7-2 大チャレンジ

<i>FIVE DIFFICULT CHALLENGES ≥100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
Meeting device performance targets with available gate stack materials	Production worthy high κ dielectrics and compatible gate materials will not be available.
Function integration at low V_{dd}	Crosstalk, substrate noise, and device performance difficult to optimize simultaneously at high clock rates and low V_{dd} .
Managing power, ground, signal, and clock on multilevel coupled interconnect	Despite the use of low κ dielectrics, interconnect scaling is increasing coupling capacitance, crosstalk and signal integrity issues. Power, clock, and ground distribution will consume an increasing fraction of available interconnect.
Management of increasing reliability risks with the rapid introduction of new technologies.	Inadequate identification and modeling of failure modes in new materials, new operating regions (such as tunneling) and new SoC technologies (such as MEMS)
Integration of precision passive elements	Maintaining high Q, low noise, and tolerances of discrete components.
<i>FIVE DIFFICULT CHALLENGES <100 nm / BEYOND 2005</i>	<i>SUMMARY OF ISSUES</i>
Overcoming fundamental scaling limits for current device structures	Switching drive, noise margin, material properties, and reliability will limit performance improvements from scaling
Integration choices for system-on-a-chip	Cost-effective process integration of many functions on a single chip.
Atomic level fluctuations and statistical process variations	Possible reduction of yield and performance below desired levels due to unacceptable statistical variations.
Design for manufacturability, reliability, and performance.	Inadequate smart design tools that incorporate integration challenges in process control, proximity effects, reliability, performance, and others
Low-power, low-voltage, high-performance, and reliable nonvolatile memory element	NVM program and erase require voltages that are incompatible with highly scaled low-voltage devices

表27 大チャレンジ

PIDS の大チャレンジについての解説

1. 利用可能なゲート電極構造でデバイス性能目標を達成すること: 薄膜化された酸化膜や酸窒化膜でのトンネル電流の増大を回避するため、高誘電率ゲート絶縁膜が必要となる。量産に値する高誘電率膜と適当なゲート電極材料がすぐには得られない。ゲート電極の空乏化が少ない、もしくは、起こらない低抵抗ゲート電極が、デバイス性能の要求を満たすため必要となる。
2. 低い電源電圧での機能混載: 将来の SoC では、低い電源電圧で同一チップ上にロジック、アナログ、メモリの集積化が必要である。これらは、おのこの、低い電源電圧で固有の課題を抱えている。ロジックにおいては、高性能と低スタンバイ電力の相矛盾する要求の整合が課題である。アナログ回路においては、S/N 比と余裕度の大きな問題に直面する。フラッシュメモリは、チップ内にプログラム用の高電圧が必要である。これらの技術の集積化が大きな挑戦となる。
3. お互い結合しあった多層配線での電源、接地、信号、クロックの制御: クロストークと増大した寄生 RC(resistance capacitance)遅延は、微細化された配線システムにおいて制限要素となりつつある。低誘電率絶縁膜の導入は、有用だが、これらの問題を取り除くことにはならない。使用可能な配線の多くを電源、接地、クロックの引き回しに使う様になり、新しい配線設計方式が必要とされる。配線の問題は、総合的に取り組む必要があり、新材料、プロセス、配線方式、設計ツールの注意深い統合によってのみ解決され得る。
4. 新技術の急激な導入により増大する信頼性危機の管理: 信頼性の知識と技術が、新材料、新動作領域、SoC の導入ペースについていけない。結果として、新技術導入のリスク増大となる。
5. 精密な受動素子の集積化: より低電圧で動作させ、Q 値をさらに向上させようとする、高い Q 値を持つ受動素子の作成がますます困難になる。
6. 現在のデバイス構造での根本的な微細化限界の打破: スイッチングの駆動力、ノイズマージン、材料の性質、及び、信頼性が、微細化による性能向上を制限する様になる。MOS 構造の根本的な限界が、量子効果と原子レベルの効果によりより顕在化し、結果として、性能向上を制限する。
7. システムオンチップにおける選択の問題: チップにどの混載技術を集積化するかの選択は、特定の応用分野での混載技術のコスト対性能によって制約される様になる。もっと複雑な機能の導入は、プロセスの両立性においてさらに難しくなる。また、おのこの混載技術の要求を同一チップ上で同時に満たすのがますます困難になる。
8. 原子レベルのゆらぎと統計的なプロセス上のばらつき: デバイス構造 / 構成が進展すると、統計的プロセス変動、寸法変動が、重大な障壁となり、高性能と高歩留が得られなくなる。プロセスとアライメントの絶対的制御は改善されたとしても、ばらつきの比率の増大は許されない。チャンネル領域におけるドーパント原子の統計的なばらつきが、閾値電圧の制御を制限する様になる。これらの問題に対応するには、自己整合型トランジスタ、適応型トランジスタ、もしくは、リソグラフィで規定されない構造などの新規デバイス構造が必要となる。
9. 生産性、信頼性、性能を考慮した設計: マルチ閾値のデバイス、高いゲインで且つ安定した飽和特性を持つアクティブデバイス、DRAM や不揮発性メモリー用に高誘電率で高い信頼性の絶

縁膜、また、高品質な受動素子(高い Q 値のインダクタやキャパシター)等の集積化は、複雑性を増大させる。

10. 低消費電力、低電圧、高性能、かつ高信頼性な不揮発性メモリ素子: 不揮発性メモリ素子は、微細化された技術で許容される電圧より高い電圧を現在必要としている。不揮発性メモリの機能を有する新しい構造、もしくは、新しい蓄積技術が必要とされる。

7-3 技術的要求

技術的要求の表はハイパフォーマンス製品のニーズを反映している(表28-30)。実効ゲート長、ゲート絶縁膜、接合深さなどのすべてが、これらの課題に併せてアグレッシブに見積もられている。より小さな実効ゲート長の実現やチップのダイナミックな消費電力を許容範囲に抑えるために、電源電圧も低下している。電源電圧を低減することは、動作電流を一定に保つためには重要な問題である。今後、従来のスケールリング則を保つためには、いくつかの点で新しいデバイス構造が要求されるであろう。オフ電流も動作電流や目標性能に併せて増大している。オフ電流が大きいと、スタティックな消費電力を許容範囲に抑えるためには革新的な回路やシステムの設計技術が必要となる。また、大きなリーク電流は欠陥のスクリーニングにおいても問題となる。

これらのトランジスタに要求されるゲート絶縁膜は、まもなくトンネル電流が問題となる膜厚に達し、もはや SiO₂ 系絶縁物では対応できない。課題と焦点はゲート絶縁膜材料やゲート構造を置き換えていく開発に移行しなければならない。これらは、最新のデバイスにスケールリング則を継承させていくためには 100 nm のテクノロジーノードから必要となってくるだろう。

浅い S/D 拡散接合に関する要求、ニーズは使用されるドレインエンジニアリングに依存するだろう。ポケットインプラを使うと、より深いジャンクションを使用することが可能である。短配線ピッチの課題はアプリケーションごとに異なる。メモリセルでは最小のハーフピッチ(〜2×)が要求されるが、ロジックでの要求は〜3×である。配線系は RC 遅延が最小になるように、またエレクトロマイグレーション、ストレスマイグレーションの課題に併せて最適化しなければならない。高速化された ESD(electrostatic discharge damage: 静電破壊)プロテクションやスケールリングされた I/O などがデバイス最適化の課題を指し示している。

DRAM セルサイズのスケールリング予測は、まもなく現在のアプローチでは要求に対応できないようになる。材料、セルデザイン、メモリアーキテクチャーの変更を余儀なくされるだろう。データ保持特性やソフトエラーは、このようなより小さなセルにおいてスペックを達成することは非常に難しいと考えられる。

今後、システムパフォーマンス向上をもたらしていくためには、様々なロジック、メモリ、アナログ、デジタル・アナログ混載機能を集積した低電源電圧のシステムオンチップが要求されてくる。このような多機能性の集積化は、コストパフォーマンスも良く、今後の技術においてプロセス革新をもたらすものである。このような高集積システムにおいて、複雑なテストをおこなっていくには新しいテスト手法が必要となる。クロストークや信号波形の品質の問題は配線系のスケールリングにより押し進めてきたが、単独の技術では解決できるものではない。高機能なデザインツールが必要となってくるだろう。

7-3-1 メモリと論理素子

	YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
1	DRAM λ Pitch (nm)	180	165	150	130	120	110	100	
2	MPU Gate Length (nm)	140	120	100	85	80	70	65	
3	MPU / ASIC λ (nm)	230	210	180	160	145	130	115	
4	ASIC Gate Length (nm)	180	165	150	130	120	110	100	
5	Minimum logic V_{dd} (V) (desktop)	1.5-1.8	1.5-1.8	1.2-1.5	1.2-1.5	1.2-1.5	0.9-1.2	0.9-1.2	M GATE
6	T_{ox} equivalent (nm)	1.9-2.5	1.9-2.5	1.5-1.9	1.5-1.9	1.5-1.9	1.2-1.5	1.0-1.5	M GATE
7	Nominal I_{on} at 25 °C ($\mu A/\mu m$) [NMOS/PMOS] high-performance	750/350	750/350	750/350	750/350	750/350	750/350	750/350	M GATE
8	Maximum I_{off} at 25 °C (nA/ μm) (For minimum L device) high performance	5	7	8	10	13	16	20	M GATE
9	Gate delay metric CV/I (ps) high-performance	11	9.4	8.6	7.3	6.9	6.1	5.7	
10	Percent static power reduction necessary due to innovative circuit/system design	0	33	48	55	71	77	81	M GATE M & A IS
11	Nominal I_{on} at 25 °C ($\mu A/\mu m$) [NMOS/PMOS] low power	490/230	490/230	490/230	490/230	490/230	490/230	490/230	A GATE
12	Maximum I_{off} at 25 °C ($\mu A/\mu m$) (For minimum L device) low power	5	7	8	10	13	16	20	A GATE
13	Gate delay metric CV/I (ps) low power	18	16	13	11.2	10.7	8.8	8.2	
14	Percent static power reduction necessary due to innovative circuit/system design	0	36	55	65	80	85	88	A GATE M & A IS
15	V_T 3σ variation ($\pm mV$) (For minimum L device)	50	50	42	42	42	33	33	M GATE
16	S/D extension junction depth, nominal (μm)	0.045-0.07	0.04-0.065	0.04-0.06	0.03-0.05	0.03-0.048	0.028-0.044	0.025-0.04	M GATE

Solutions Exist Solutions Being Pursued No Known Solutions

表 28a メモリと論理素子の技術的要求－短期

	YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
1	DRAM λ Pitch (nm)	180	165	150	130	120	110	100	
2	MPU Gate Length (nm)	140	120	100	85	80	70	65	
3	MPU / ASIC λ (nm)	230	210	180	160	145	130	115	
4	ASIC Gate Length (nm)	180	165	150	130	120	110	100	
17	Gate sheet resistance (Ω /sq) at minimum dimension	4-6	4-6	4-6	4-6	4-6	4-6	4-6	M Gate
18	Interconnect levels	6-7	6-7	7	7-8	8	8	8-9	M & A λ
19	Short wire pitch (μ m)	0.36- 0.46	0.33- 0.42	0.30- 0.36	0.26- 0.32	0.24- 0.29	0.22- 0.26	0.2- 0.23	M & A λ
20	Maximum wire length Lm (μ m)	2243	2036	1828	1621	1468	1315	1162	M & A λ
21	DRAM cell size (μ m ²)	0.26	0.22	0.18	0.10	0.08	0.065	0.044	D λ
22	DRAM cell dielectric T _{ox} equivalent (nm)	3	2.40	1.80	0.95	0.80	0.65	0.45	
23	Dram retention time (ms)	250	250	250	250	250	250	250-500	
24	DRAM soft error rate (fits)	1000	1000	1000	1000	1000	1000	1000	
25	Nonvolatile data retention	10	10	10	10	10	10	10	
26	NOR cell size (μ m ²)	0.34	0.29	0.24	0.17	0.15	0.13	0.1	M & A λ
27	$\pm V_{pp}$	8-10	8-10	8-9.5	8-9.5	8-9.5	7-9	7-9	
28	Tunnel oxide (nm)	8-10	8-10	8.5-9.5	8.5-9.5	8.5-9.5	8-9	8-9	
29	NVM endurance (erase/write cycles)	100K	100K	100K	100K	100K	100K	100K	
30	ESD protection voltage (V/ μ m)	7.5	7.5	10.5	10.5	10.5	12	12	
31	(V/ μ m ²)	2.5	2.5	3.0	3.0	3.0	3.5-4.0	3.5-4.0	

Solutions Exist

Solutions Being Pursued

No Known Solutions

表 28a メモリと論理素子の技術的要求 - 短期 (続き)

	YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm	DRIVER
[1]	DRAM ½ Pitch (nm)	70	50	35	
[2]	MPU Gate Length (nm)	45	32	22	
[3]	MPU / ASIC ½ Pitch (nm)	80	55	40	
[4]	ASIC Gate Length (nm)	70	50	35	
[5]	Minimum logic V _{dd} (V) (desktop)	0.6–0.9	0.5–0.6	0.3–0.6	M Gate
[6]	T _{ox} equivalent (nm)	0.8–1.2	0.6–0.8	0.5–0.6	M Gate
[7]	Nominal I _{on} at 25 °C (µA/µm) [NMOS/PMOS] high performance	750/350	750/350	750/350	M Gate
[8]	Maximum I _{off} at 25 °C (nA/µm) (For minimum L device) high performance	40	80	160	M Gate
[9]	Gate delay metric CV/I (ps) high-performance	3.7	2.6	2.4	
[10]	Percent static power reduction necessary due to innovative circuit/system design	91	97	98	M Gate M & A ½
[11]	Nominal I _{on} at 25 °C (µA/µm) [NMOS/PMOS] low power	490/230	490/230	490/230	A Gate
[12]	Maximum I _{off} at 25 °C (pA/µm) (For minimum L device) low power	40	80	160	A Gate
[13]	Gate delay metric CV/I (ps) low power	5.6	4.5	3.7	
[14]	Percent static power reduction necessary due to innovative circuit/system design	95	98	99	A Gate M & A ½
[15]	V _T 3s variation (±mV) (For minimum L device)	25	17	17	M Gate
[16]	S/D extension junction depth, nominal (µm)	0.02–0.028	0.013–0.02	0.01–0.014	M Gate
[17]	Gate sheet resistance (Ω/sq) at minimum dimension	4–6	4–6	4–6	M Gate
[18]	Interconnect levels	9	9–10	10	M & A ½
[19]	Short wire pitch (µm)	0.14–0.21	0.10–0.15	0.07–0.11	M & A ½
[20]	Maximum wire length L _m (µm)	697	325	201	M & A ½
[21]	DRAM cell size (µm ²)	0.018	0.0075	0.0031	D ½
[22]	Cell dielectric T _{ox} equivalent (nm)	0.15	0.06	0.043	
[23]	Minimum refresh time (ms)	250–500	250–500	250–500	
[24]	Soft error rate (fits)	1000	1000	1000	
[25]	Nonvolatile data retention	10	10	0.1–10	
[26]	NOR cell size (µm ²)	0.05	0.025	0.012	M & A ½
[27]	+/- V _{pp}	7–8.5	6.5–8.5		
[28]	Tunnel oxide (nm)	7.5–8.5	2–8	2–7	
[29]	NVM endurance (erase/write cycles)	100K	0.1–1M	0.1–10M	
[30]	ESD protection voltage (V/µm)	13.5	15	17.5	
[31]	(V/µm ²)	4.5–5.0	5.5–6.0	7.5–10	

Solutions Exist

Solutions Being Pursued

No Known Solutions

表 28b メモリと論理素子の技術的要求－長期

表 28a, 28b 「メモリとロジックへの技術的要求」に対する註

一般的な註

[A] 電源電圧の制御性: ±10%

[B] ゲート長の制御性: ±10%, 実効ゲート長の制御性: ±20%

[C] ソース/ドレインの全直列抵抗はチャネルのオン抵抗の 10%以下
(オン抵抗[R_{on}] = 電源電圧[V_{dd}]/オン電流[I_{on}])

[D] フラッシュ製品はマイクロプロセッサや DRAM 用のテクノロジーノードに当てはまらない。

表 28a, 28b の各列に対する註

- [1] ORTC(Overall Roadmap Technology Characteristics)表より
- [2] ORTC 表より
- [3] ORTC 表より
- [4] ORTC 表より
- [5] 電源電圧は動作時の消費電力と、信頼性の点で妥当なゲート絶縁膜にかかる電界強度を元に設定されている。通常、表中の電圧範囲の中で高い値は高性能用途、低い値は低消費電力用途である。
- [6] シリコン酸化膜の物理的な膜厚に換算した膜厚。C-V 測定で求まる電氣的な酸化膜厚は、ポリシリコンゲート電極の空乏化と量子効果のために、この行に示された値よりも厚くなる。電源電圧の場合と同様に、表中の膜厚範囲の中で厚い方の値は高性能用途、薄い方の値は低消費電力用途である。180 nm から 110 nm のノードでは、 T_{ox} は酸化膜の信頼性の観点から $V_{dd}/T_{ox} \leq 8$ MV/cm になるように選ばれている。ここで V_{dd}/T_{ox} は酸化膜中の電界強度である。100 nm のノードでは、ゲート絶縁膜としてシリコン酸化膜あるいは酸窒化膜よりも誘電率の大きい材料が使用される可能性が高い。そのような膜ではゲートリーク電流は同じ T_{ox} でも著しく小さくなるため、より薄い T_{ox} を許容でき、大きいオン電流(I_{on})を実現できる。また、信頼性の観点からきた $V_{dd}/T_{ox} \leq 8$ MV/cm の要求は、高誘電体膜にはあてはまらないかもしれない。このため T_{ox} はさらにスケール可能になる。100 nm ノードでの T_{ox} の要求が 1.0-1.5 nm と幅が広いのは、使用される材料の不確定性を含むためである。この範囲の中で厚い方はシリコン酸化膜や酸窒化膜であり、薄い方は高誘電体膜を想定している。100 nm 以降では高誘電体のゲート絶縁膜の採用が最も可能性が高い。この時は $V_{dd}/T_{ox} \leq 8$ MV/cm の要求はなくなる。
- [7] オン電流(I_{on})は全ての世代において一定であることが期待される。
- [8] オフ電流(I_{off})は、世代に渡ってオン電流一定に維持するために、徐々に増加することが予測される。オフ電流はソース電位(V_s)、ゲート電位(V_g)、基板電位($V_{substrate}$)を 0 V にし、ドレイン電位を電源電圧にして($V_d=V_{dd}$)測定される。オフ電流はドレイン電流とゲートリーク電流の差である(オフ電流はサブスレシヨルド電流[ソース端子での電流]と接合リーク電流[基板端子での電流]の和)。ゲートリーク電流に対する要求はフロントエンドプロセス(FEP)の章の表 34 に書かれている。
- [9] 高性能用途のゲート遅延指標は単純な CV/I であり、チャンネル幅がチャンネル長と共にスケールされることを仮定して計算された。ここでゲート長(L)は MPU のものを、電源電圧(V_{dd})は最も高いものを、ゲート酸化膜は最も厚いものを用いて計算している。
- [10] それぞれのテクノロジーノードにおいてシステムが課する最大のチップレベルのリーク電流($I_{L,SYS}$)は、ヒートシンクの能力限界の 10%を非動作時の消費電力限界と仮定し、これを電源電圧(V_{dd})で割って見積もられた。非動作時のチップの全リーク電流は、8 行目に示されたオフ電流値を用いて、トランジスタ数とゲート幅/ゲート長=3 を仮定して計算されている。このチップレ

ベルの非動作時のリーク電流は、デバイスのセルフヒーティング(100°C)によるリーク電流増大を考慮して 100 倍にされている。このチップレベルのリーク電流が $I_{L,SYS}$ よりも大きければ、その比率が 10 行目に記されている。この超過分はダイナミックなしきい値制御や二種類以上のしきい値を使い分ける手法、あるいはチップの一部を一時的にオフするなどの革新的な回路やシステム設計によって削減されなければならない。ヒートシンク的能力、電源電圧、チップサイズ、トランジスタ密度等は ORTC 表の値を用いた。

- [11] テクノロジ世代を通してオン電流は一定であることが期待されている。低消費電力用デバイスは、高性能用のデバイスのオン電流から計算されている。この値はより厳しいオフ電流に対する要求を満足するため、それに必要な高いしきい値による電流駆動能力のロスを考慮している。
- [12] 低消費電力用途のオフ電流は、高性能用チップに対して要求されるオフ電流よりも3桁少なくなるように設定されている。また高性能用途の場合と同様に、テクノロジ世代を通して増加することが予測される。オフ電流はドレイン電流とゲート(リーク)電流の差である(オフ電流はサブスレシールド電流[ソース端子での電流]と接合リーク電流[基板端子での電流]の和)。ゲートリーク電流に対する要求はフロントエンドプロセス(FEP)の章の表 34 に書かれている。
- [13] 低消費電力用デバイスのゲート遅延指標は単純な CV/I であり、チャンネル幅がチャンネル長と共にスケールされることを仮定して計算された。ここでゲート長(L)は MPU のものを、電源電圧(V_{dd})は最も低い値のものを、ゲート酸化膜は最も薄いものを用いて計算している。
- [14] それぞれのテクノロジーノードに対してシステムが課する最大のチップレベルのリーク電流($I_{L,SYS}$)は、ヒートシンク的能力限界の 10%を非動作時の消費電力限界と仮定し、これを電源電圧(V_{dd})で割って見積もられた。電池の寿命を長く保つため、電池駆動の高集積チップの最大消費電力の妥当な値は $100 \mu W$ である。非動作時のチップの全リーク電流は、12 行目に示されたオフ電流値を用いて、トランジスタ数とゲート幅/ゲート長=3 を仮定して計算された。このチップレベルのリーク電流が $I_{L,SYS}$ よりも大きければ、その比率が 14 行目に記されている。この超過分はダイナミックなしきい値制御や二種類以上のしきい値を使い分ける手法、あるいはチップの一部を一時的にオフするなどの革新的な回路やシステム設計によって除去されなければならない。
- [15] しきい値ばらつき(3σ)は電源電圧レンジの中心値のスケールリングに比例して縮小された。
- [16] 接合深さに範囲があるのは、使用されるドレインとチャンネルのエンジニアリング(例えばポケットイオン注入対浅いドレインエクステンション)に依存するためである。
- [17] 70 nm のテクノロジーノード以降は、目標のゲートシート抵抗を得ることが困難になる。
- [18] 配線層数の増大は高性能マイクロプロセッサからの要求によって牽引される。
- [19] 短配線ピッチは DRAM のハーフピッチの倍に等しい。
- [20] 最大配線長は、最小ピッチの配線に対して遅延が $0.9f_{max,local}$ となる長さとしている。ここで $f_{max,local}$ (最大局所周波数)は ORTC 表から求めている。ゲートは3入力 NAND で、ゲート幅とゲート長の比は5である。最大配線長に対する遅延時間の計算に用いた式は、文献 4)による。

文献4) P. D. Fisher, et al., "The Test of Time," IEEE Circuits and Device Magazine, vol. 14, pp.. 37-44 (March 1998)

- [21] セルサイズは前工程(FEP)の章の表 34b でもっと詳しく議論されているように、チップサイズと DRAM 容量(チップ当たりのビット数)から決まっている。前工程の章で用いられているビット数とチップサイズの数値は Overall Roadmap Technology Characteristics(ORTC):全体ロードマップ技術特長の表 1aと 1b から引用し、“導入世代“ の場合(これはチップサイズとしては未だ大きい最も早く最高集積度(最大ビット数)を持つ最初のサンプルとされる DRAM チップの場合である。ORTC の表における“量産世代“の場合とは“登場初期世代“のチップに比べ、ビット数は 1/4 のため経済的に許容できる単価となる相当小さなチップサイズとなることに注意して頂きたい)を反映している。前工程の章の DRAM 容量とチップサイズの数値がかなり積極的であるため、セルサイズもかなり積極的に縮小しなければならない。ここでセルサイズ係数:a (ここでセルサイズ係数は $a = \text{セルサイズ} / F^2$ で定義、F は DRAM の最小ピッチの半分)の数値の低減が困難である。必要とされるセルサイズ係数:a は 180nm ノードで 8、130nm ノードで 6、100nm ノードで 4.4 である。セルサイズ係数:a=8は多分現在の技術で達成可能であるが、しかし a=6は革新的な新たな方法が必要であろう、このため 130nm ノードがこの境界に当たり黄色で示している。a=4.4 の達成方法は未知であり、このため 100nm ノード以降は赤で示している。
- [22] 容量絶縁膜 T_{ox} の実効膜厚は前工程(FEP)の章の表 34b でもっと詳しく議論されているようにチップサイズと DRAM 容量(チップ当たりのビット数)から決まっている。前工程の章で用いられているビット数とチップサイズの数値は Overall Roadmap Technology Characteristics(ORTC):全体ロードマップ技術特長の表 1aと 1b から引用し、“導入世代“の場合(これはチップサイズとしては未だ大きい最も早く最高集積度(最大ビット数)を持つ最初のサンプルとされる DRAM チップの場合である。ORTC の表における“量産世代“の場合とは“登場初期世代“のチップに比べ、ビット数は 1/4 のため経済的に許容できる単価となる相当小さなチップサイズとなることに注意して頂きたい)を反映している。前工程の章の DRAM ビット数とチップサイズの数値がかなり積極的であるため、実効 T_{ox} もかなり積極的に縮小しなければならない。180nm-150nm ノードでは容量絶縁材料は ONO/Ta₂O₅ がベースである。130nm ノード以降では MIM 構造そして究極的に BST を達成するためには革新的な方法が必要であり、70nm ノード以降の達成方法が知られていない。各ノードで実際に必要とされる実効 T_{ox} は(高さや 3D 構造による)表面積増加係数、膜の漏れ電流、コンタクト形成方法により変わる。トレンチ型容量では容量絶縁材料に対する必要条件は異なるかもしれないが、このトレンドはあてはまる。
- [23] 保持時間は 85°C で Row(列)方向にリフレッシュすることなしに、メモリからデータが正しく読み出される最小時間である。これはデバイスのリーク、信号量、センスアンプ感度が絡んだ相互作用により決まる。この要求は動作周波数、温度により変化し、用途によっても異なる。
- [24] ソフトエラー:これは典型的な FIT 割合であり、サイクルタイムや他の品質/信頼度評価条件によって変わる。
- [25] 保持時間の要求は当面は10年のままであるが、将来は新たな代替技術によって保持時間と

耐久性の両立が計られるであろう。

- [26] 高い電界強度が必要であるためスケーリングが複雑になっている、このため新たな NVM 代替技術が使われることになる。
- [27] V_{pp} がもはや外部電源電圧ではないため意味合いが不明瞭となっている。この表ではメモリアレー内でグラウンド電位に対する最も高い電圧の表示を意図している。
- [28] トンネル酸化膜は書き込み/消去特性確保のためには薄くしなければならないが、保持特性確保のために薄くできない。スケーリングが困難のためセル構造の新たな代替技術を考慮せざるを得ない。
- [29] 100k 回の耐久性は最低限必要であり、今後は保持特性を犠牲にして、より高い耐久性と低くなる保持特性の可能性が追求される。
- [30] ESD $V/\mu m$ は 1 ミクロン幅当たりの NMOS の耐力に関して見た場合。NMOS ESD 回路と自己保護回路では部分的に危険な状況である。
- [31] ESD $V/\mu m^2$ はガードリングを含む保護回路で単位面積当たりの保護回路の有効性に関し見た場合。

7-3-2 アナログ、ミクストシグナルおよび RF

[1]	YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER	
	DRAM λ Pitch (nm)	180	165	150	130	120	110	100	D	
	MPU Gate Length (nm)	140	120	100	85	80	70	65	M Gate	
	MPU/ASIC λ Pitch (nm)	230	210	180	160	145	130	115	M & A	
	ASIC Gate Length (nm)	180	165	150	130	120	110	100	A Gate	
[2]	Minimum Digital Supply Voltage (V)	1.8-1.5		1.5-1.2			1.2-0.9		M Gate	
[3]	Minimum Analog Supply Voltage (V)	3.3-2.5		2.5-1.8						
[4]	RF Frequency (GHz)	0.9-2.5		0.9-10						
[5]	Analog Frequency (GHz)	<0.1		0.1-5						
[6]	RF Transistor	Current (μ A)	100	100	100	100	75	75	75	M Gate
[7]	f_{max} (GHz)	25	28	32	35	40	45	50		
[8]	f_t (GHz)	20	20	25	30	30	35	40		
[9]	Noise figure (dB)	1.5	1.5	1.5	1.5	1.2	1.2	1.2		
[10]	1/f Noise ($V^2 \cdot \mu m^2$)	1×10^{-11}	1×10^{-11}	1×10^{-11}	5×10^{-12}	5×10^{-12}	5×10^{-12}	1×10^{-10}		
[11]	Analog Transistor	Current (μ A)	75	70	65	60	55	50	50	
[12]	1/f Noise ($V^2 \cdot \mu m^2$)	1×10^{-11}	1×10^{-11}	1×10^{-11}	5×10^{-12}	5×10^{-12}	5×10^{-12}	2×10^{-10}		
[13]	Gate oxide leakage (A/cm^2)	1×10^{-12}	1×10^{-12}	1×10^{-12}	1×10^{-10}	1×10^{-10}	1×10^{-10}	1×10^{-10}		
[14]	Current matching ($\Delta\% \pm 3\sigma$)	≤ 1	≤ 1	≤ 1	≤ 1	≤ 1	≤ 1	≤ 1		
[15]	RF Coupling Capacitor	Density ($fF/\mu m^2$)	1	1.2	1.4	1.5	1.7	1.9	2	
[16]	Q	≥ 15	≥ 18	≥ 22	≥ 25	≥ 27	≥ 29	≥ 30		
[17]	Filter Capacitor	Density ($fF/\mu m^2$)	2.5	2.8	3.2	3.5	3.7	3.8	4	
[18]	Matching ($\Delta\% \pm 3\sigma$)	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1		
[19]	RF Bypass Capacitor	Density ($fF/\mu m^2$)	5	6	7	7.5	8	9	10	
[20]	Linearity (ppm/V)	≤ 1000	≤ 1000	≤ 1000	≤ 1000	≤ 1000	≤ 1000	≤ 1000		
[21]	Q	≥ 15	≥ 18	≥ 22	≥ 25	≥ 27	≥ 29	≥ 30		
[22]	Analog Capacitor	Density ($fF/\mu m^2$)	1	1	1	1.5	1.5	1.5	2	
[23]	Linearity (ppm/V)	≤ 100	≤ 100	≤ 100	≤ 100	≤ 100	≤ 100	≤ 100		
[24]	Leakage ($C_p/N_p F-V$)	≤ 0.001	≤ 0.001	≤ 0.001	≤ 0.001	≤ 0.001	≤ 0.001	≤ 0.001		
[25]	Matching ($\Delta\% \pm 3\sigma$)	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1		
[26]	RF Resonator	Q	<50	<50	<50	50-1000				
[27]	Analog Resistor	Matching ($\Delta\% \pm 3\sigma$)	≤ 1	≤ 1	≤ 1	≤ 0.1	≤ 0.1	≤ 0.1	≤ 0.1	
[28]	1/f Noise ($A^2 \cdot \mu m^2$)	1×10^{-18}	1×10^{-18}	1×10^{-18}	1×10^{-18}	1×10^{-18}	1×10^{-18}	1×10^{-18}		
[29]	TC (ppm/C)	≤ 100	≤ 100	≤ 100	≤ 10	≤ 10	≤ 10	≤ 10		
[30]	Inductor	Q	≥ 15	≥ 15	≥ 25	≥ 25	≥ 25	≥ 25	≥ 30	
[31]	Signal Isolation	S_{21} (dB)	≤ -100	≤ -100	≤ -100	≤ -100	≤ -100	≤ -100	≤ -120	
[32]	Benchmark Circuits	Gain (dB)	≥ 20	≥ 20	≥ 20	≥ 20	≥ 20	≥ 20	≥ 20	
[33]	IIP3 (dBm)	-4	-4	-4	-3	-3	-3	-2.5		
[34]	Noise figure (dB)	1.5	1.5	1.5	1.3	1.3	1.3	1.2		
[35]	Noise (dB)	4	4	4	3.5	3.5	3.5	3		
[36]	Resolution (Bits)	8-14			8-14					

表 29a アナログ、ミクストシグナルおよび RF の技術的要求 - 短期

[1]	YEAR TECHNOLOGY NODE		2008	2011	2014	DRIVER
			70 nm	50 nm	35 nm	
	DRAM $\frac{1}{2}$ Pitch (nm)		70	50	35	D
	MPU Gate Length (nm)		45	32	22	M Gate
	MPU / ASIC $\frac{1}{2}$ Pitch (nm)		80	55	40	M & A
	ASIC Gate Length (nm)		70	50	35	A Gate
[2]	Minimum Digital Supply Voltage (V)		0.9-0.6	0.6-0.5	0.5-0.3	M Gate
[3]	Minimum Analog Supply Voltage (V)		1.8-1.5		1.5	
[4]	RF Frequency (GHz)		0.9-10	0.9-100		
[5]	Analog Frequency (GHz)		0.1-5	0.1-10		
[6]	RF	Current (μ A)	50	50	50	M Gate
[7]	Transistor	f_{max} (GHz)	60	150	175	
[8]		f_T (GHz)	50	120	140	
[9]		Noise figure (dB)	≤ 1	≤ 1	≤ 1	
[10]		1/f Noise ($V^2 \cdot \mu m^2$)	5×10^{-11}	2×10^{-11}	1×10^{-11}	
[11]	Analog	Current (μ A)	40	30	20	
[12]	Transistor	1/f Noise ($V^2 \cdot \mu m^2$)	1×10^{-10}	1×10^{-10}	5×10^{-11}	
[13]		Gate oxide leakage (A/cm^2)	1×10^{-10}	1×10^{-10}	1×10^{-10}	
[14]		Current matching ($\Delta\% \pm 3\sigma$)	≤ 1	≤ 1	≤ 1	
[15]	RF Coupling	Density (fF/ μm^2)	3	4	6	
[16]	Capacitor	Q	≥ 35	≥ 40	≥ 40	
[17]	Filter	Density (fF/ μm^2)	5	7	10	
[18]	Capacitor	Matching ($\Delta\% \pm 3\sigma$)	≤ 0.1	≤ 0.1	≤ 0.1	
[19]	RF Bypass	Density (fF/ μm^2)	15	20	30	
[20]	Capacitor	Linearity (ppm/V)	≤ 1000	≤ 1000	≤ 1000	
[21]		Q	≥ 35	≥ 40	≥ 40	
[22]	Analog	Density (fF/ μm^2)	3	4	6	
[23]	Capacitor	Linearity (ppm/V)	≤ 100	≤ 50	≤ 50	
[24]		Leakage ($I_p / F-V$)	≤ 0.001	≤ 0.001	≤ 0.001	
[25]		Matching ($\Delta\% \pm 3\sigma$)	≤ 0.1	≤ 0.1	≤ 0.1	
[26]	RF Resonator	Q	50-1000		≥ 1000	
[27]	Analog	Matching ($\Delta\% \pm 3\sigma$)	≤ 0.1	≤ 0.1	≤ 0.01	
[28]	Resistor	1/f noise ($A^2 \cdot \mu m^2$)	1×10^{-18}	1×10^{-18}	1×10^{-18}	
[29]		TC (ppm/C)	≤ 10	≤ 10	≤ 1	
[30]	Inductor	Q	≥ 50	≥ 75	≥ 75	
[31]	Signal Isolation	S_{21} (dB)	≤ -120	≤ -120	≤ -120	
[32]	Benchmark	Gain (dB)	≥ 20	≥ 20	≥ 20	
[33]	Circuits	IIP3 (dBm)	-1.5	-1	-1	
[34]		Noise figure (dB)	1.0	1.0	1.0	
[35]		Noise (dB)	2.5	2	2	
[36]		Resolution (Bits)	8-14		≥ 24	

Solutions Exist

Solutions Being Pursued

No Known Solutions

表 29b アナログ、ミクストシグナルおよび RF の技術的要求－長期

表 29a, 29b 「アナログ・ミクストシグナル・RF への技術的要求」に対する註

表 29 の各列に対する説明。

- [1] 各テクノロジーノードに対し、最初にデジタル製品が現れる年。各ノードにおいて主要技術に対するリソグラフィ・ドライバーが示されている。同じ技術において、アナログ・RF・ミクストシグナルの最初の製品が現れる年は、一世代遅れる。
- [2] ここでは参考として、MPU におけるゲート長 (M gate) で決まるデジタルの供給電圧 (logic の Vdd) を再掲している。

- [3] アナログの供給電圧はデジタルに比べ、2 世代あるいはそれ以上遅れると予想される。この電圧の余裕は、信号振幅が小さい条件で、消費電力が過剰になるのを回避するために必要となる。アナログ CMOS の設計では、厚いゲート酸化膜と低 V_{th} 技術を使うだろう。共通のゲート酸化膜厚が使えないようなデジタルの入出力部では、低電圧化の傾向は遅れるが、アナログにおける低電圧化傾向は、これよりさらに遅れるであろう。
- [4] RF 応用は、0.9 – 2.5 GHz、5 – 6 GHz、17 – 20 GHz、40 – 45 GHz、および 60 – 65 GHz 帯に集まるであろう。低い周波数帯での応用設計は、少なくともロードマップが続く間は持続するであろう（低い周波数帯はすたれることなく、使われつづけるであろう）。高周波帯は高性能の要求を押し進めるであろう。
- [5] 一般目的（例えばDSP、オーディオ/ビデオ、ADCなど）のアナログ周波数の傾向は、RFに並行する。きれいな、ジッタのないクロック周波数の発生が要求される。トランジスタ：速度×消費電力の特性から、エミッタ幅 > 180 nm（下註）では、バイポーラを使うことが好まれるであろう。MOS の速度×消費電力は、実効チャンネル長 < 180 nm（下註）で、バイポーラより有利となるであろう。110 nm まではバイポーラ（「可能な解」図 14を参照のこと）、その後は MOS 素子が仮定されている。

（訳註：原文では、エミッタ幅 < 180 nm、実効チャンネル長 > 180 nm と記載されているが誤記。）

- [6] これらの RF トランジスタの主要パラメータが測定されるところでの電流の絶対値（素子の形状と無関係）。
- [7] 送受信周波数の約 10 倍になるという一般則を仮定。
- [8] f_T が f_{MAX} の進歩に大体において追随すると仮定。
- [9] 指定された電流（列 5）と応用の送受信周波数（列 4）において測定される。
- [10] 110 nm まではバイポーラ（「可能な解」図 14を参照のこと）、その後は MOS 素子が仮定されている。MOS 素子に対する SPICE モデル： $SVG = Kf / (C_{ox} \times W \times L \times f)$ を仮定している。値は、 t_{ox}^2 則を仮定してスケールアップしている。1/f スペクトル密度は、面積 1 平方マイクロン、周波数 1 Hz でのアクティブ素子に対し、規格化されている。RF・MOS は、そのノードにおいて利用できる最も薄いゲート酸化膜と最も短いチャンネル長を仮定している。このため、MPU の最小ゲート長（Mゲート）が、この素子の推進役となる。その効果はベースバンドにおいて顕著であるが、1/f ノイズが RF 素子に存在すると、このノイズが RF に混入する可能性がある。この効果は、絶縁体/シリコン界面におけるトラップでのキャリア再結合（表面効果）があるため、MOS 素子において顕著である。
- [11] これらのアナログトランジスタの主要パラメータが測定されるところでの電流の絶対値（素子の形状と無関係）。
- [12] 110 nm まではバイポーラ（「可能な解」図 14を参照のこと）、その後は MOS 素子が仮定されている。MOS 素子に対する SPICE モデル： $SVG = Kf / (C_{ox} \times W \times L \times f)$ を仮定している。値は、 t_{ox}^2 則を仮定してスケールアップされる。1/f スペクトル密度は、面積 1 平方マイクロン、周波数 1 Hz でのアクティブ素子に対し、規格化されている。アナログ MOS では、より厚いゲート酸化膜が、

そのノードにおいて使えるアナログゲート酸化膜を使うことが仮定されている。この効果は、絶縁体/シリコン界面におけるトラップでのキャリア再結合(表面効果)があるため、MOS素子において顕著である。この点からは、縦型素子(バイポーラ)あるいは、表面より内部に作る素子(JFET)が優れている。

- [13] 最大の漏れ電流はデジタル CMOS と同じであるが、ゲート酸化膜厚において2世代遅れている(列3参照)。アナログの供給電圧は最小のゲート酸化膜厚(従って漏れ電流)を制限する。 $T_{ox} = 5 \text{ nm}$ (180 – 150 nm ノード); $T_{ox} = 4 \text{ nm}$ (130 – 100 nm ノード); $T_{ox} = 3.5 \text{ nm}$ (70 – 50 nm ノード); $T_{ox} = 3 \text{ nm}$ (35 nm ノード)。
- [14] マッチングの規格は、実用的な最小距離にある近接素子を想定している。注意深いレイアウトと光露光における均一性が求められる。
- [15] RF カップリング・キャパシタは、高密度化を推し進めないと考えられる。線型性はこのキャパシタによって推し進められない。
- [16] Q は、この型のキャパシタでは最も重要なパラメータである。低い直列抵抗と小さい寄生成分が重要となる。
- [17] アナログフィルタの搭載は $7\text{fF}/\mu\text{m}^2$ への高密度化を推し進めるであろう。2003 年以降は、デジタルフィルタの解が主流となるため、バイパスキャパシタ応用が高密度化を推し進めることになる。デジタル成分が増えると、チップサイズは減少し、キャパシタはチップのかなりの割合を占めるようになる。何を搭載するかは選択は、チップの複雑度とチップサイズのトレードオフ(コスト)で決まっていく。 $7\text{fF}/\mu\text{m}^2$ 以上の密度を有するフィルタ応用に対しては、マイクロエレクトロニクスシステム(MEMS)の搭載が有利となるであろう。電圧の線型性と漏れ電流については、このキャパシタでは推し進められない。
- [18] このキャパシタにとってマッチングは重要。1pFにおける値で規定される。
- [19] 2003 年以降は、デジタル・フィルタによる解が主流となるので、バイパスキャパシタ応用は高密度化を推し進める。5-15 年の時間枠では、チップサイズが減少するため、高誘電体はコスト的に効率的となるであろう。
- [20] 電圧の線型性は、このキャパシタによっては推し進められない。
- [21] このキャパシタにおいて、Q は高周波におけるバイパス応答を得るのに重要である。次の 5 年間は、キャパシタを沢山並列にして寄生成分を有するような搭載が主流となるであろう。
- [22] アナログ用キャパシタは、高集積化を推し進めない。
- [23] 電圧の線型性は、スイッチト・キャパシタの応用によって進んでいく。直列抵抗の低減が最も重要となる。
- [24] 漏れ電流は、長い時定数が要求されるフィードバックキャパシタの応用によって推し進められる。要求値はアナログのクロック周波数が増大すると緩和する。最高品質の誘電体が暗に仮定されている。
- [25] アナログ用キャパシタにとってマッチングは重要である。1pFにおける値で規定される。

- [26] この共振器にとって Q は重要である。寄生成分の少ない RF 構造、例えば多結晶シリコンによる MEMS 構造などが長期的な解である(「可能な解」のところ図 14 を参照)
- [27] アナログ用抵抗においてマッチングは重要。慎重なレイアウトと光露光工程における均一性が要求される。その最小寸法は、技術的に可能な最小寸法より大きいことが仮定されている。
- [28] アナログ用抵抗において、1/fノイズの要求は大変重要である。多結晶シリコン以外の低 1/f の解は、高いQ値のRF抵抗の解と同じであることが仮定されている。
- [29] アナログ用抵抗において、温度係数は重要である。温度係数の小さい膜、あるいは温度係数の補償技術が用いられるであろう。1/fノイズ・スペクトルは、面積1平方マイクロンの抵抗における周波数1Hzでの値で規格化されている。
- [30] インダクタにとって Q は極めて重要。厚膜 Cu 配線などによる直列抵抗の低減が今後5年間で想定されている。CMOS の微細化に伴う基板不純物濃度の増大傾向は、インダクタの集積化と相容れない。CMOS との競合を緩和し、かつ Q を維持する解が想定されている。
- [31] 信号の分離能力は、雑音源と雑音センサー間の伝達効率(S_{21} (デシベル))によって良く定義できる。過渡信号に対する感度(peak-to-peak 電圧)も信号分離の重要な指標になるが、レイアウトやパッケージに対して依存するため定量化できない。システムの分割、金属配線の方式、基板の抵抗、パッケージの設計が信号分離能力に大きな影響を与える。最終結果は、応用と設計許容度に依存する。
- [32] 低雑音増幅器およびミキサーのベンチマーク回路における利得
- [33] 低雑音増幅器およびミキサーのベンチマーク回路におけるIIP3
- [34] 低雑音増幅器ベンチマーク回路における雑音指数
- [35] ミキサー・ベンチマーク回路に対する雑音
- [36] オーディオ・ビデオ応用で必要となる A/D、D/A ベンチマーク回路の解像度

アナログ、高周波、ミクストシグナルにはいくつかの傾向が確認されている。それらはロジックとのより高いレベルの集積につながるものである。それらの傾向とは下記の 3 点である。①ロジックプロセスの高速化はデジタル領域でのより多くの信号処理と高周波機能の実行を可能にする、②高耐圧ロジック入出力回路用の2重ゲート酸化膜はアナログ信号処理のための余裕を与える、③低消費電力化と効果的な回路設計のためには、1/f ノイズの検討、容量の密度、アナログ部品のマッチングが必要である。

特定の SoC アーキテクチャに技術を適合させるためにはプロセスの調整が望まれる。アナログ用トランジスタに合わせたロジックプロセスの最適化はプロセス工程を増やすことになるが、ミクストシグナルの集積化という目的のためには必要である。Si あるいは SiGe BiCMOS が明確な性能か面積優位性を示す応用以外では CMOS が主な選択肢であり続けるであろう。

7-3-3 信頼性

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
<i>Customer Reliability Expectations (at 85° C Junction Temperature)</i>							
[1] Early failures (ppm) (First 4000 operating hours)	50-2000	50-2000	50-2000	50-2000	50-2000	50-2000	50-2000
[2] Long term reliability (5-10 Years) (FITs = failures in 1E9 hours)	10-100	10-100	10-100	10-100	10-100	10-100	10-100
[3] Soft error rate (FITs)	1000	1000	1000	1000	1000	1000	1000
[4] Relative failure rate per transistor (normalized to 180 nm)	1	1	1	.62	.62	.62	.34
[5] Relative failure rate per m of Interconnect (normalized to 180 nm)	1	1	1	.51	.51	.51	.34
[6] System-on-a-Chip reliability prediction	Logic and Memory			MicroMachine			Micro Optics
[7] Failure analysis cycle time (days)	1-12	1-12	1-12	1-10	1-10	1-10	1-10

Solutions Exist Solutions Being Pursued No Known Solutions

表 30a 信頼性への要求－短期

註:信頼性への要求にはチップやパッケージの不良も含まれる。(温度や湿度サイクルのような)付加的なパラメータはパッケージの信頼性として特定しておく必要がある。

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
<i>Customer Reliability Expectations (at 85° C Junction Temperature)</i>			
[1] Early failures (ppm) (First 4000 operating hours)	50-2000	50-2000	50-2000
[2] Long term reliability (FITs = Failures in 1E9 hours) (5-10 Years)	10-100	10-100	10-100
[3] Soft error rate (FITs)	1000	1000	1000
[4] Relative failure rate per transistor (normalized to 180 nm)	.16	.07	.03
[5] Relative failure rate per m of interconnect (normalized to 180 nm)	.18	.10	
[6] System-on-a-Chip reliability prediction	Micro Biological		
[7] Failure analysis cycle time (days)	1-10	1-10	1-10

Solutions Exist Solutions Being Pursued No Known Solutions

図表 30b 信頼性への要求－長期

註:(表 30a と信頼性への要求)

[1,2,3,5] 信頼性への要求は応用によって変化する。多くの一般的な応用に対しては、急激な技術的変化が起こる期間でも、電流による信頼性のレベルを一定に保つことで充分である。しかし、信頼性のレベルを向上させる必要のある応用も存在する。電流による信頼性の劣化は受け入れられない。

[1] 初期不良は一般的に欠陥と関係する。

[3,4] 世代毎のトランジスタ数(3)あるいは世代毎の配線長(4)の逆転。チップレベルの信頼性を一定に保つためには(1,2)、トランジスタ当たりあるいは配線長当たりの不良率を低減しなければ

ならない。

- [6] 進化した技術の信頼性を予測する技術を向上させる必要があり、このことがシステムをシステムオンチップに集積することにつながる。
- [7] 歩留りの原因を確定する時間、プロセスあるいは回路の両方で。

技術が大きな変化を経験している間にもチップレベルの信頼性は維持されるべきである。(このことはトランジスタレベルの信頼性と配線の信頼性の重大な進歩を要求することに注意されたい)環境、使用期間、信頼性は用途によって変化する。より高い信頼性を要求する用途においては、通常のオフィス用機器や携帯機器と比較して、より厳しい環境とより長い使用期間のうちどちらかあるいは両方が困難になる。さらに SoC は(MEMS や光デバイスなどのような)多くの新技術を1チップ上に集積化するようになるので、これらの新技術の信頼性を確保するだけでなく、さまざまな新技術間の信頼性の相互関係をも管理する必要がある。特に量産の最初の年において、歩留が60%に到達したときは欠陥の検査が必要である。最後に、歩留の早期確認と回路の修正のためには不良解析の期間を短縮することが重要である。詳細は SWNATECH Reliability Supplement to ITRS, SEMATECH Document #99093824A-TR を参照されたい。

7-4 解決策候補

7-4-1 メモリとロジック

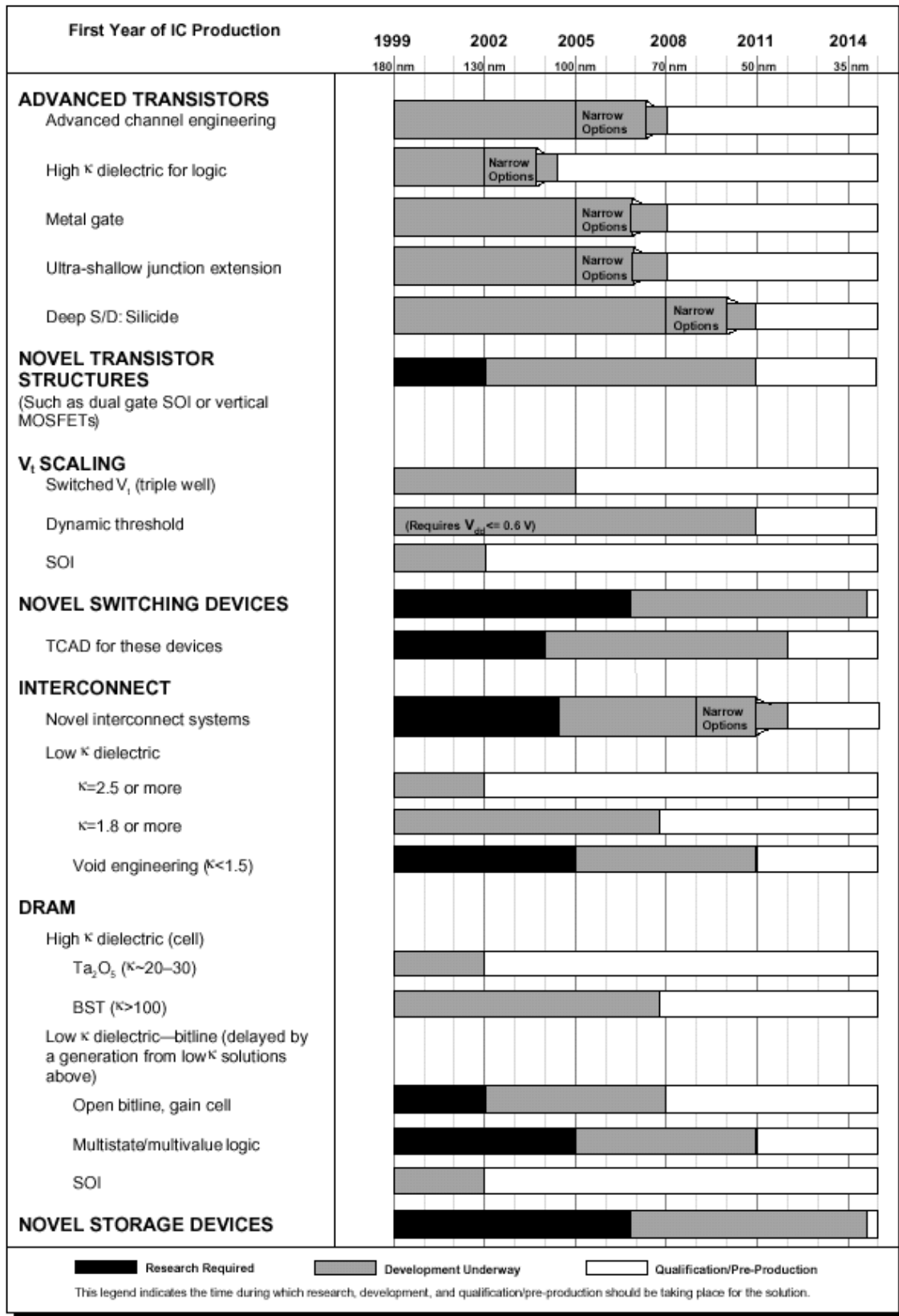


図 13 メモリとロジックの解決策候補

基本的なMOSトランジスタのスケーリング、特に100nm以降のテクノロジーノードにおいて、さまざまな問題が予想されている。これらの内、最も重要なのはゲート絶縁膜とゲート電極の組み合わせからなるゲート構造の問題である。110nm以降のテクノロジーノードで要求される極薄膜の酸化膜ではダイレクトトンネル電流が許容できないほど大きくなるからである。ゲート電流を許容範囲に低減する為にシリコン酸化膜より高い比誘電率を有する絶縁材料でゲート絶縁膜を代替することが最も有望な解として予想されている。しかしながら、110nmテクノロジーノードは2004年に量産開始が予定されており、新絶縁材料の開発と量産準備に残された時間は余りに少ない。この問題がフロントエンドプロセスにおいて最も危急である。高誘電率ゲート絶縁膜と共に、デュアルメタルゲート電極も採りうる解である。ポリシリコンゲートにおけるゲート空乏化効果とP⁺ポリシリコンからのボロン侵入の問題を防ぐことができる。同時にメタルゲートはゲート電極の抵抗を大幅に減らすことができ、微細ポリシリコンパターンでのシリサイドの高抵抗化を回避することができる。エクステンション領域のソースドレイン接合を極限まで浅くすることが求められており、プラズマアシスト型のイオン注入技術、レーザ光投影型気相拡散技術、(0.5keV以下の)超低加速イオン注入技術が有望な解である。ソースドレイン形成については、低シート抵抗や低コンタクト抵抗の要求と接合深さを浅くすることへの要求を同時に満たすことが次第に難しくなっている。せり上げ型のソースドレインやSi/Geエピがその解決策となろう。オン電流を維持しながら短チャネル効果を抑制するためには、より進んだチャネル形成技術が想定される。より最適化されたハロー注入、高移動度のSiGeエピ層などである。メモリ・ロジックにおける解決策候補の図13を参照されたい。

上記の新規な微細化の技術が導入されたとしても、100nmテクノロジーノードやそれ以降のテクノロジーノードではオン電流とオフ電流の要求、チップ全体の消費電力の要求を満たすことは極めて困難である。これは電源電圧がスケーリングされるのに対し、しきい値電圧は許容オフ電流の制約からほぼ同じ値に維持されなければならないことによる。この問題を軽減する技術となり得るのは、マルチしきい値電圧やウェルバイアスによる可変しきい値電圧(バルクCMOSの場合3重ウェルが必要)もしくはゲート電圧で制御される動的しきい値電圧である。(動的しきい値電圧技術を用いる場合、ソースドレイン接合が順バイアスされてリーク電流が過剰に流れることを防ぐため電源電圧は0.6V以下に制限される。)また、低電源電圧時に高い性能を発揮し、寄生容量も小さいSOI(silicon on insulator)技術も重要な解になり得る。50nmテクノロジーノードおよびそれ以降のテクノロジーノードでは最終的にサンドウィッチ型デュアルゲートSOIや縦形MOSトランジスタなどの新規構造が必要となるであろう。これらの提案された解を経済的にかつ適切な時期に開発量産化するためにはより正確で総合的、容易に使用できるTCAD(technology computer aided design)やモデリングツールが必要である。

配線に関しては微細化が進行し回路速度が向上するとともに配線層数と配線密度が増加し、寄生の抵抗や容量を削減することが重要になる。銅配線は低抵抗であることやエレクトロマイグレーションに強いことからいくつかの企業によって量産化が進められている。最終的に銅はアルミに代わってICの主流の配線技術になると見られる。低誘電率材料も同一配線層間や上下配線層間の絶縁膜として容量を減らすために導入が進められている。後のテクノロジーノードほどより誘電率の低い材料が使用されると期待されている。さらにはAirGapやボイドを含有する材料が使用されるかも知れない。銅配線と低誘電率絶縁膜の組み合わせが数世代のテクノロジーノードの要求を満たすと期待される。しかしながら、50nm以降のテクノロジーノードの長期的視野からは光配線や液体窒素温度に冷却し

た導体が、銅配線と低誘電率絶縁膜の組み合わせの速度や消費電力についての本質的限界を打破するために使用されるかも知れない。

DRAM については密度、コスト、速度、ノイズ耐性の向上が重要である。ゲート絶縁膜と同様、蓄積容量を増大させるため高誘電率絶縁膜が導入されることが期待される。また、ロジック IC と同様に低誘電率絶縁膜がビット容量低減のために導入されるであろう。しかしながら、その導入は高性能ロジック IC に比べ 1 世代遅れるものと見られる。その主な理由は、センスアンプのノイズマージン向上の程度に対してコスト増大が見合わないことによる。長期的な解決策としては次があげられる。オープンビット線などの新規なアレイ構造、ゲインセル、多状態論理、多値論理、SOI の採用である。最終的には強誘電体メモリ(FeRAM)のような新規な記憶素子が利用されるかも知れない。

将来の半導体チップはより複雑かつ高密度になり、メモリやロジック、アナログその他の素子が混載化されてシステム・オン・チップが実現される。そのようなチップを設計するためには、信号のクロストーク低減手法や大量のトランジスタを効率的に使用する手法、可変しきい値や動的な可変しきい値技術を有効に適用する手法などが取り扱えるより高度化された CAD(computer-aided design:コンピュータ補助設計)やモデリングツールが必須である。将来の世代における消費電力や速度、ノイズマージンに対する要求を満たすために新規な構造が必要であり、この要求は配線領域でより急務である。

7-4-2 アナログ、ミクストシグナル、および RF

アナログに関する可能な解決策はメモリとロジックに関する解決策とは異なるか、あるいはそれらに付加されるものである。成功したアナログ技術は基本的なデジタルのプラットフォームに、付加価値のある特長や機能を集積することで影響を及ぼす。アナログの集積化の成功にキーとなる要因は高精度で高い Q 値をもつ受動素子、適切な信号遮蔽域、デジタルと共用できる能動素子の搭載である。図 14 を参照されたい。

CMOS の速度 - 電力積が改善するにしたがって、その技術は BiCMOS やバイポーラに取って換わるようになる。この傾向は 180nm 世代においてベースバンドと中間周波の機能を集積することから動き始め、RF と中間周波の集積がそれに続く。携帯用無線端末製品が低消費電力化(電池寿命)の推進役となる。SOI 上に形成される能動素子は低寄生容量(低電流)を実現するキーである。

アナログの設計における電源供給の傾向は、35nm 世代で 1.5V に到達するが、デジタルより常に 2 世代以上遅れると予想される。アナログの要求を支えるため、専用のゲート酸化膜厚、複数閾値、DC-DC 変換の組み合わせが用いられる。アナログの電源電圧を更に低下させるには能動的な閾値調整と設計におけるアーキテクチャに対する解決策が要求される。最終的には全デジタル化された CMOS がほとんどのアナログ設計に置き換わるだろう。

1/f 雑音の影響はバイポーラデバイスに比べると、MOS デバイスで際立っている。表面より内部に作られるデバイス(JFET)のような低雑音構造が長期的な解決策としては望ましい。

マッチングへの要求はアナログに対しては厳しく、デジタルに対する要求を上回っている。能動素子、受動素子における高精度なマッチングは光近接効果補正や低 Dt プロセスといった製造技術を通じて達成される。差動型回路設計技術と能動的補償技術はマッチングの制御に用いられる。

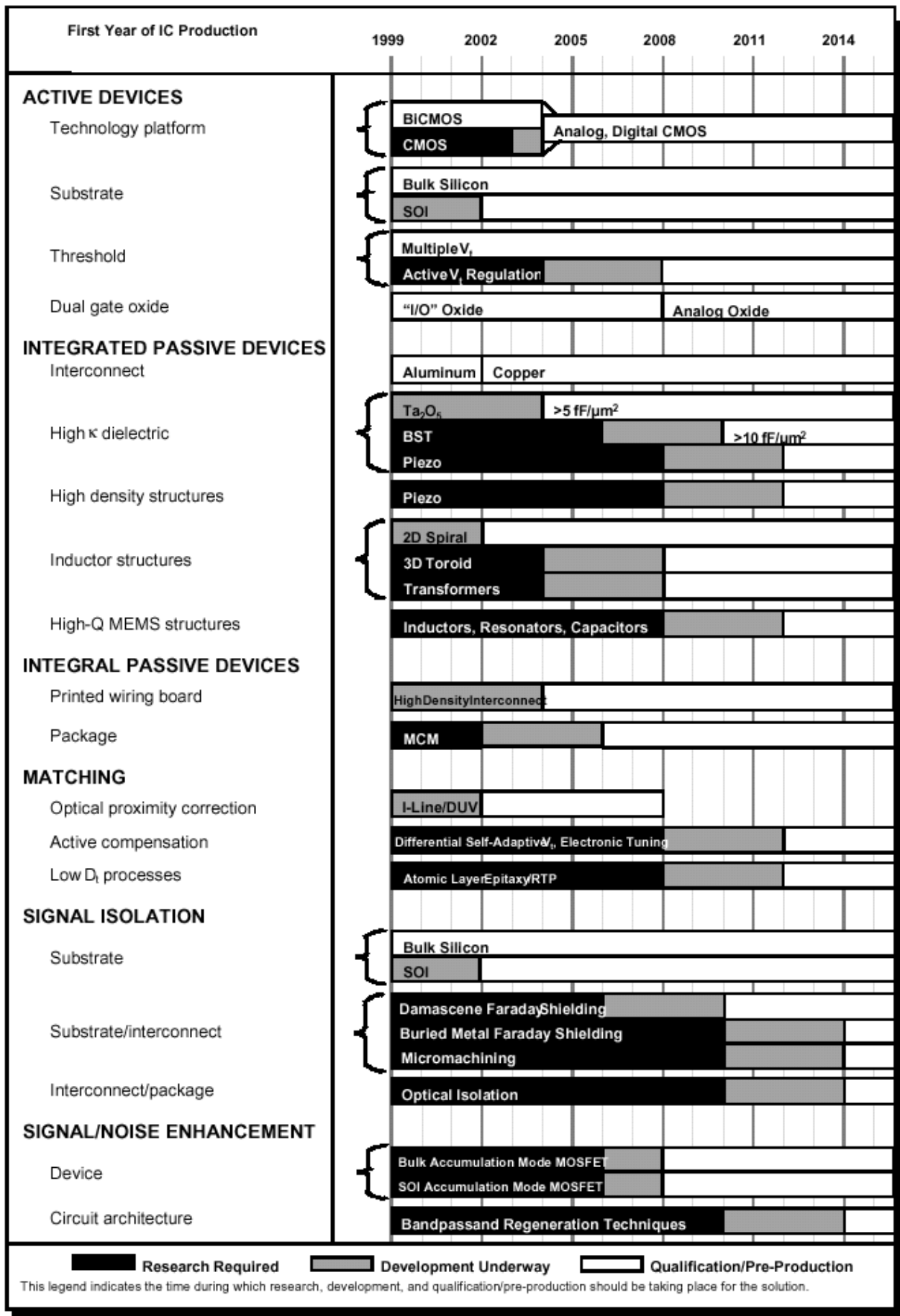


図 14 アナログ、ミクストシグナル、および RF の解決策候補

基板レベルで用いられている単体受動素子をチップレベルへ集積する傾向が持続する。単体と同等な精度をチップ上で実現する解決策は期待できる。非常に低抵抗の金属配線が高い Q 値をもつ集積受動素子のために要求される。新しい高 κ 誘電体は集積された容量の面積を縮小するために必要となる。代わりに、いくつかの受動素子がコスト削減と簡素化のためにプリント基板やパッケージに集積化されることもあり得る。低損失で高い Q 値をもつインダクタの必要性は 3 次元構造やマイクロマシン構造の利用の根拠となる。

雑音に敏感なアナログ回路を雑音の多いデジタル回路から保護することは、動作周波数が上昇するにしたがってますます難しくなる。信号の分離対策は基板、配線、パッケージの解決策を組み合わせることを通じて講じられる。近接領域や回路ブロックは酸化膜による分離やガードリングで保護される。遮蔽構造の集積化が回路や配線を保護するために要求される。革新的な光学的、マイクロマシンの技術が将来には解決策として採用されるかも知れない。新しいデバイス構造や設計のアーキテクチャが回路の S/N を向上させるために採用されることもあり得る。

これらの問題に対するコスト上効果的な、どのような解決策であっても、それらはその時々 CMOS の主要技術と両立できなければならない。

7-4-3 信頼性

信頼性にかかわる様々な要求に対して最も効果的に適合できる方法は、それぞれの新しいテクノロジーノードに対応する技術開発の開始時点において、利用できるように信頼性解決法を十分に盛り込んでおくことである。これにより信頼性、性能、消費電力の最適な組み合わせを選択することができるし、一貫して高い歩留をもたらしことのできる製造プロセスを構築することができる。しかし、これらのことを実現するためには、欠陥のモードの分析や効果的な予測モデルの構築、信頼性のための設計、信頼性 CAD ツールの開発が、新しいテクノロジーノードの研究開発に対する生産が開始されるよりも何年も前に（歴史的には 10 年程度）行われることが必要になる。残念なことに、現在ビルトイン信頼性を十分にサポートする信頼性解決法は、手に入らない。むしろ、信頼性解決法のニーズと現実のギャップは、広がりつつある。そのペナルティーは、信頼性に関連する問題に対するリスクの増加であり、高性能化やコスト低減、市場への投入時期の加速を進める技術力の低下として現れる。

図 15 に示す信頼性に関する解決策候補は、必要とされる時には手に入らないだろう。信頼性に関する技術力に関してニーズと現実の差を埋めるためには、信頼性に関する研究/開発/適用が実質的に増えることと、歴史的には 10 年程度かかってきた期間より十分に短い期間で必要とされる能力を習得する能力が必要とされる。それぞれの欠陥の生じるメカニズムに対する迅速な分析技術や有効なモデル、デザインのツールに関する研究が必要である。Cu や low-K、代替ゲート絶縁膜などの新しい材料の導入にあたっては、特に注意が必要である。妥当な時間内で IC の大部分の領域を高い信頼性を持ってシミュレーションできる信頼性評価ツールの設計を行うことが、この状況をブレイクスルーするために必要である。詳細は、the SEMATECH Reliability Supplement to the ITTRS, SEMATECH Document #99093824A-TR を参照のこと。

アグレッシブな技術習熟カーブを達成するには、欠陥解析能力において進化的かつ画期的な進歩が必要となる。より小さい致命的な欠陥サイズ (killer defect size) やわずかなタイミングディフェクト

(timing defects)を取り扱ったり、裏面からの解析(フリップチップや高密度の配線構造に対してシリコン基板を通して裏面から解析を行う手法)を行うための新しい能力が必要とされる。また、チップの複雑さが増加するために欠陥の位置を特定するのに必要な時間が増大し、欠陥解析にかかる時間の支配的な部分を占めるようになる。このため、欠陥解析に必要な時間を削減するために自動化された解析手法が必要となる。

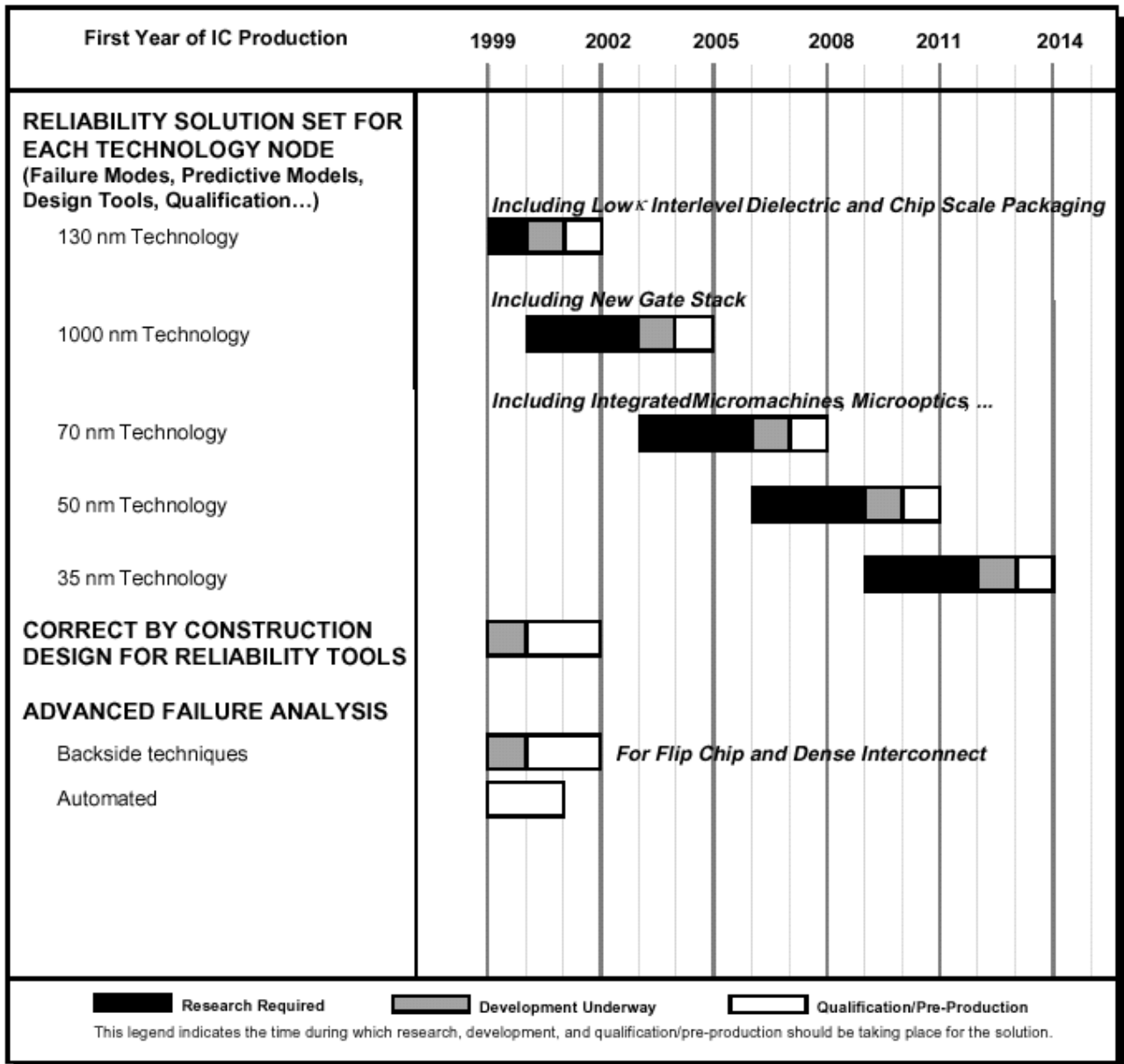


図 15 信頼性の解決策候補