

4. システム・オン・チップ (SoC)

歴史的にみて、半導体ロードマップはシリコン製造の技術的限界に着目し、特定の技術ノード(時代)におけるメモリ、マイクロプロセサ、ASIC(application specific integrated circuit:特定用途向けIC)の各分野で開発可能な最も複雑なチップの仕様を予測してきた。巨大なコンシューマ市場の立ち上げとシステム設計の殆どすべてが単一のチップに集積可能となってきた状況から、本ロードマップもこの重要で急激に拡大しつつある領域での要求を取り入れる受け皿が必要となってきた。この受け皿をシステムオンチップ(system-on-a-chip :SoC, システム LSI と呼ばれる)と呼ぶ。SoC は応用によって 2 つのクラスに分類される。即ち、大量消費のコンシューマ市場狙いで SoC の主流であるコスト重視の C-SoC と、少量だが高性能な市場を目標とする性能重視の P-SoC に分けられる。この両者の主要な差異は表 8 にまとめている。

Table 8 Major Characteristics and Emphasis of SoC Classifications

CHARACTERISTIC	C-SoC MAINSTREAM SOC	P-SoC HIGH-END SOC (FORMERLY ASIC)
Major Drivers	Low-cost, low-power	Performance, complexity
Power	Lowest possible	Upper technological limits
Package	Very low cost	High-performance, expensive
Pins-I/Os	Few	Many

4-1 SoC とは何か

SoCを他と区別する特長はたくさんあるが、その中でも特記すべきはSoCが技術的な限界というよりもむしろコストによって決まるものであるという点である。P-SoC では「どんな複雑なチップを作れるか」ではなく、「いくらかかるか」が問題なのである。この分野では「この部品の予算が Nドルだと仮定すると、どれほどのもの(ゲート数、メモリ容量、性能など)が利用できるか?」ということが最重要課題なのである。明かに、この質問に対する回答には多くの要因が複雑に絡み合ってくる。もしも、大量に生産されるコンシューマ製品で設計に要する一過性の(NRE)コストが無視できるものが対象であるとする、その製造コストはロードマップで予測される基本的な技術要因(プロセス形状、歩留、フィールドサイズ、メタル層数など)とSoCのパッケージおよびテストのコストとで決まることになる。

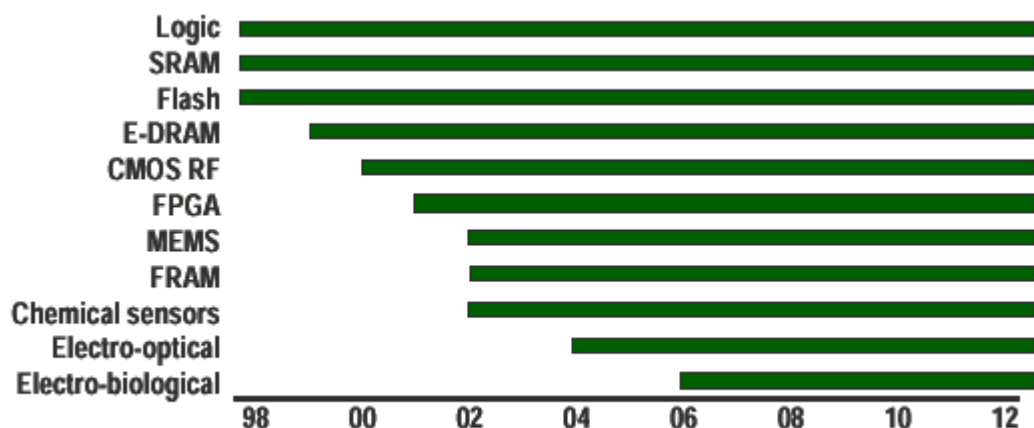


Figure 1 Technologies Integrated on SoC in the Standard CMOS Process

勿論、SoC はこれ以外の要因においても区別できる。1 チップにシステムが搭載されているのであるから、組込 DRAM や高性能または低電力論理回路、アナログ、高周波回路(RF)、さらには難解なマイクロ電子機械システム(micro-electro mechanical system :MEMS)や光入出力回路といったものまで、さまざまな組み合わせで実現される異種技術融合型の設計物となる。

すべてのロードマップ・カテゴリの中で、設計生産性が主要な要求項目となる。再利用設計が設計生産性に対する要求を実現するための主たる方式となる。このことは SoC に関して特に当てはまる。特定の応用に合ったものを必要な時期に提供することが設計の一番の目的となるからである。SoC を作り上げるために利用される構成ブロックとしては、コントローラのコアと組込 SRAM(static random memory)メモリといくつかの専用論理回路がある。ある場合においては、組込フラッシュメモリ、組込 DRAM、MEMS、化学センサ、強誘電体 RAM(ferroelectric RAM :FRAM)のような特殊な部品や技術が取り入れられることがある。このような特殊な組み合わせ技術への要求を図 1 にまとめている。特定の SoC に対する特殊技術の組込は、コスト的な理由から 1 ないし 2 個程度に限定されるであろう。

SoC にとっては、図 1 にあるような付加的な技術を標準の CMOS 論理回路プロセスに取り込めることが重要である。この観点から、他のプロセスに影響をほとんど及ぼさないプロセスのモジュールが必要であり、どの付加技術を取り込み、どの技術を取り込まないかを自由に選べるようになっていなければならない。

4-1-1 コストベースの設計が強調点

SoC のカテゴリでの主要な強調点は、C-SoC のコスト重視設計である。

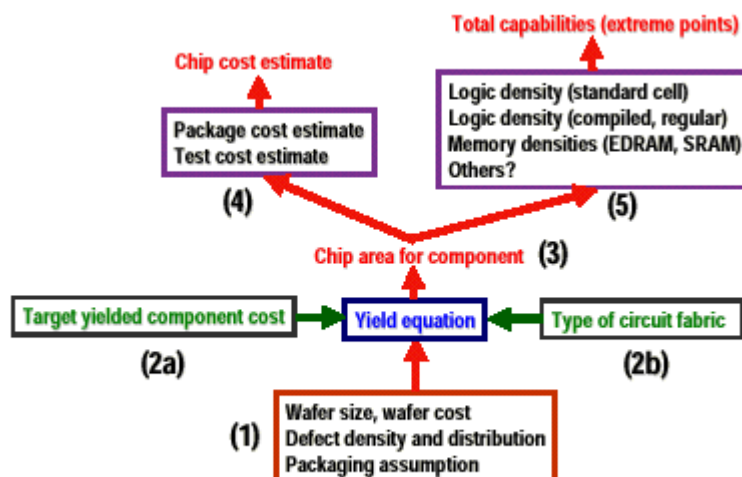


Figure 2 Possible Flow for Estimation of New Roadmap Entries

DRAM の修復のような、ある構造に有用なプロセス後の歩留向上技術も同様であるが、技術ノードを固定してチップ面積と有効ダイ面積との非線形な関係を定義しても、 1mm^2 当たりのコストを決めてチップ面積をかけ合わせ、チップのコストを算出するという単純な割り切りはできない。そこで、図 2 に示す方式を試みた。生の製造データ(1)と特定の回路クラスに対する歩留考察(2b)に基づいて、与えられたコスト(2a)に対する特定回路クラスの有効ダイ面積(3)を予測することができる。予想される I/O

要求と回路性能への要求を仮定して、経験則と予想される新技術の可能性を基にパッケージとテストに対するコストを決める(4)。このとき、パッケージとテストに対するコストをチップコスト全体のあるパーセント以内に収めたいという希望を考慮して、設計の各部分に対する要求の上限(5)も予測できる。

プロセス技術は、特定回路ファミリの単位機能あたりコストを決定する一要素に過ぎない。製造後の修復やテスト要求、ビンニングなどは、最終コストを大きく左右する。プロセスノードが与えられたとして、機能的な密度や歩留に特徴がある回路の形態は、特定の回路構造と認められる。表 9 にはそのような構造の一部をリストアップしている。

Table 9 Example of Circuit Fabrics

Hand-designed static CMOS logic
Standard-cell auto place and route logic
Regular logic structures (datapath)
Dynamic CMOS logic
SRAM
Embedded DRAM
Integrated CMOS analog
Integrated CMOS RF circuits
Processor cores

そのうちのいくつかは妥当なコストモデルに落ち着くが、他のモデルではモデルが存在しないか、あるいはコストが決めにくく、そのモデル化が研究課題となっている。各回路構造は多くのコスト要因を抱えている。ITRS ロードマップに既に表現されているデータから考えてコスト解析で最もよく分かっている部分とは、チップの決まった大きさと特定の回路(構造)クラスに対する予想される量産コストである。このデータは DRAM、手書き論理回路、自動配置配線の論理回路に関して、ITRS ロードマップに予想が載っている。これを近似的に採用できる回路構造に対してのコスト予想は、図 3 のようになる。

この情報と ITRS ロードマップの総合技術特性表にあるメモリと論理回路の密度を表す数字とを使用して、論理回路とメモリの様々な形態を組み合わせた 1 チップ化の可能性を評価することができる。

この情報より、個々の技術ノードに対して図 3 のような一連のプロット図を得ることができる。

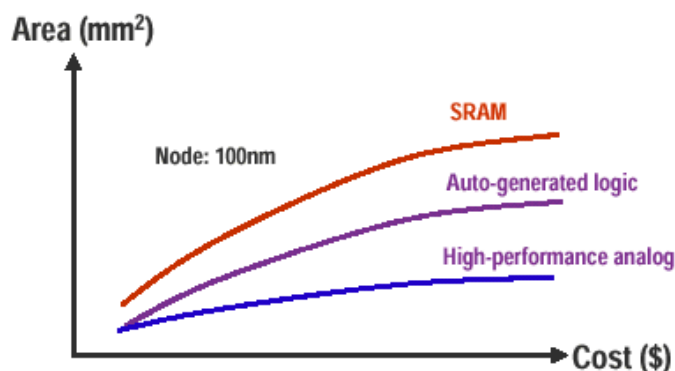


Figure 3 Schematic Representation of Area-cost Curves for Particular Circuit Fabrics at a Technology Node

4-1-2 プログラマブルかハードワイヤドか

この新しい SoC カテゴリに関して考察しなければならないもう 1 つの要素は、(ソフトウェアまたは field programmable gate array(FPGA)によるプログラミング・ゲートを使用する)プログラム可能性についてである。SoC は、ロードマップに組込ソフトウェアの概念とその意味付けを持ちこむのに有用な手段である。SoC をプログラマブルにするかハードワイヤド形式にするかで方法論的な意味付けがはっきり違ってくるから、この特長は設計とテストの面から特に重要である。高性能 ASIC 市場と同様、コンシューマ市場においても、性能、コスト、消費電力の各々について究極的なところを試みる必要があることから、両方のアプローチとも採用するのに妥当な理由が見出せる。この点をはっきりさせるために、各カテゴリでのいくつかの応用例を表 10 に示している。

Table 10 Example Applications of Programmable and Nonprogrammable SoCs

	<i>PROGRAMMABLE</i>	<i>NON-PROGRAMMABLE</i>
<i>C-SoC</i>	Low-cost PDA chip Digital camera chip FPGA Microcontroller-based SoC	Sensor interface Low-cost home RF front end
<i>P-SoC</i>	High-end game platform Set-top box High-end network router DSP	Read-channel for disc drive High-performance network chip

4-2 先進プロセスへの要求

SoC では、表 9 に示したものと図 1 に示す技術のいくつかを含めて、多くの風変わりな回路構造を使い続けることが期待されている。それは基本 CMOS フローの一部でない技術を統合することを要求する。どんな場合でも、最終目的は基本 CMOS フローを変えることなく、CMOS プロセスにそれらの構造を取り込むための付加ステップを追加することである。そうすると設計者は、RF やフラッシュメモリなどの付加構造を必要に応じて取り入れることができ、チップの標準 CMOS 部の基本コストには影響を与えないで、チップ全体のコスト、性能、信頼性、消費電力に与える付加構造の影響を評価することができる。

これらの複合回路構造の統合化を支援するために、開発しなければならない特殊技術の例を次に示す。

- 高性能アナログおよび RF 回路のための特別な配線技術とメタル化技術
- MEMS を統合するための特別な上位層プロセスと不活性化技術
- 光センサを統合するための特別な局所プロセス
- (2 つの閾値電圧を使うなどの)チップの極限的な低電力領域を確保するための自由注入法の利用

このほかにもプロセスの調整の必要なものはあり、それらは将来明らかにされるだろう。

プロセスの複雑さは SoC 適用物の主たるコスト要因である。1 チップに統合される技術の組み合わせが多くなればなるほど、プロセスが複雑になってくる。プロセスの全コストがいくらになるかは、新しい材

料の使用やプロセス・ステップの新しい組み合わせがあると予測しにくくなる。そのような場合についての評価の試みを表 11 にまとめてみた。

表 11 は新しい技術の組み合わせによって増大する複雑度を、標準 CMOS 論理回路技術に付加すべきリソグラフィのマスク層の増加枚数として表している。この表のデータは、組込技術の付加がプロセスの複雑度を著しく増加させること、および組込技術同士が複雑に相関する関係にあることを示唆している。組みこむ技術が 2 つより多いと、複雑度が激増する。

Table 11 Added Process Complexity for SoC Technologies

Cost of adding technology in units of mask levels	Logic	SRAM	Flash	DRAM	CMOS RF	FPGA	MEMS	FRAM	Chemical Sensors	Electro Optical
Logic	0									
SRAM	1-2	0								
Flash	4	3-4	0							
DRAM	4-5	3-4	7-9	0						
CMOS RF	3-5	5-9	6-9	6-10	0					
FPGA	2	2-4	4-6	3-7	5-7	0				
MEMS	2-10	3-12	6-14	6-15	5-15	4-12	0			
FRAM	4-5	3-4	7-9	2-3	7-10	6-7	9-15	0		
Chemical Sensors	2-6	3-7	6-10	6-11	5-11	4-8	4-16	6-11	0	
Electro-Optical	5-8	6-9	9-12	9-13	8-12	7-10	7-18	9-13	7-14	0

4-3 パッケージングへの考察

SoC 設計ではパッケージング業界に対して広範なパッケージング方式を要求し、C-SoC では低価格でピン数の少ないパッケージ開発を、また P-SoC では高性能でピン数の多いパッケージ開発を促進する。さらに、アナログや RF から光素子や MEMS までの技術の混合により、幅広い領域に渡って特別なパッケージ・オプションを必要としてくる。これらの領域での個々のケースにおける課題をいくつか取り上げてみる。

4-3-1 SoC のパッケージング

CMOS の集積密度が間断なく上昇しているのは、低価格の携帯用機器に使用する SoC には極めて重要な促進力となっている。例えば、リソグラフィのフィーチャサイズが世代を重ねて改良されていくとしても、スタンドアロンのマイクロコントローラ・コアのチップサイズはパッドピッチとパッド数で制限され、それに対応して縮小されるということはない。コントローラ・コアと DSP コアを組み合わせると、しばしば、コントローラや DSP 単体よりも少ない I/O 数のチップができ、しかも I/O パッドで制限されるチップ面積内に収まるということがあり得る。換言すると、(パッケージのコストが半分以下になるため) 2 つのパッケージのコストは 1 つの等価な、もしくは低いコストに置き換わり、プリント板に占める面積が小さくなるということである。さらに、チップ外づけのドライバ回路の多くが不要となり、それに関連した遅延時間が短縮され、消費電力が減る。その上、オンチップ接続ができることでその 2 つのコア間でのデータ転送のバンド幅が広くなり、性能向上に繋がる。同様な利益は、技術世代が一步前進した時点で、DSP とコントローラのコアに A/D と D/A 変換回路を集積することで享受できる。ある応用については、プログラマブルであるということが不可欠であり、小容量の組込フラッシュメモリを使用することで目的

を達せられる。

SoC パッケージング分野の主たる挑戦とは、信号の完全性と検証性を維持することにある。デカップリング、シールドイング、より良い接地法などの技術で、最小寸法のパッケージでのアナログ・デジタル混載信号を処理しなければならない。意図するところが実現されるかどうかについて確かめる設計エミュレーションや検証では、SoC 設計の早い時期にパッケージングを考慮する必要があるが生じる。ウェーハプローブとパッケージの両段階でのテストの複雑度を、設計段階において考慮しておかねばならない。

ある応用分野においては、チップサイズは、たとえ技術の世代とともに縮小されていっても、I/O パッドで制限を受けることがない。チップサイズの縮小はチップのコストを減少させる。しかし、2 つのコアを 1 チップに集積することは、チップの歩留に影響を及ぼし、チップコスト全体を増大させる。2 つのパッケージを 1 つの同等の、もしくは少ない I/O を持つもので置き換えると、パッケージングのコストは半分以下になる。チップとパッケージを合わせたコストは、個々の応用によって増減する。しかしながら、チップ外付けのドライバと消費電力の節約はボード上の配線面積を減らし、2 つのコア間のバンド幅を向上させる可能性をもたらし、性能志向の SoC を採用する応用分野では重要な考慮点となるだろう。

4-3-2 RF およびミックスシグナル用パッケージング

この分野の挑戦は、低価格携帯機器や高バンド幅の製品がいくつかの市場領域を引っ張ることから、重要性がとみに増している。シリコン IC 性能が上昇してきたことで、10 GHz 以下での周波数帯域で、低価格製品の提供が可能となった。それより高い周波数帯もしくは、より高電力を要する応用には GaAs IC、そして今では SiGe IC が利用される。信号の完全性やコストに関する課題が主要なものになってきた。パッケージへのフリップチップの付加やパッケージ上の組込受動素子が、パッケージレベルでの性能を確保するための中心技術となるだろう。設計者は微細ピッチ・ボールグリッドアレイ (fine pitch ball grid array :FBGA) やチップスケール・パッケージ (chip scale packaging :CSP) のような低インダクタンスで高密度のパッケージを得て、伝統的なセラミック・モジュールよりも低コストでチップ分割が利用できるようになる。

設計のサイクルを受容限度内に切り詰めるのに、統合化されたモデリングとシミュレーションのツールが必要である。既に論じたように、メモリ、プロセッサ、ミックスシグナル機能を結合した 1 チップの無線電話ができるまで、性能、物理サイズ、コスト志向の統合化が推し進められるだろう。チップとパッケージの両方の段階での速い設計サイクル時間と正確なシミュレーションが、この統合化の実現役となる。また、パッケージ段階での高速テストと高位レベル機能テストが開発の目標となる。MEMS は、来るべき 2~4 年のうちにフィルタ、スイッチ、発振器、その他の部品の製造に使われるようになる。これは小型、低挿入損失、低消費電力、IC との統合化というメリットがあり、低コスト化が実現できるバッチ製造への可能性を有している。MEMS 素子では、信頼性、温度感知の可能性、密封/真空パッケージが開発の主たる項目となる。

4-3-3 MCP/MCM/SiP

マルチチップモジュール (multi-chip module : MCM)の製造量は業界の期待に反して少ないが、システムハウスがフリップチップ・バンプ技術を受け入れたあとを追っかけた格好である。しかしながら、少ないチップからなる(2~3 チップ)モジュールでは、量産体制にある。マルチチップパッケージ (multi-chip package : MCP)の定義を RF やミックスドシグナル製品も包含するよう拡張することにより、4~5 チップ(あるいはもっと複雑な)モジュールが数年先に当たり前となるだろう。MCP はしばしば SiP(system-in-a-package)と呼ばれ、主としてミックスされた技術の非常に複雑なシステムに対するタイムツウマーケット需要に応じるものとされている。SoC が技術と経済性の両面で可能になってくると、1 つの MCP 上の IC 数は、製造コスト削減と小型化による利益を得るために、確実に減ってゆくだろう。

ある限られた量に関していえば、高性能製品でシステムパッケージ技術の選択に、古典的な(複雑な)MCMが選択されるだろう。というのは、MCMが最適な価格性能のパッケージ解であるからである。しばしば、多い I/O リード数を持つ何十という論理チップ、メモリチップがチップ間の信号伝達時間を最小化するために密着して配置される。実際には、そのようなシステムをセラミック MCM に搭載するのに必要な配線容量(数)は、現在のプラスチック MCM が提供できるものより1桁大きい。ここで考慮すべきはシステム全体のコスト、システム性能への要求、CMOS ベースシステムの信頼性であり、パッケージングだけのコストではない。極端に I/O 数の多い場合に、DCA は現在の MCM の代用として有用であり期待もされている。これは将来のプラスチック・ベースの MCM であり、システム全体を標準的な冷却技術を通して接合温度の低下を許容し続ける、極めて小さい面積にパッケージングできる。この特質により、CMOS チップの信頼性は3~5倍高くなり、CMOS チップの性能は15%向上する。より高いシステム信頼性への舵取りが将来的に期待される中で、MCM がシステム設計にどんどん取り入れられるだろう。

一般的に、MCP/MCM/SiP は低価格 C-SoC 製品の高密度化とコスト削減要求によってドライブされ、高級な P-SoC の高密度化と性能向上要求によってドライブされる。(アンダーフィルのような)フリップチップ技術はまもなく、MCP/MCM/SiP 技術(数チップの MCP か古典的な MCM 形態)としてあまねく利用されるようになるだろう。その他の MCP/MCM/SiP に対する、可能性としてあり得る解決策としては、以下のようなものが考えられる。

- 簡単な、あるいは複雑な MCP/MCM/SiP に対する性能志向の配置配線を可能とする、特別な物理設計ツール
- 高密度の基板およびメタル化技術
- 低価格で有用な KGD(known-good-die)。チップの再活用とモジュールのテストが MCM の複雑度を決定する重要な要素となる。

4-4 SoC のテスト

歴史的にみて、IC のテストは自動テスト装置(automatic test equipment :ATE)を使用してテスト対象の素子(device under test :DUT)に外部から入力を与え、保存されている期待値と同じ出力が得

られるかどうかで行ってきた。ATE は純粹にデジタル信号であるか、デジタルに同期したアナログ装置を組込していた。最近、多くの ATE 製造業者がいわゆる SoC テスタなるものを販売し始めている。このテスタではデジタル、アナログ、メモリ、RF 素子を含む DUT をテストできるが、それでもテストはチップ外部で行う。

もし、SoC が究極的には異質な回路構造(アナログや RF から高性能論理回路やメモリまで)の集合体として構成されたとすれば、特定の構造に対して適用でき、その構造の設計の流れに統合できるテスト手法が必要であることがだんだんと分かってきた。換言すると、性能面からの見通しとコスト面からの見通しの両面から、テストのオンボード形式が必要不可欠であると信じる。この予測は ITRS ロードマップのテスト・グループの指摘でも明かである。そこでも、伝統的なテスト手法は DUT 内部のテスト回路を活性化することでテストを行う ATE に取って代わられると予測している。低価格 ATE はデジタルなスキャンチェーンをロードでき、その結果を観測できるものと規定されている。このデジタル・テスタは、大雑把には 64 の信号ピンに加えて、ほとんどの DUT ピンが 1 状態と 0 状態の間をアクティブに行き来したかどうかを観測するための何百という低性能ピンからなる。組込自己テスト(built-in-self-test : BIST)も組込メモリをテストするのに使用されるが、アナログや RF 回路に対する BIST 技法というのは、依然として幼稚なレベルに留まる。

SoC がプログラマブルであるか、何等かのコントローラを組込するとすれば、将来システムでは階層化テスト手法が取り入れられる可能性が高い。そこでは、プログラマブルな部品は自分自身をテストし、それからプロセッサからの(例えばメモリ向けの)テストを経由するか、または部品内にある BIST 形式のものを通して、他のオンチップのサブシステムを同レベルでテストする役割を演じる。明かに、コストの問題だけでなく性能的な問題からも、個々のケースに合った最終的な選択を迫られるだろう。

SoC テスト技術への要求に関する表 12 に、SoC に関連した複雑なテスト技術の課題解決に向けて技術の解決策が追求されるべき、もしくは既知の解答が存在しない 6 つの領域が的を絞って示されている。これらは次のような課題である。

- 多層配線構造に起因するクロストークや新たな欠陥モードを扱うための新欠陥モデル。複雑な SoC 構造について期待するテスト結果を計算するためには、旧来の単一縮退故障モデルでは有効ではなくなっている。
- SoC のデジタル部分を高速テストするための低速で低コストな ATE を可能とする、BIST を含む新テスト方法。
- アナログや高位レベルの動作レベル・テストに適用できる、新しいテスト可能な設計手法 (design for testability : DFT)。
- 冗長構成で自己修復できるメモリ・テストや、論理回路が修復できる、あるいはアナログに適用できる BIST 手法が開発される必要がある。
- SoC のテスト開発の短縮化を目指して、テストの再利用が可能となるよう、テスト・プログラミング言語、テストデータ、故障モデルの標準化が推進されなければならない。
- テスト時間短縮、故障チップの修復、新故障解析の各技術を適用して、テストに要するコストが削減されなければならない。

Table 12a SoC Test Technology Requirements—Near Term

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
<i>Fault Model</i>							
Stuck-at fault model	Single fault	Single fault	Single fault	Single fault	Single fault	Single fault	Single fault
Delay fault model	Gate/path delay	Gate/path delay	Gate/path delay	Gate/path delay	Gate/path delay	Gate/path delay	Gate/path delay
New fault model (crosstalk and others)			XX	XX	XX	XX	XX
New fault model (RT level fault model)				XX	XX	XX	XX
<i>Test Method</i>							
Low cost test technique for embedded DRAM (BIST + direct access)		XX	XX	XX	XX	XX	XX
High speed test using low speed tester (BIST with on chip clock generator, test circuit on tester board)			XX	XX	XX	XX	XX
Test technique for asynchronous circuit			XX	XX	XX	XX	XX
Crosstalk test			XX	XX	XX	XX	XX
Test strategy for IP core-based design (test control integration, test scheduling)			XX	XX	XX	XX	XX
Whole chip path delay test				XX	XX	XX	XX
IDDQ test for low-Vth circuit				XX	XX	XX	XX
Low power consumption test technique (test pattern adjustment, test scheduling)				XX	XX	XX	XX
ATPG for interleave at-speed tester				XX	XX	XX	XX
Self diagnostic technique on maximum frequency							XX
<i>DFT</i>							
DFT at gate level design (scan design)	XX	XX	XX	XX	XX	XX	XX
DFT at RTL design (DFT, testability analysis, overhead estimate)	XX	XX	XX	XX	XX	XX	XX
DFT at RTL design (fault simulator, ATPG)				XX	XX	XX	XX
DFT at higher level design (behavior level, hardware/software co-design)							XX
DFT at higher level design (high level synthesis with testability analysis)							XX
DFT for analog / mixed-signal	Block isolation test	Block isolation test	BIST, JTAG	BIST, JTAG	BIST, JTAG	BIST, JTAG	BIST, JTAG
Test integration (IP core isolation test)	XX	XX					
Test integration (test integration tool supporting cost-, area-, speed- and power-driven DFT selection)			XX	XX			
Test integration (fully automated cost-, area, speed- and power-driven test integration tool)					XX	XX	XX
DFT circuits generation (memory BIST, logic BIST, JTAG)	XX	XX	XX	XX	XX	XX	XX
At-speed test with low speed tester			XX	XX	XX	XX	XX

XX—applicable node years

Solutions Exist



Solutions Being Pursued



No Known Solutions



Table 12a SoC Test Technology Requirements—Near Term (continued)

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
<i>BIST</i>							
Embedded memory BIST	Restricted use	Restricted use	Practical use	Practical use	Practical use	Practical use	Practical use
Embedded memory BIST (redundant configuration, self repair, many kinds of test algorithm)			XX	XX	XX	XX	XX
Logic BIST	Restricted use	Restricted use	Practical use for stuck-at faults	Practical use for stuck-at faults	Practical use for stuck-at faults	Practical use for stuck-at faults	Practical use for stuck-at faults
Logic BIST (high fault coverage, at-speed test on system operation, test time restraint, low power, low area overhead)			XX	XX	XX	XX	XX
Logic BIST (faulty chip repair)			XX	XX	XX	XX	XX
Analog/mixed-signal BIST			Restricted use (PLL, ADC)	Restricted Use (PLL, ADC)	Restricted Use (PLL, ADC)	Restricted Use (PLL, ADC)	Restricted Use (PLL, ADC)
Others							
<i>Standardization</i>							
Test data	WGL, VCD, STIL	WGL, VCD, STIL	STIL on EDA/ATE	STIL on EDA/ATE	STIL on EDA/ATE	STIL on EDA/ATE	STIL on EDA/ATE
Test method/test interface	P1500	P1500	P1500 on IP core/ EDA	P1500 on IP core/ EDA	P1500 on IP core/ EDA	P1500 on IP core/ EDA	P1500 on IP core/ EDA
Fault model/fault coverage	Stuck-at model	Stuck-at model	Standard fault models, SoC level coverage	Standard fault models, SoC level coverage	Standard fault models, SoC level coverage	Standard fault models, SoC level coverage	Standard fault models, SoC level coverage
<i>Test Cost</i>							
Test time reduction (full-scan IDDQ)	XX	XX					
Test time reduction (IP core-based design)			XX	XX	XX	XX	XX
Faulty chip repair (memory BISR)			XX	XX	XX	XX	XX
Faulty chip repair (logic BISR and others)							
<i>Failure Analysis</i>							
Electron beam tester	XX	XX					
Chip backside analysis	XX	XX	XX				
Design/package for backside analysis				XX	XX	XX	XX
Integrated failure analysis environments				XX	XX	XX	XX
Test generation for failure analysis				XX	XX	XX	XX
Failure analysis for analog circuits							XX
BIST pattern exchange technique							XX

XX—applicable node years

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

Table 12b SoC Test Technology Requirements—Long Term

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
<i>Fault Model</i>			
Stuck-at fault model	Single fault	Single fault	Single fault
Delay fault model	Gate/path delay	Gate/path delay	Gate/path delay
New fault model (crosstalk and others)	XX	XX	XX
New fault model (RT level fault model)	XX	XX	XX
<i>Test Method</i>			
Low cost test technique for embedded DRAM (BIST + direct access)	XX	XX	XX
High speed test using low speed tester (BIST with on chip clock generator, test circuit on tester board)	XX	XX	XX
Test technique for asynchronous circuit	XX	XX	XX
Crosstalk test	XX	XX	XX
Test strategy for IP core-based design (test control integration, test scheduling)	XX	XX	XX
Whole chip path delay test	XX	XX	XX
IDDQ test for low-V _{th} circuit	XX	XX	XX
Low power consumption test technique (test pattern adjustment, test scheduling)	XX	XX	XX
ATPG for interleave at-speed tester	XX	XX	XX
Self diagnostic technique on maximum frequency	XX	XX	XX
<i>DFT</i>			
DFT at gate level design (scan design)	XX	XX	XX
DFT at RTL design (DFT, testability analysis, overhead estimate)	XX	XX	XX
DFT at RTL design (fault simulator, ATPG)	XX	XX	XX
DFT at higher level design (behavior level, Hardware/software co-design)	XX	XX	XX
DFT at higher level design (high level synthesis with testability analysis)	XX	XX	XX
DFT for analog / mixed-signal	BIST, JTAG	BIST, JTAG	BIST, JTAG
Test integration (IP core isolation test)			
Test integration (test integration tool supporting cost-, area-, speed- and power-driven DFT selection)			
Test integration (fully automated cost-, area-, speed- and power-driven test integration tool)	XX	XX	XX
DFT circuits generation (memory BIST, logic BIST, JTAG)	XX	XX	XX
At-speed test with low speed tester	XX	XX	XX

XX—applicable node years

Solutions Exist



Solutions Being Pursued



No Known Solutions



Table 12b SoC Test Technology Requirements—Long Term (continued)

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
<i>BIST</i>			
Embedded memory BIST	Practical use	Practical use	Practical use
Embedded memory BIST (redundant configuration, self repair, many kinds of test algorithm)	XX	XX	XX
Logic BIST	Extension of handling fault model	Extension of handling fault model	Extension of handling fault model
Logic BIST (high fault coverage, at-speed test on system operation, test time restraint, low power, low area overhead)	XX	XX	XX
Logic BIST (faulty chip repair)	XX	XX	XX
Analog/mixed-signal BIST	Total use	Total use	Total use
Others	Tester on chip	Tester on chip	Tester on chip
<i>Standardization</i>			
Test data	Analog data	Analog data	Analog data
Test method/test interface	Automated SoC test integration	Automated SoC test integration	Automated SoC test integration
Fault model/fault coverage	New standard fault model, its coverage	New standard fault model, its coverage	New standard fault model, its coverage
<i>Test Cost</i>			
Test time reduction (full-scan IDDQ)			
Test time reduction (IP core-based design)	XX	XX	XX
Faulty chip repair (memory BISR)	XX	XX	XX
Faulty chip repair (logic BISR and others)	XX	XX	XX
<i>Failure Analysis</i>			
Electron beam tester			
Chip backside analysis			
Design/package for backside analysis	XX	XX	XX
Integrated failure analysis environments	XX	XX	XX
Test generation for failure analysis	XX	XX	XX
Failure analysis for analog circuits	XX	XX	XX
BIST pattern exchange technique	XX	XX	XX

XX—applicable node years

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 