

6. テストおよびテスト装置

6-1 スコープ

テスト・ロードマップが対象とする範囲は 1999 年を通じてさらに拡大した。今回、テスト装置の表の数を 2 から 9 へと増やし、初めてメモリの条件を必須のものとして加えている。デバイス周波数、電力およびピン数が一貫して増大傾向にあることから、テストにおいて難しい課題が増え続ける一方で、コスト低減への模索が始まっている。

1994 年および 1997 年のロードマップでは、組み込み自己テスト(built-in-self-test:BIST)およびテスト容易化設計(design-for-testability:DFT)を対策として講じ、テスト装置を単純で購入可能なものとする傾向を明らかにした。ただ残念なことに、低価格の自動テスト装置(automatic test equipment :ATE)を伴う DFT/BIST が広く受け入れられる時点に関して予測は行われなかった。低コストテストを採用しようという動きは遅々としているが、BIST および DFT IC 設計が今後ますます使用されるようになれば、近いうちにテスト装置に対する必要条件が変化し、コストも低下するであろう。表 15 に示すとおり、テストには達成困難な課題があるが、この表では、このほか、テストを難しくしている問題、特にシステムオンチップ(SoC)の導入に伴う問題に焦点をあてている。タイミング精度、ノイズなどの物理的な基本問題、さらにはコストの上昇といった問題がある以上、テスト方法の変更が必要である。

1999 年版 ITRS では、テストに関する章に新たに一節を設け、特に DFT や BIST を備えた IC のテストに特化した ATE を開発するための必要条件を一覧提示している。DFT および BIST を備えた IC は、ピン数が 1,000 ないし 2,000 におよぶことがあるが、ATE で必要な I/O 信号ピンの数はわずかである(64 未満だと考えられる)。ただし、この場合、残り全てのピンの配置が妥当なものとなるように対策を講じる必要がある。DFT/BIST IC のテスト用に設計された ATE を導入すれば、装置コストは 1/10 に下げることができるだろうから、以前のロードマップで予測したような、高周波多ピン ATE の価格が 2,000 万ドル近くになるというようなことはまずない。

シリコン(SoC)の単一ピースあたりのシステム機能性を高めようという昨今の動向により、従来のデジタル、アナログ、RF/マイクロ波およびミクストシグナルの各デバイスをどこで線引きすべきかが、ますます曖昧となるであろう。この動向のため、テスト装置はシングル・プラットフォーム化し、シリコンの単一ピース上で起こる事を全てテストできるようになる方向に向かうと考えられる。ミクストシグナルテスト装置のためのデジタル必要条件は、マイクロプロセッサと ASIC(application specific integrated circuit: 特定用途向け IC)についての各表に示すように、デジタル・チップに関するものと全く同じである。テスト装置は、モジュラ形高速多ピンのデジタルテストプラットフォームへと向かう傾向にあるが、このテストプラットフォームでは、高性能アナログ/RF(radio frequency)/マイクロ波機器を必要に応じて追加することができる。アナログテスト上の問題およびテスト技術における制約を挙げれば、高帯域幅、高い直接転換サンプリングレート、高いダイナミックレンジ、低いノイズフロア、デジタルおよびアナログ機器のシームレスなインテグレーションおよびコストである。

メモリのテストについては、1994 年および 1997 年の SIA ロードマップでは除外されていたが、今回は単体 DRAM およびエンベデッド DRAM の双方、ならびに単体フラッシュメモリおよびエンベデッドフ

ラッシュメモリを対象に含めた。今後は、チップに外部から容易にアクセスできない場合には、SoC メモリのテストが問題となるであろう。メモリ用の BIST および組み込み自動修復機能が必須のものとして要求されるであろう。

高周波シリアル通信デバイスは急速に重要になりつつある。SONET、ファイバ・チャネル、Firewire のようなアプリケーションをテストするためには、100mV 程度の電圧振幅で 10GHz までの差動信号を発生し測定できる少数のピンを持つテストシステムが必要である。テスト対象 (device-under-test: DUT) への差動入力信号は 10ps 程度の低いタイミングスキューでなければならない。現時点では、このようなテストは高価な専用測定機器だけで行うことができ、汎用 ATE では行えない。この分野の動きは活発で、2014 年までのロードマップ期間を通してどのように発展するかを予測するのはほとんど不可能である。

テストエンジニアの究極の夢は、ウェーハレベルでのテストおよびバーンインである。チップ単体に切り分けて行うテストとバーンインは、ウェーハレベルで品質信頼性認定を行うのに比べて常にコストが高いためである。これは既知の良品ダイ (known good die :KGD) の概念につながる。KGD には新しいテスト方式および信頼性方式の開発、ならびに輸送や取り扱いのための新しいメディア (ワッフルパック、ゲルパック、テープ、リール、その他) をサポートする新しいインフラの開発が必要で、IC メーカーによって積極的に推進されている。ウェーハレベルのバーンイン手法の開発も KGD をサポートするための必要条件として重要である。

6-2 大チャレンジ

表 15 は 2005 年迄および 2005 年以降の大チャレンジを 5 つリストアップしたものである。アナログ回路および高速シリアル通信バッファが存在する場合、おそらく大チャレンジは DFT を施した IC テストを対象とする低価格テストを開発することである。このテストについてのもう一つの課題は、複数の DUT を同時にテストする場合、その何千ものピンをテストの「機能を低く抑えた」ピンでテストするニーズである。DFT を前提としたテストの節は、これらの問題を回避しようとするものである。

IDDQ テストのトピックスは、1997 年の課題表には掲載したが、この課題表からは省略した。IC が何千万ものトランジスタを含むと、そのリーク電流は故障による電流をマスクしてしまう。これは、必ずしもこの手法が役に立たなくなるというわけではないが、異なる取り組みが必要であることを意味する。この章の後半で特別な節を設け、このトピックスを説明する。

<i>FIVE DIFFICULT CHALLENGES ≥ 100 nm / THROUGH 2005</i>	<i>SUMMARY OF ISSUES</i>
BIST and DFT	Test equipment costs will rise toward \$20M and wafer yields may suffer without DFT and BIST. DFT required for at-speed test with a low-speed tester. Tools required for inserting DFT and BIST and estimating cost. Analog BIST needed. Access to SoC cores needed when using DFT and BIST.
DUT to ATE interface	A major roadblock will be the need for high-frequency, high pin-count probes and test sockets; research and development is urgently required to lower inductance and cost. Increasing pincounts lead to larger test heads and longer I/O round-trip delays (RTD). This problem can be avoided using two transmission lines, but I/O pins must then drive 25 ohms. Power and thermal management problems Nonuniform wafer temperatures and the requirement for active DUT temperature control Simulation needed for the path from the device through the package to the ATE pin electronics Interface circuits must not degrade ATE accuracy or introduce noise. Especially for high-frequency differential DUT I/O Faster, multi-socket, automatic package handlers are required.
Mixed-signal instruments	IC manufactures must partner with the ATE suppliers to ensure ATE capability will match the mixed-signal requirements These will require more bandwidth, higher sample rates, and lower noise. Testing chips containing RF and audio circuits will be a major challenge if they also contain large numbers of noisy digital circuits.
Failure analysis	3D CAD and FA systems for isolation of defects in multi-layer metal processes New fault models, such as for crosstalk. Automatic test generators for fault diagnosis. CAD software for fault diagnosis using new fault models to support DFT and BIST requirements.
Test development.	Automatic test program generators to reduce test development time Test standards, such as STIL , IEEE P1500 Reuse of core tests for SoC to reduce test development time Simulation of the ATE, interface, and DUT to avoid test development on expensive ATE. (virtual testing) Data management needs to be integrated into test program development

表 15 テストおよびテスト装置の大チャレンジ

<i>FIVE DIFFICULT CHALLENGES <100 nm / BEYOND 2005</i>	
DUT to ATE interface	Optical probing techniques Full wafer test Power and thermal management problems, especially with 300 mm wafers and increasing parallel test sites Contactless probing using BIST (see DFT/BIST section)
SoC test methods	New DFT techniques (SCAN and BIST have been the mainstay for over 20 years). New test methods for control and observation are needed. Tests will need to be developed utilizing the design hierarchy. Analog BIST Logic BIST for new fault models and failure analysis Deterministic self-test instead of pseudo random test patterns EDA tools for DFT selection considering cost/performance issues
MEMS, sensors, and new IC technologies	Develop new test methods.
New burn-in techniques.	Research is required. Test during burn-in using burn-in DFT/BIST capability; low-cost, massive parallel test during burn-in
Failure analysis.	Realtime analysis of defects in multi-layer metal processes New fault models, such as noise New CAD tools for diagnosis Failure analysis for analog devices

FA—failure analysis

SCAN—A test method in which test patterns are scanned in and out of the DUT.

STIL—IEEE Standard Test Interface Language

表 15 テストおよびテストの課題（続き）

6-3 技術的要求

自動テスト装置の基本機能は、デバイスのスケーリング則に沿った低電圧、トランジスタおよびピン数の増大、デジタル・テストパターンの拡張、精度向上、メモリのアナログ、アナログ/デジタル混載等と歩調を合わせなければならない。WG によって識別された主な問題は次の通りである。

- 製作されたデバイスのサイクルタイムが ATE のタイミング精度に匹敵するようになるための、ポテンシャル歩留りロス
- ピン数、高周波および ATE テスト機能の増加によるテスト装置の設備投資額の増加
- 歩留り学習、欠陥検出、不良解析をサポートするテストの要求事項
- IDDQ に着目したテスト方法の変化

6-3-1 ポテンシャル歩留りロス

全体ロードマップ技術特性 (Overall Roadmap Technology Characteristics ORTC) 表 16 に示すとおり、主要な歩留りロスおよびコスト増加を引き起こしている大部分の技術問題は、これまで常に向上しているデバイス速度に対して ATE 速度のより遅い成長と関連がある。例えば、マイクロプロセッサおよび ASIC 速度はタイミング信号の解像度に関して精度の向上を必要とする。テスト精度が年につき 12% の速度で向上する間、半導体速度は年につき 30% で向上した。テストがデバイス速度より 5 倍速かった 1980 年代の典型的な headroom (桁高) は殆ど全て消えた。現在の傾向が続くならば、テス

タのタイミングエラーは結局最速デバイスのサイクルタイムに近づく。1999 年には、テスト不正確のための歩留りロスが問題になっていく。SEMI 標準ドラフト# 2928 (総合デジタル・タイミング精度のための仕様)³ で定義されるとおり、表 16 は総合タイミング精度に関して予測された傾向を示す。また、ロードマップ期間にわたるハイエンド製品のデバイス周期またはサイクルタイムを示す。

YEAR		1999	2001	2003	2005	2008	2011	2014
Yield	%	87	84	79	73	64	56	50
Device period	ps	830	700	580	500	400	340	260
Overall ATE accuracy (OTA)	ps	200	160	130	100	100	100	100
Overall device accuracy requirement	ps	42	35	29	25	20	17	13

Solutions Exist ☐ Solutions Being Pursued ☐ No Known Solutions ☐

表 16 歩留り対テスト精度

6-3-2 自動テスト装置のコスト

高性能マシンについてのピン当りの ATE コストは本質的に過去 20 年間 1 万～1 万 2 千ドル/ピン付近を保っていた。1999 年には、このコストは 8 千ドル/ピン以下に下がり始めた。高速化、高精度化、タイム・セットの多様化およびベクトル・メモリの増加という将来の要求は ATE コスト減少のために考えられる全てのゲインを相殺する。したがって、多ピン 2000MHz ATE にとって将来 5 千ドル/ピン以下に下がるのは困難となる可能性がある。IC デバイス設計に BIST、DFT および高周波シリアル通信をより多く取り入れるという大きな変更がない限り、その傾向は 2 千万ドル超のテストシステムまで続くことが予想される。2014 年までに、トランジスタの製作にかかるコストより多くのコストをトランジスタのテストに費やす可能性がある。この傾向は、従来の高コストな at-speed 機能テストの DFT/BIST 手法による置換を可能にする高性能テストシステムおよび方法論に向けた大きな変更を意味するであろう。

6-3-3 テストおよび歩留り学習

コストおよび性能に関するテストの問題はあるが、テストは半導体業界のための主要なもう一つのサービスを提供している。今日、製造プロセスにおける欠陥解析用の最高のツールはテスト装置である。歩留り向上に要する期間、利益獲得に要する期間、品質向上に要する期間、市場化に要する期間は全てテストによって左右される。テストプロセスに由来するフィードバックループは、今日のプロセスにおける欠陥の多くを分析し特定する唯一の方法である。テストは引き続き経済的なプロセス計測および欠陥特定をサポートしなければならない。RAM デバイスの代わりの技術リーダーとしての複雑なマイクロプロセッサの出現はこれらの目標の実現をより難しくしている。

100nm フィーチャーサイズへの CMOS 技術の移行はデバイスの故障解析プロセスに厳しい課題を与える。フェイル検証、故障特定、脱処理化および物理的な性能テストにおいて改良が必要である。2 つのカテゴリのニーズが論議される: すなわち進化的または増加的需求および革新的または画期的ニーズである。進化的ソリューションによって多くが対応されるが、故障特定の課題は特に厳しく、大きなブレークスルーを必要とする。それは、飛びぬけて重大な故障解析ニーズを表わす。実際的で

経済的な方法により調査できる範囲のチップエリアへの故障特定能力なしには、故障メカニズムを理解して、修正方法を提供することはできない。同様に、歩留り改善のためのツールも開発できない。

³: SEMI 標準ドラフト# 2928 (全体デジタル・タイミング精度のための仕様)はバロット段階である

診断に関する進化的ニーズ

技術進展に伴い既存ツールおよび手法に対する追加的な改良が必要である。例えば、走査型電子顕微鏡 (scanning electron microscope: SEM) の解像度の増加および新しいフィルムのためのプラズマ脱レイヤプロセスの開発である。この様な多くのルーチン開発は次のように故障解析プロセスに関して横断的に必要となる。

- 新しいフィルムのための湿乾脱レイヤプロセス
- 集束イオンビーム (focused ion beam : FIB) のクロスセクションング、ミリング、デポジション
- SEM および超音波顕微鏡の解像度
- 不良解析ツールを横断的に制御する CAD ナビゲーションの統合化
- 高速に欠陥個所を決定するアルゴリズムおよびソフトウェア手法
- 脱パッケージングプロセス
- X 線ラジオグラフィ解像度
- E-ビーム・テスト解像度、クロストーク、その他。
- 抽出情報への統計的手法

診断に関する革新的ニーズ

革新的ニーズは、解析手法の劇的な変化によって動かされる、機能における大きなシフトを必要とする。例えば、高空間的分解能ウェーハ裏面熱マッピングおよび裏面からの波形取得である。この領域での開発の多くはクリティカルであり、業界、学界、国立の研究室、解析装置供給者の主要な努力を必要とする。以下はこれらのニーズを順位づけしたリストである。

1. 主要なテスト方法論 (例えばスキャン、IDDQ、BIST、縮退故障、AC テスト、ダイナミック論理、埋込みコア) と互換性を持つソフトウェアに基づく故障位置特定ツール。これらのうち特に重要なサブセットは AC または性能不良の特定用ツールである。
2. 上記を適切に (例えばチップの裏面および裏面細線化手法への既存機能 [波形取得、放射テスト、熱マッピング] のマイグレーション) 補完し捕捉するハードウェアに基づく故障特定ツール。
3. スループットを犠牲にすることなく高解像度を提供する、光学顕微鏡法を越えた検証手法。
4. 個々の回路またはトランジスタのパラメーターを特徴づけるか、又はリーク・パスを特定する内部ノ

ードの DC マイクロプロービング機能 (既存のオプトメカニカルシステムは不適當である)。

5. 物理的な故障解析のニーズをかなり減らすか、除去するシグネチャ解析手法。
6. 欠陥を単一トランジスタまたはコンダクタセクション上に特定する能力を備えたソフトウェアに基づく診断。

6-3-4 IDDQ テスト

歴史的に行われている IDDQ テストが将来ハイエンドデバイスのテストでは困難に直面する場合がある地点まで通常のバックグラウンド・リーク (大きさおよびばらつき) は増加している。IDDQ は製作されたチップに関する情報の豊かなソースを提供し、今日、欠陥検出および性能テストにおいて多くのケースで不可欠な役割を演ずる。将来のテクノロジーにおけるバックグラウンド・リーク電流の増加に直面して、同じ便益を提供する代替ソリューションを開発しなければならない。

表 17 は将来の技術において性能指向型製品のために予測された IDDQ 値を示す。これらの値を正確に解釈してはいけな~~い~~ ; その代わりに、テクノロジーの微細化に対して相対値を提供する意図である。また、これらの値は低消費電力技術のため~~に~~かなり下になる。これらの範囲は最大デバイス IOFF (プロセスインテグレーション章 表 28 から)、トランジスタ数 (ORTC 表 1 から)、典型的な W/L 比、適当に仮定したオフ・トランジスタの割合から求めた。IDDQ テストを使用可能にするように IC が適切に設計されていると仮定される。消費電力最適化した技術については実効値が 1~2 桁小さい場合があるという理解は重要である。他方、大型高性能 IC はより大きい値を示す場合がある。

YEAR	MAXIMUM IDDQ
1999	5-30 mA
2001	30-70 mA
2003	70-150 mA
2005	150-400 mA
2008	400 mA-1.6 A
2011	1.6-8 A
2014	8-20 A

表 17 性能指向型 IC の予測 IDDQ 値

予測した IDDQ 値は絶対値で増加するだけでなく、又、IDDQ (与えられた技術および製品について) のばらつきが高いことが予想される。例えば、表 17 における IDDQ 値は最大を表わすけれども、標準値はかなり低いはずである。このばらつきを許容できるように、よりよくこのばらつきの成分を理解して、新しいテスト手法を開発することが重要である。

下記は、IDDQ テストの継続使用に関するポテンシャル機会 (テスト方法およびテスト容易化設計手法) のリストである。

- V_t を制御するための基板のバイアス。
- V_t (全てのデバイスまたは選択されたデバイスのどちらかについて) を上げるか、 V_t のばらつきを下

げるようなプロセスの変更。

- 低温または低電圧での IDDQ テスト。
- チップ・レベルでの電源分割。マルチプル電源の使用。
- トランジスタ・パスの中でリーク電流を制限する大きな「フッタ」デバイスの使用。
- 高いバックグラウンド・リーク電流への感度が低い過渡的 IDD または他手法。
- 「シグニチャベース手法」— 単一のパス/フェイル閾値でなくて IDDQ 特性を使用する。
- 組み込み IDDQ センサーまたは他のオンチップ測定支援。

IDDQ は重要な故障解析および性能テスト手法であった。物理的な故障解析は欠陥個所の特定および欠陥型識別のために IDDQ に頼る。それに加えて、IDDQ と条件（例えば温度、電圧および回路状態等）の間の関係には、不良回路動作に関する重要な情報が存在する。しかし、IDDQ が上がるにつれ、伝統的な手法を使用している診断効果が若干失われることがありえる。

IDDQ 測定を行う速度を改善するニーズもある。テスト装置改良またはテスト治具のサポートが必要である。さらに、特に新生の「シグニチャベース」手法のために高電流での IDDQ 測定分解能および精度は向上しなければならない。

6-3-5 高周波シリアル通信

高速シリアル通信のための入出力バッファは現在バックプレーン・アプリケーション、短距離および長距離通信、接続用コンピュータ周辺機器にとって不可欠になっている。SONET、Firewire、ギガビット・イーサネット、ファイバ・チャネル等のシステム用 ASIC および他 IC における差動信号 I/O バッファの高速化展開は ATE メーカーにとっていくつかの課題を提示している。現今では、これらの IC の機能テストは高価な単体のパターンジェネレーターおよびビット誤り率デテクターの使用によってのみ可能である。過度のテスト時間とコストのため大量生産にとってこの取り組みは不可能である。マルチポート差動計器を設計し、制御ソフトウェアと共にテストシステムにその計器を統合化する事が ATE メーカーにとって緊急のニーズである。

以下が、チャレンジの一部である。

周波数 — SONET、ギガビット・イーサネット、ファイバ・チャネルのような Si BiCMOS シリアルデバイスの周波数は 1Gbits/s を急速に上回っており、1999 年には 2.5Gbits/s に近づいている。SiGe 技術の開発により、近い将来、10Gbits/s シリアルバスは CMOS ASIC に集積可能となる。一方、1999 年に ATE メーカーは制約付の 1Gbits/s 機能を備えた新しいシステムを導入し始めているだけである。

ATE コンパレータ — ATE コンパレータも、LVDS バッファについて 100mV Firewire について 172mV、大部分の 2.5Gbits/s バッファについて 400mV に対応する低出力レベルのデバイス出力仕様に対する課題に直面している。しかし、大部分のコンパレータは最小オーバードライブ必要条件 150mV で設計されており、250mVp-p より下で信号を正確にストロブするには特別な努力が必要である。

差動信号 — 差動信号は、一般に差動信号電圧振幅は、 $V_{Oh} - V_{Ol}$ より小さく $V_{Ol} \sim V_{Oh}$ のレンジ範囲内の値である。例えば、1025mV および 1375mV の間での 250mV の振幅。したがって、固定電圧基準レベルでシングルエンドのコンパレータを使用して信号をテストすることができない。 $V_{Oh} \sim V_{Ol}$ の範囲の電圧基準レベルを備えた 2 つのシングルエンドのコンパレータに加えて、差動 DUT 出力の各ペアピンについて、正しい差動モードコンパレータと同相モードコンパレータが必要とされる。今までのところ、ほとんどの ATE メーカーはこの問題に対応しなかった。

差動タイミングスキューはもう一つの重大な仕様である。例えば SONET、ギガビット・イーサネット、ファイバ・チャネル等のシリアル通信回路における差動信号は、真の 50%の交点から 20-25ps 未満のクロスオーバー点でなければならない。このタイミングスキューは大部分の ATE の較正エッジ配置精度 (edge-placement-accuracy: EPA) より非常に小さい。そして、ATE の精度は一般に +1-80ps である。20ps タイミングスキュー達成への 1 つの取り組みは、同じシリコンピース上にテストドライバおよびコンパレータのペアを集積し、慎重にマッチングをとった等長ケーブルで、DUT に接続することである。

6-3-6 高性能 ASIC テスト必要条件

高性能 ASIC テスト必要条件 (表 18) は自動テスト装置 (automatic test equipment: ATE) メーカーがピン数および周波数において満たさなければならない要求を示す。同時に全ピンについてこれらの要求の全てを満足することを ATE が要求されることはありそうもない。例えば、最も高いオフチップデータ周波数は、おそらく 1.25、2.5 または 10GHz のレートで動作する比較的少ない数のシリアル通信ピンで発生するだろう。しかし、大多数の DUT ピンはおそらく低周波数で動作する。これは 2014 年まで全信号ピンを 3000 未満の数に制限するかもしれない。表 18 に示す周波数はシリアル通信ピン以外の信号ピン用である。外部記憶型、非スキャンテストベクトルの数は示していなかった。この数は 1999 年には約 3200 万であり、制約がなければ、2005 年までに 10 億へと上昇するだろう。これは ATE のコストを大いに上げ、長いベクタロード時間をもたらすので、近い将来に、DUT 設計に DFT と BIST を取り込む事が緊急のニーズである。

高周波ローカルクロックは、よく、オンチップに phase-locked-loop: (PLL) 発振器を使用して生成される。したがって、低周波数で ATE によって生成されるクロック信号への要求は、ミックスシグナル回路が搭載されている場合に、10ps RMS より下であることがありえる低ジッター要求条件の範囲に大部分が相等する。非常に頻繁に、ATE は DUT に nonreturn-to-zero: (NRZ) 入力データと同じレートに return-to-zero: (RZ) 波形を提供できる特別なクロックピンを提供する。これは、ピンエレクトロニクスに通常のデータ・ドライバの 2 倍の周波数で動くことができる特別なドライバを必要とする。ATE クロックドライバによって生成される周波数の精度範囲は SONET については $\pm 20\text{ppm}$ であり、他の高周波シリアル通信デバイスについては $\pm 100\text{ppm}$ である。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Off-chip data frequency MHz NRZ* (see text)	600	700	800	900	1000	1100	1200
Overall timing accuracy (% period)	+/-5	+/-5	+/-5	+/-5	+/-5	+/-5	+/-5
ATE RMS clock jitter peak-to-peak ps	20	20	10	10	5	5	5
Signal peak-to-peak range V	1.5–3.3	1.4–3.3	1.3–3.3	1.2–3.3	1.0–3.3	1.0–2.5	0.9–2.5
Power/device DC with heat sink W	90	100	115	130	140	150	160
Transient power with heat sink W	135	150	170	195	210	225	240
Tester cost per high-frequency signal pin \$K	4–8	3–7	3–7	3–6	3–6	2–5	2–5
Maximum number of I/O signal pads. Power and ground could double number for wafer test. (see text)	700	900	1100	1300	1500	1700	1900

表 18a 高性能 ASIC テスト必要条件－短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Off-chip data frequency MHz NRZ* (see text)	1400	1600	1800
Overall timing accuracy (% period)	+/-5	+/-5	+/-5
ATE RMS clock jitter peak-to-peak ps	2	2	1
Signal peak-to-peak range V	0.6–2.5	0.5–2.5	0.4–2.5
Power/device DC with heat sink W	170	175	183
Transient power with heat sink W	255	262	275
Tester cost per high-frequency signal pin \$K	2–5	2–5	2–5
Maximum number of I/O signal pads. Power and ground could double number for wafer test (see text)	2300	2700	3000

*NRZ—nonreturn-to-zero waveform (NRZ data rates are often referred to as Mbits/s)

Solutions Exist ☐ Solutions Being Pursued ☐ No Known Solutions ☐

表 18b 高性能 ASIC テスト必要条件－長期

6-3-7 高性能マイクロプロセッサ・テスト必要条件

長い間、VLSI テスト業界は、ピン数、メモリサイズ、パターン数、システム精度、電圧および電流のような個々の必要条件を増やすことに駆り立てられていた。そして、長い間、ATE 業界はこの要求を満足してきた。バス速度が 1GHz に近づき、電源が 1 ボルトで何百アンペアを供給し、そして、タイミング精度を何十ピコ秒で測定する場合に ATE 業界がテスト必要条件を先んじることが可能かどうかはもはや明白でない。そして、どんなコストで？

以下のマイクロプロセッサ・ロードマップ(表 19a および b)を見ると、これらの傾向の継続を暗示する。IC は高レベルインテグレーションのためにより複雑になっている。広い、非常に高速なバスは共通であり、アナログ回路がデジタル IC 内に現れ、高水準メモリを埋め込んでいる。製品性能テストおよびデバッグ必要条件がこれらの傾向を動かすけれども、GHz 速度とピコ秒精度で機能テストを実施しながら大量生産を行うことに半導体業界が興味を持つと ATE 業界は思っていない。起こる可能性の高いことは、DFT/BIST を含める動きおよびより多くのテスト方法全てが 1 つのことを目指す—従来の高コストフル機能テストへの半導体業界の依存を減らすことである。

技術開発およびデバッグは多ピン、高バス周波数および超正確なテストを必要とし続けるが、しかし、エンジニアリングのために必要なテストシステムの数には大量生産に必要とされる単純システム数の

ほんの一部である。DFT/ BIST で設計した IC テスト用 ATE 必要条件に関する後述の節はこれらのより単純なテストシステムを詳細に記述する。

マイクロプロセッサにおいて、約 2/3 のピンが電力および接地のために必要である。これは、何百アンペアを流さなければならない電力接続および接地接続におけるインダクタンスおよび抵抗を減らす。エンジニアリング環境において、生産のニーズを越えたテスト必要条件をもたらす温度および電圧極値でマイクロプロセッサは一般に特徴づけられる。例えば、低温および高 V_{dd} 値によって、デバイスが電源よりも高電流で高周波数で動作するようになる。また、テスト環境において、電源の位置は DUT からのはるかに遠い。これは、高過渡電流の存在下でよいレギュレーションを提供するために DUT ソケットの近くにある負荷ボードでの大きいバイパスコンデンサを必要とする。脚注の 6000uF の実装は、「電源供給は高容量性負荷で発振しない」意味に翻訳されなければならない。

マイクロプロセッサは、また、テスト・ロードマップ冒頭の表 16 に示す歩留りロスを避けるために非常に正確なテストシステム(約 70ps の総合タイミング精度)でテストされなければならない。歩留りロスを避けるために精度が必要だけでなく、正確に各パーツを異なる周波数カテゴリに binning するためにも必要である。高速バスで正確な測定を行うために高タイミング精度も必要である。要求度の低い ASIC テスト用システムと比較して、高タイミング精度必要条件はピン当りのテスト・コストを高くおよび故障間隔平均時間(mean time between failures:MTBF)を低く保つ必要 y 傾向がある。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
<i>Pincount</i>							
Pincount I/O signal channels (maximum pins) [2/]	768	1024	1024	1024	1024	1024	1024
Pincount power and ground (maximum pins)	1536	1536	2018	2018	2018	2018	2018
<i>Busses</i>							
Clock input frequency (MHz) [3/]	800	933	1066	1200	1333	1466	1600
Clock accuracy (ps) [4/]	62	53	47	42	37	34	31
Off-chip bus data rate (Mbits/s)	600	700	800	900	1000	1100	1200
Accuracy OTA (ps)	75	70	67	62	60	57	50
Number of independent clock domains	2	2	4	4	4	4	4
Number of independent busses	4	4	8	8	8	8	8
Embedded memory (Mbits)	32	32	64	64	128	128	256
APG frequency (MHz)	200	200	400	400	800	800	800
Algorithmic pattern generator (#X, Y addresses)	16	16	16	16	32	32	32
Algorithmic pattern generator (#Z addresses)	4	4	4	4	8	8	8
<i>Power Supplies</i>							
Power supply voltage range (volts) [1/]	1.3–3.3	1.3–3.3	1.3–3.3	1.3–3.3	0.9–3.3	0.9–3.3	0.9–3.3
Power supply accuracy (% of programmed value AC+DC)	5	5	5	5	5	5	5
Maximum current (A)	200	200	220	220	242	242	266
Dynamic current slew rate response time (us)	1.00	1.00	0.90	0.90	0.81	0.81	0.73
Dynamic current slew rate settling time (us)	30	30	27	27	24	24	22
<i>Patterns</i>							
Vector memory (Meg-vectors per pin)	64	64	128	128	256	256	512
Vector memory load time (minutes)	15	15	15	15	15	15	15
Independent pattern management (# of patterns)	1000	1200	1200	1400	1400	1600	1600
<i>Cost</i>							
Tester cost per pin (\$)	8000	7500	7000	6500	6000	5500	5000
<i>Reliability</i>							
MTBF (hours)	1000	1000	1150	1150	1323	1323	1521
MTTR (hours)	2	2	1	1	1	1	1
Availability (%)	98	98	98	98	99	99	99
Setup time (hours)	0.5	0.5	0.4	0.4	0.3	0.3	0.2

Solutions Exist ☐
Solutions Being Pursued ☐
No Known Solutions ☐

表 19a 高性能マイクロプロセッサ・テスト必要条件-短期

表 19a および b 高性能マイクロプロセッサ必要に関する注記

- [1] 電源は 6000uF および最大電流の 2 倍の電流スイッチングを処理できなければならない。回路は CPU クロックの 1~20 サイクルまでの間でウェークアップができる。
- [2] 最大ピン数はデバッグ・テスト目的のためにある。デバッグ・テストは典型的により高いピン数を利用する。
- [3] テスタは、RAMBUS タイプのデータレートおよびプロトコルを処理できなければならない。性能テストはフルデータレート必要条件を満足する必要がある。生産テスター出力する出力の測定精度は重大である。
- [4] テスタはデバッグ用デバイスのためにバイパス・モードとしてクロックを供給する必要がある。オンボード PLL は主なテスト戦略である。

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
<i>Pincount</i>			
Pincount I/O signal channels (maximum pins) [2/]	1280	1408	1472
Pincount power and ground (maximum pins)	2560	2816	2944
<i>Busses</i>			
Clock input frequency (MHz) [3/]	1866	2133	2400
Clock accuracy (ps) [4/]	27	23	20
Off-chip bus data rate (Mbits/s)	1400	1600	1800
Accuracy OTA (ps)	45	40	35
Number of independent clock domains	4	4	4
Number of independent busses	8	8	8
Embedded memory (Mbits)	512	2048	2048
APG frequency (MHz)	1200	1600	1600
Algorithmic pattern generator (#X, Y addresses)	64	64	64
Algorithmic pattern generator (#Z addresses)	16	16	16
<i>Power Supplies</i>			
Power supply voltage range (volts) [1/]	0.6–2.5	0.6–1.3	0.6–1.3
Power supply accuracy (% of programmed value AC+ DC)	5	5	5
Maximum current (A)	293	322	355
Dynamic current slew rate response time (us)	0.66	0.59	0.53
Dynamic current slew rate settling time (us)	19	17	15
<i>Patterns</i>			
Vector memory (meg-vectors per pin)	1024	4096	4096
Vector memory load time (minutes)	15	15	15
Independent pattern management (# of patterns)	2074	2488	2986
<i>Cost</i>			
Tester cost per pin (\$)	4000	2000	1500
<i>Reliability</i>			
MTBF (hours)	1500	1700	2000
MTTR (hours)	1	1	1
Availability (%)	99	99	99
Setup time (hours)	0.2	0.2	0.2

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 19b 高性能マイクロプロセッサ・テスト必要条件-長期

6-3-8 ローエンドのマイクロコントローラ・テスト必要条件

ローエンドのマイクロコントローラはデバイスに於けるテクノロジドライバではないが、しかし、巨大な生産量および販売額(1998年の推定-40億ユニットおよび100億ドル)のためにマイクロコントローラのテスト用に最適化したATEシステムの開発を牽引した。

マイクロコントローラは、4、8、16、32ビット・プロセッサ、メモリ、I/O、A/DおよびD/Aコンバータ(PLL)、センサーおよびタイマーなどの周辺装置用回路を含むチップである。マイクロコントローラのピン数は、スマートカードの中で使用されるシリアルI/Oデバイスについての3ピンからPDAおよびエンジン・コントローラのようなアプリケーションについての何百ピンまで存在する。マイクロコントローラのバス周波数はローエンドの5MHzから最高50MHzの範囲内である。

最適化テストを駆動しているマイクロコントローラは典型的に低価格であり、1ドルを割る4および8

ビット・マイクロコントローラもある。この非常な大量生産のセグメントは 4-8 個のマイクロコントローラを並列にテストできる低速デジタル ATE システムの開発を動かした。一部の非常に低コストマイクロコントローラについては、テストコストが製造原価を上回る。このセグメントのマイクロコントローラのテストはテストコストを 2000 ドル/ピンの範囲に低減させた。

マイクロコントローラ・テストに関する課題は一般にテストの全体コストを下げることににかかわる。テスト購入価格の低減はマルチサイトテストおよび装置の利用の増加と同様にこのチャレンジの大きな部分を成す。マイクロコントローラ・インテグレーションレベルが増加するにつれ、低価格テストにおいてより多くのミックスシグナル・テスト機能のためのニーズが増加している。表 20 を参照のこと。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
<i>Device Characteristics</i>							
Pincount: minimum/maximum total pins	3/160	3/180	3/200	3/210	3/220	3/230	3/250
Bus frequency (MHz)	60	70	80	85	90	95	100
Clock frequency (MHz)	60	70	80	85	90	95	100
Internal frequency (MHz)	60	100	150	175	200	225	250
Low V_{dd} (V)	1.8	1.4	1.2	1.0	0.8	0.8	0.8
# of DPS (device power supply) per device	3	3	3	3	3	3	3
Device power (mW)	300	300	300	300	300	300	300
Maximum driver level (V) [A]	8	10	12	12	15	20	30
Maximum comparator level (V) [A]	8	10	12	12	15	20	30
Embedded memory (Mbits)	8	12	16	20	32	32	32
Mixed-signal circuitry	A/D, D/A	Audio	Video	Sensors	RF	—	—
<i>Tester Characteristics</i>							
Overall timing accuracy (% period)	5	5	5	5	5	5	5
RMS clock jitter (ps)	100	100	100	75	75	50	50
External test vectors (M) [B]	8	8	8	12	12	12	12
Tester cost range (\$K/per pin)	2-4	2-4	2-4	1.5-3	1.5-3	1.3-3	1.3-3
Reliability—MTBF (hrs)	2000	2200	2500	2800	3000	3200	3400
DPS maximum voltage (V)	8	8	8	8	8	12	16
Maximum DPS in tester	16	32	32	48	48	64	64
Maximum devices for parallel testing [C]	8	16	16	16	24	24	24
Maximum tester pins	1024	1024	1024	1024	1536	1536	1536
Mixed-signal instrumentation	A/D, D/A		Audio Fre- quency	—	Video Fre- quency	—	Sensors

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

表 20a ローエンドのマイクロコントローラ・テスト必要条件-短期

表 20a および b マイクロコントローラ必要条件に関する注記

[A] ドライバおよびコンパレータ・レベルは付加ミックスシグナルおよび他の特別なテスト必要条件をサポートするために増加する。全てのピンがこの高電圧を必要とするというわけではない。

[B] BIST や DFT は無し—許容可能 BIST や DFT ソリューションが開発されるならばその容量は小さくなる。

[C] このカテゴリは、マイクロコントローラの並列テストのためであり、メモリの並列テストと混同しないこと。

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
<i>Device Characteristics</i>			
Pincount: minimum/maximum pins	3/270	3/300	3/350
Bus frequency (MHz)	120	150	200
Clock frequency (MHz)	120	150	200
Internal frequency (MHz)	300	350	450
Low V _{dd} (V)	0.8	0.7	0.6
# of DPS (device power supply) per device	2	2	1
Device power (mW)	400	500	400
Max driver level (V) (Note A)	30	30	50
Max comparator level (V) (Note A)	30	30	50
Embedded memory (Mbits)	64	96	128
Mixed-signal circuitry			
<i>Tester Characteristics</i>			
Overall timing accuracy (% period)	5	5	5
RMS clock jitter (ps)	50	25	25
External test vectors(M) (Note B)	16	24	32
Tester cost (\$K/per pin)	1.2–3	1–3	0.5–2
Reliability—MTBF (hrs)	4000	5000	6000
DPS maximum voltage (V)	16	16	16
Maximum DPS in tester	64	64	128
Maximum devices for parallel testing (Note C)	32	32	64
Maximum tester pins	1536	2048	2048
Mixed-signal instrumentation			

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 20b ローエンドのマイクロコントローラ・テスト必要条件-長期

6-3-9 ミックスシグナル・テスト

シリコンの単一基板上により多くのシステム機能を備える傾向により、従来のデジタル、アナログ、RF/マイクロ波およびミックスシグナルといったデバイス区分はますますぼやけたものとなる。この傾向によりテスト装置は、シリコンの単一基板上で想定される機能全てをテストできるシングル・プラットフォームの形態へと進む。ミックスシグナルテスト装置のデジタルに求められるものは、純デジタル・チップに関するものと同じであり、マイクロプロセッサや ASIC の表に示されるとおりである。テスト装置の傾向は、必要に応じて高性能アナログ/RF/マイクロ波機器を追加できる、モジュラ形で高速多ピンのデジタルテストプラットフォームの方へ動いている。アナログテストにおける技術的制約と課題は、高帯域幅、高速ダイレクトサンプリング、高ダイナミックレンジ、低ノイズフロア、デジタルおよびアナログ機器のシームレスなインテグレーションおよびコストである。

ミックスシグナルテスト装置の必要条件として、IC デバイスよりむしろ計測機器に焦点が当てられている。表 21 に示すとおり、現在のアナログ/RF/マイクロ波テスト手法は性能の良い計測機器を必要とする。したがって、計測機器への要求は、プロセス/パッケージング技術ロードマップで予測されるデバイス性能の向上を反映したものとなる。機器の性能向上を求める傾向は続き、テスト装置全体のコストを押し上げることが予想される。コストは、また、必要とするアナログ機器の種類およびマルチサイトテストに必要とされる数量によって上がる。外部(チップから見て)機器を使用した、アナログ性能テス

トに代わる実績のある代替手段が存在しない。この領域についてより多くの研究が必要である。アナログ BIST(built-in-self-test) は、考えられる解決手段の一つであり、これからの研究テーマとして提案されている。

6-3-10 重要な関心事の領域

アナログ/RF/マイクロ波のテスト環境はロードボード設計およびテスト手法を複雑にしている。ノイズ、クロストーク、信号の干渉およびロードボードの問題はテスト開発プロセスおよびスケジュールに影響を与える。

高速シリアルインタフェースのジッターおよび機能テストはATEにとって重大なチャレンジである。これらのデバイスに関するデジタル回路の複雑化と規模の増大は、現在の「RACK AND STACK」テスト手法の機能を越えて増加する。ギガビット・イーサネット、SONET、ファイバ・チャネルのような高速シリアルインタフェースはより大規模なデジタル回路がチップ設計されている。

全てのアナログ機能の平行テストが、テスト・コストを下げるために必要である。これは、DSP テスト・アルゴリズム(例えば FFT)の高速処理による並列測定機能を必要とする。平行テストはメモリおよび大量生産のデジタル・デバイスに長年の間使用されているが、ミックスシグナル・デバイスではあまり行われていない。また、シングルチップ上のマルチプル・アナログ機能(例えば 2 回路、4 回路、8 回路の LAN ポート)は同時にテストしなければならない。

複数のATEベンダーに共通で利用できるよりよいソフトウェアツールが必要である。ツールは、デジタルおよびミックスシグナル・ベクトル生成、ロードボードおよびテスト環境を考慮したアナログ回路の回路シミュレーション、高速なミックスシグナル・テストプログラム生成のために必要である。現在、自動テスト・プログラムジェネレータはデジタルテストを生成するために広く使われているのに対して、ミックスシグナル・テストプログラムは手で作成されている。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
<i>Low Frequency Source and Digitizer</i>							
BW * (MHz)	15	15	100	100	100	100	100
Fs** MS/s***	5	5	5	5	5	5	10
Bits	20–23	20–23	20–23	20–23	20–23	20–23	20–23
Noise floor (dB/RT Hz)	-155	-155	-160	-160	-160	-160	-160
<i>High Frequency Waveform Source</i>							
Level V (peak-to-peak) accuracy (+/-)	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%
BW (MHz)	800	1200	1600	2400	2400	2400	3000
Fs (MS/s)	2000	3000	4000	6000	6000	6000	7500
Bits AWG/Sine†	10/14	10/14	10/14	10/14	10/14	10/14	10/14
Noise floor (dB/RT Hz)	-140	-140	-145	-145	-150	-150	-155
<i>High Frequency Waveform Digitizer</i>							
Level V (peak-to-peak) accuracy (+/-)	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%	4 0.5%
BW (MHz) (undersampled)	1000	1500	2000	2500	2500	2500	3000
Fs (MS/s)	1/100	1/100	1/200	1/300	1/300	1/300	1/400
Bits	16/12	16/12	16/12	16/12	16/12	16/12	18/14
Noise floor (dB/RT Hz)	-140	-140	-145	-145	-150	-150	-155
<i>High Speed Sampler</i>							
BW (GHz)	2	3.6	3.6	5	5	5	5
Resolution (bits)	16	16	16	16	16	16	16
<i>Time Measurement</i>							
Jitter measurement (ps RMS)	5	3	3	2	2	1	1
Frequency measurement (MHz)	660	660	660	1320	1320	1320	2640
Single shot time capability (ps)	100	100	100	75	75	75	50
<i>RF/Microwave Instrumentation</i>							
Source BW (GHz)	6	6	10	14	14	18	18
Source phase noise low frequency close-in 1KHz (dBc/Hz)	-126	-126	-130	-136	-136	-136	-136
Source phase noise high frequency wideband 10MHz (dBc/Hz)	-160	-160	-160	-166	-166	-166	-166
Receive BW (GHz)	6	6	10	14	14	14	18
Receive noise floor (dBm/Hz)	-160	-160	-160	-160	-160	-160	-160
Receive dynamic range SFDR (dBc) ‡	95	95	105	105	105	105	105
<i>Special Digital Capabilities</i>							
D/A and A/D data rate (Mbits/s) §	150	150	300	300	400	400	400
Sample clock jitter (< ps RMS)	3	3	1.5	1.5	1	1	1
Serial data rate (Mbits/s)	2500	2500	4000	10000	10000	10000	10000

* BW—bandwidth

** Fs—sample rate

*** MS/s—mega samples per second

† AWG/Sin—arbitrary waveform generation/sine wave

‡ SFDR—spurious free dynamic range

§Mbits/s—mega bits per second

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 21a ミックスシグナル・テスト必要条件-短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
<i>Low-Frequency Source and Digitizer</i>			
BW * (MHz)	100	100	100
Fs** MS/s***	10	10	10
Bits	20–23	20–23	20–23
Noise floor (dB/RT Hz)	-160	-160	-160
<i>High Frequency Waveform Source</i>			
Level V (peak-to-peak) Accuracy	4 0.5%	4 0.5%	4 0.5%
BW (MHz)	4000	5000	5000
Fs (MS/s)	10000	12500	12500
Bits AWG/Sine†	10/14	10/14	10/14
Noise floor (dB/RT Hz)	-155	-155	-155
<i>High Frequency Waveform Digitizer</i>			
Level V (peak-to-peak) accuracy	4 0.5%	4 0.5%	4 0.5%
BW (MHz) (undersampled)	4000	5000	5000
Fs (MS/s)	1/600	1/800	1/1200
Bits	18/14	18/14	18/14
Noise floor (dB/RT Hz)	-155	-155	-155
<i>High Speed Sampler</i>			
BW (GHz)	5	5	5
Resolution (bits)	16	16	16
<i>Time Measurement</i>			
Jitter measurement (ps RMS)	1	1	1
Frequency measurement (MHz)	3000	3000	3000
Single shot time capability (ps)	30	30	30
<i>RF/Microwave Instrumentation</i>			
Source BW (GHz)	36	36	36
Source phase noise low frequency close-in 1KHz (dBc/Hz)	-136	-136	-136
Source phase noise high frequency wideband 10MHz (dBc/Hz)	-166	-166	-166
Receive BW (GHz)	36	36	36
Receive noise floor (dBm/Hz)	-160	-160	-160
Receive dynamic range SFDR (dBc) ‡	105	105	105
<i>Special Digital Capabilities</i>			
D/A and A/D data rate (Mbits/s) §	600	600	600
Sample clock jitter (< ps RMS)	0.5	0.5	0.5
Serial data rate (Mbits/s)	10000	10000	10000

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

表 21b ミックスシグナル・テスト必要条件-長期

表 21a および b ミックスシグナル必要条件に関する注記

Low-Frequency Source and Digitizer — これはどのようなミックスシグナル・テストでも基本且最低限の測定器である。電気通信、先進の音響および無線ベースバンドのデバイスはこれらの仕様を牽引する。これら測定器は差動入出力が必要とされる。

High Frequency Waveform Source — ディスクドライブレードチャネル(Partial Response Maximum Likelihood: PRML)のテストはサンプル・レートおよび帯域幅を牽引する。ローカル・エリア・ネットワーク(Local area network:LAN)デバイスのテストはサンプル周波数、分解能および振幅精度を牽引する。差動出力が必要とされる。

High Frequency Waveform Digitizer — アンダーサンプルされた（例えば track-and-hold による低周波変換）帯域幅が示される。サンプル・レートおよび分解能は通常アンダーサンプラーに続く直接変換デジタイザに関係した記載である。PRML および LAN デバイスのテストはデジタイザ仕様を牽引する。差動入力が必要とされる。

High Speed Sampler — これは High Frequency Waveform Digitizer が十分な帯域幅を持つ場合、High Frequency Waveform Digitizer に置き替えることができる。

Time Measurement — 新しいデバイス設計の中でますます搭載されつつある、位相同期ループ（Phase Lock Loops PLL）のテストはジッターおよび周波数測定が必要とされる。これらの測定を効率的且正確に行うために、専用測定器を開発しなければならない。

RF/Microwave Instrumentation — RF/デジタル/ベースバンド/音響を搭載したようなシングルチップデバイスのテストには変調機能をもつ搬送波ソースおよび低雑音のレシーバまたはダウンコンバータのような機能を持つ RF 測定器が必要とされる。

Digital Signal Data Rate — パラレルバスのデジタル信号データレートは A/D および D/A 変換速度に追従する。シリアルピン・データレートは LAN、SONET およびファイバ通信チャネルによって牽引される。

6-3-11 半導体メモリのためのテスト必要条件

メモリの集積度は指数的な成長率で成長し続けると予想される。半導体メモリはプロセス技術のための牽引役であり続ける。DRAMはプロセス技術、設計、テストを定義する先行デバイスであり続ける。表 22～24を参照のこと。

6-3-12 汎用 DRAM テスト

我々は、DRAMビットの数が3年ごとに4倍に増加することが続くと予想する。このサイズ増加により、テストが製造ボトルネックとなる。テスト生産性を向上するために、新しいテスト指向型アーキテクチャが必要である。マルチビット・テスト、BIST、BISR(built-in-self-repair)は生産スループットおよび歩留りを維持するために重要である。

ATE でのテストにおいて多数個同時測定が必要である。デバイスの同時測定数とは実動作スピードで同時にテストされるパッケージ化されたデバイスの数である。2GHz 以上の領域において、デバイス外部仕様や、信号伝送方式、ソケット、プロービング等のインタフェース、そしてハンドリングがボトルネックになる。求められるタイミング精度や、テストやデバイスインターフェイスのコストの増加を考慮すると、テストの同時測定数は1テストヘッド当たり 64 デバイスを越えない。

DRAM 用の一次故障モデルは、セル縮退、マルチセル結合、デコーダ・オープンおよびデータ保存故障が今後も続くであろう。100nm 以下の機能サイズについて、製品開発のためにインライン欠陥検出が必要である。インライン欠陥監視により、不良ウェーハの処理は避けられ、ウェーハ・ソートおよびパッケージ・レベル・テストのためのテスト時間は維持される。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
DRAM capacity (Gbits): R & D	1			4			16
Mass Production	0.256			1			4
DRAM data rate (GHz): R & D	1.0		1.3		1.6		2.0
Mass Production	0.250		1.0		1.3		2.0
DRAM access time (ns): R & D	2.5		2		1		0.5
Mass Production	8		4		2.5		2
DRAM bit width/device (Mass Production)	8		16		16		16
Tester data rate (GHz): R & D	1.0		1.3		1.6		2.0
Mass Production	0.25		1.0		1.3		2.0
Overall timing accuracy (ps): R & D	100		60		50		40
Mass Production	300		80		60		50
Simultaneous testing (devices/test head)	32		32/64		64		64
Test channels (Mass Production)	1500*		1200 2300**		2300		2300

* Assuming SDRAM with 32 devices/station, Driver 800, I/O 640

** Assuming RAMBUS with: (1) 32 devices/station, Driver 480, I/O 640; (2) 64 devices/station, Driver 960, I/O 1280

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 22a 商品 DRAM テスト必要条件-短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
DRAM capacity (Gbits): R & D	64	256	1024
Mass Production	16	64	256
DRAM data rate (GHz): R & D	2.4	3.0	3.6
Mass Production	2.2	2.6	3.0
DRAM access time (ns): R & D	0.3	0.2	0.15
Mass Production	1	1	0.8
DRAM bit width/device (Mass Production)	32	32	32
Tester data rate (GHz): R & D	2.4	3.0	3.6
Mass Production	2.2	2.6	3.0
Overall timing accuracy (ps): R & D	30	25	20
Mass Production	40	30	25
Simultaneous testing (Devices/test head)	64	64	64
Test channels (Mass Production)	3500*	3500	3500

* Assuming RAMBUS with 64 devices/station, Driver 960, I/O 2560

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 22b 商品 DRAM テスト必要条件-長期

6-3-13 汎用フラッシュメモリテスト

アプリケーションに基づき、汎用フラッシュメモリのアーキテクチャは様々に変化する(シリアル、固定ブロック、ブートブロック、バースト)。継続的なアーキテクチャの多様化が予期される。ビット密度の 2

年毎に 2 倍増加は、継続した動作電圧の減少に合わせて続くことが期待される。バス幅はマイクロコントローラのバス幅に従うので、32 ビットへの移行が次の 5 年の間に予想される。フラッシュ・データバースト・レートは密接にマイクロコントローラ・ロードマップに依存している。

バッテリー駆動型アプリケーションにおいて使用されるフラッシュメモリの消費電力はクリティカルなパラメータであり、したがって、テストはフラッシュ・コンポーネントによって消費される低レベルの電流または電力を測定する手段を提供しなければならない。ウェーハテストは一般にパッケージ・テストでの AC 特性を行わないが、しかし、テストは高い制御性および柔軟性を必要とする。冗長性はフラッシュメモリにとって不可欠であり、ウェーハおよび実装テストの間で実施される。不良データの取得および解析の方法論は高い柔軟性をテスト・エンジニアに要求される。

多くのフラッシュ・コンポーネントがプログラム/消去制御のために組込プロセッサを含むので、ベクトル・テスト機能は必要である。

組込プロセッサの存在が、汎用フラッシュ・デバイスへの機能追加を加速する。その事により将来ロジックまたはアナログのテストが必要になる。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
<i>Device Characteristics</i>							
Density (Megabits): volume production	32	64	64	128	128	256	256
Density (Megabits): lead density	256	256	512	512	1024	1024	2048
Data width (bits)	16	16	32	32	32	32	32
Simultaneously tested devices (wafer test)	16	32	64	64	64	64	64
Simultaneously tested devices (package test)	32	64	64	64	64	64	64
<i>Power Supplies</i>							
Power supply voltage range (Volts)	1.3-5.5	1.3-5.5	0.6-5.5	0.6-5.5	0.6-5.5	0.6-3.3	0.6-3.3
Power Supply accuracy (% of programmed value)	5	5	5	5	5	5	5
Maximum current (mA)	200	200	200	200	200	200	200
Programming power supply voltage range (Volts)	1.3-13.0	1.3-13.0	0.6-10.0	0.6-10.0	0.6-10.0	0.6-10.0	0.6-10.0
<i>Pattern Generator</i>							
Tester channels	48	56	64	64	64	64	64
Vector depth (k)	128	128	1000	1000	1000	1000	1000
APG X, Y, Z addresses	16	16	16	16	16	16	16
<i>Timing</i>							
Maximum data rate (MHz)	50	66	80	100	125	133	166
Accuracy OTA (ns)	1	1	.75	.6	.6	.5	.5
<i>Cost</i>							
Tester cost per pin (\$) [1]	1300	1150	1000	850	725	610	525
<i>Reliability</i>							
MTBF (hours)	2000	2500	3000	3500	4000	4500	5000
MTTR (hours)	1	1	1	1	1	1	1
Availability (%)	98	98	99	99	99.5	99.5	99.5
Setup time (hours)	.5	.5	.4	.4	.3	.3	.2

Notes for Table 23a and b Commodity Flash Memory Test Requirements:

[1] Overall tester cost is: (per pin cost) × (number of channels) × (number of simultaneously tested).

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 23a 商品フラッシュ・メモリテスト必要条件-短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
<i>Device Characteristics</i>			
Density (Gbits): volume production	0.512	2.048	8.192
Density (Gbits): lead density	4.096	16.384	65.536
Data width (bits)	32	32	32
Simultaneously tested devices (wafer test)	64	128	128
Simultaneously tested devices (packaged test)	64	128	128
<i>Power Supplies</i>			
Power supply voltage range (Volts)	0.6–3.3	0.6–3.3	0.6–3.3
Power supply accuracy (% of programmed value)	5	5	5
Maximum current (mA)	200	200	200
Programming power supply voltage range (Volts)	0.6–8.0	0.6–8.0	0.6–8.0
<i>Pattern Generator</i>			
Tester channels	72	72	72
Vector depth (k)	2000	2000	2000
APG X, Y, Z addresses	16	16	16
<i>Timing</i>			
Maximum data rate (MHz)	200	250	300
Accuracy OTA (ns)	.33	.2	.1
<i>Power Supplies</i>			
Tester cost per pin (\$) [1]	500	450	400
<i>Reliability</i>			
MTBF (hours)	6000	6500	7000
MTTR (hours)	.5	.5	.5
Availability (%)	99.5	99.5	99.5
Setup time (hours)	.2	.2	.2

Notes for Table 23a and b Commodity Flash Memory Test Requirements:

[1] Overall tester cost is: (per pin cost) × (number of channels) × (number of simultaneously tested).

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

表 23b 商品フラッシュ・メモリテスト必要条件-長期

6-3-14 埋込み DRAM および埋込みフラッシュメモリのテスト

埋込み DRAM のビット数は 2 年毎に 2 倍に増加する。ロジック-DRAM の混載デバイスにおいてはアレイ雑音およびセンス・アンプ不平衡が主な懸念事項である。100nm 以下のプロセスを用いて製品化する場合、インライン欠陥検出手法の導入が不可欠で、インライン欠陥モニタリングにより、欠陥ウェーハの処理を避けることができ、ウェーハ・ソートおよびパッケージ・レベル・テストのテスト時間は現状レベルに維持できる。

埋込みフラッシュメモリのビット数は指数関数的に増加し、また一層多くの IC に DRAM やフラッシュメモリが組込化される傾向にある。このような状況において、2001 年以降、酸化膜の信頼性、センス・アンプ不平衡、ONO 膜 (oxide-nitride-oxide) のスケーリングが、フラッシュメモリにおける主な懸念事項となる。(表 25 参照)

テスト工程の生産性を向上する為には、テスト指向の新しい設計アーキテクチャが必要となる。つまり、組み込み自己テスト技術や組み込み自己修復技術が、埋込み DRAM や埋込みフラッシュメモリをテストする為の基本技術となる。これは、生産処理能力や歩留りを一定水準に確保する必要性

からも不可欠な技術となってくる。但し、フラッシュメモリのためのテストアルゴリズムは、今後も、read-disturb、program-disturb、erase-disturb を基本としており、埋込み DRAM のテストアルゴリズムは、今後も、全テストデータの組み合わせを考慮した march テストが基本であることに変わりがない。

多数個同測テストは今後も、不可欠となる。2001 年以降、デバイスを 2 パス方式でテストする方が、ロジックブロックも埋込みメモリブロックもロジック・テストでテストする 1 パス方式のよりも、より経済的であると考えられている。2 パス方式では、メモリ・テストを用いて埋込みフラッシュメモリや DRAM のテストを行うと共にリペア処理も行い、ロジック・ブロックはロジック・テストでテストするものである。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm
Embedded DRAM size (Mbits): R & D	64		128		256		512
Mass Production	32		64		128		256
Failure concerns	Particle defects; data retention		Particle defects; array noise; data retention		Particle defects; array noise; sense-amp imbalance		Particle defects; array noise; sense-amp imbalance
Wafer level test	Single insertion		Double insertion		Double insertion		Double insertion
Usage of on-chip test	50% BIST 50% BISR		100% BIST 100% BISR		100% BIST 100% BISR		100% BIST 100% BISR

表 24a 埋込み DRAM テスト必要条件-短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Embedded DRAM size (Gbits): R & D	1	2	4
Mass Production	0.512	1	2
Failure concerns	Particle defects; array noise; sense-amp imbalance	Particle defects; array noise; sense-amp imbalance	Particle defects; array noise; sense-amp imbalance
Wafer level test	Inline defect detection; double insertion	Inline defect detection; double insertion	Inline defect detection; double insertion
Usage of on-chip test	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR

Number of bits in mass production is approximately 50% of number of bits in R&D

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

表 24b 埋込み DRAM テスト必要条件-長期

YEAR TECHNOLOGY NODE	1999 180 NM	2000	2001	2002 130 NM	2003	2004	2005 100 NM
Embedded Flash size (Mbits): R & D	4		16		32		64
Mass Production	2		4		16		32
Embedded mixed memory size (Mbits): Flash	0.256		1		4		16
DRAM	1		4		16		32
Failure concerns	Oxide defects; # of erase cycles		Oxide defects; ONO scaling		Oxide defects; ONO scaling; over erase		Oxide defects; ONO scaling; over erase
Wafer level test	Single insertion		Single insertion		Double insertion		Double insertion
Usage of on-chip test	50% BIST 50% BISR		100% BIST 100% BISR		100% BIST 100% BISR		100% BIST 100% BISR

表 25a 埋込みフラッシュ・メモリテスト必要条件-短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm
Embedded Flash size (Mbits): R & D	128	256	512
Mass Production	64	64	128
Embedded mixed memory size (Mbits): Flash	32	64	128
DRAM	32	64	128
Failure concerns	Oxide defects; ONO scaling; sense-amp imbalance	Oxide defects; ONO scaling; sense-amp imbalance	Oxide defects; ONO scaling; sense-amp imbalance
Wafer level test	Inline defect detection; double insertion	Inline defect detection; double insertion	Inline defect detection; double insertion
Usage of on-chip test	100% BIST 100% BISR	100% BIST 100% BISR	100% BIST 100% BISR

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 25b 埋込みフラッシュ・メモリテスト必要条件-長期

6-3-15 DFT で設計されたテスト装置のための装置

この章は、DFT で設計された IC をテストするための低価格 ATE を記述する。これにより、非 DFT シナリオによって予測される ATE の拡大しているコストを避ける。DFT-BIST デバイスに関する技術必要条件をチェックするには、表 26 を参照する。テストがフル・ピン、at-speed の機能テスト・ルートを続けるならば、コストは 2014 年までにテストにつき 2000 万ドルを上回る。同じように、固定帯域幅テスト/デバイス・インタフェースに沿う形で必要となるパターンの増加のために、これらの非常に高価なテストのテスト時間は時間/デバイスに近づく。いくつかのデバイス・メーカは現在利用可能な技術についてほんの 200 ドル/ピンに近づいている ATE コストで DFT 方法論を開発した。これらの方法論は、パラメトリック・テストに合わせて、多ピン部をテストすることを要求される ATE フル機能ピンの数を減らすためにスキャン/バウンダリスキャン手法を利用する。フル機能ピンは 64 個だけである場合がある。これにより、他の全てのピンだけについてパラメトリック機能に引き下げられる ATE 設計を可能にする。これも、パラレルテストのための必要条件を平易にし、実効テストコストの更なる低減を可能にする。

今日の技術によるこの図の更なる複雑性は埋込み DRAM、ミックスシグナル・アプリケーション、FPCA および不揮発性記憶装置の追加を含む。

表エントリ説明

業界が「購入可能」パターン・アプリケーション・ボリュームに近づき、ロジック BIST の「伸びが止まる」につれ、スキャン・チェーンおよびスキャン・ベクトルは後の年になって平らになる。スキャンによる高故障検出効率のため、スキャン・チェーン・タイム・ベクトルの製品はマイクロプロセッサ表 19 示す信号通信チャネルタイム・ベクトルより小さい。スキャン・テストをサポートする多くの ATPG ツールが利用できる。

- 非スキャンピン — 一般に DUT 上におけるバウンダリ分離の制御、デジタル部のスキャンおよびクロッキング、そして非スキャンテスト素子の制御およびテストに対応する。これは、DUT の非スキャンテスト部の複雑性増加ならびに、ある程度までスキャンテスト部の複雑性増加に応じて、時間軸上で増加することを示す。
- 総フル機能ピン — 典型的な ATE デジタル・ピンと機能的に等価なピン。これは DUT の内部をテストするのに必要なトータルピン・セットである。
- 総「削減機能」 — これは DUT のバウンダリスキャン・チェーンより外側をテストするのに要求されるピンのセットである。機能は典型的な ATE DC パラメトリック機能である。これらのピンは DUT フル機能ピン以外のピンの上でパラメトリック検証や接触テストを行うために、あるレベルのテストで要求される。後年の多ピン化による複雑化とコストは、これらの種類のテストをオンチップで行うための DFT の実現に関する経済性を推し進める。
- パラレルサイト — パラレルテストは、優れたテスト・コスト低減方法である。フル機能ピンだけにコンタクトする必要がある場合（例えばウェーハテスト）には、高並列性（8-32）は簡単に実現可能である（今日の DRAM が典型）。デバイスにつき利用できる総フル機能ピン数および、パラレルにテストする DUT の数の間でトレードオフを行える。削減機能ピンが必要な場合、並列性のより小さいレベルは必要であり、再び、デバイスで利用可能な最大削減機能ピンの数および、パラレルにテストできるデバイスの数の間でトレードオフを行える。
- ベースデータレート — これはスキャン速度によって本質的に制御される。高いオンチップ速度は高速クロック機能や、構造的な AC テストや、オンチップ・クロック生成を使用して達成される。
- 高速度クロック — これは、DUT 内部の速度で内部機能/ロジック BIST (logic BIST:LBIST) パターンを実行する目的で、マシン残りの部分より非常に高い周波数が可能な 2、3 のピンである。これらは、DUT 内部の AC パス遅延測定をするために、高周波でバーストでき、他の高速クロックピンと比べて低いスキューを持つこともまた要求される。相対スキュー/バースト周波数は、これらの条件を強調するために、最大チップ周波数の高端にある。これらの機能は、これらの条件を強調するために、ロードマップ・クロッキング周波数より高い必要がある。ATE/ DUT インタフェースの周波数/精度限界により、これらの機能は後の年に不適當になり、オンチップの DFT 支援を必要とする。
- ミックスシグナル機能 — デバイスがミックスシグナル情報を取得するようになると、この機能が必要となる場合がある。伝統的にミックスシグナル手法を通してテストされるある種の回路は、ミックスシ

グナル機能および性能ボード開発費の付加コストを避けるために、DC テストによって生産テストされる。オンチップのアナログ部分が増えるにつれ、特に少量生産 ASIC 市場の経済性のためには、ATE コスト、複数アナログ機能の直列化テストのコストおよび、ミックスシグナル・テストの長い開発時間を避けるように、経済性がミックスシグナル用 DFT を推し進める。

設計 DFT 必要条件

- ロジック BIST — 将来デジタル部が次第に大きくなるにつれ、要求された品質（低価格 ATE を使用した場合であっても）に必要な「高」故障検出率を維持するには ATE から与える外部入力パターン（スキャンまたは他）のコストがテスト時間の観点（テストタイム= \$\$）から高くなりすぎる。テストと DUT 間の帯域幅ボトルネックを解決するためにはロジック BIST の開発が必要であり、ロジック BIST による故障検出率をより高くすることが必要である。テスト時間の問題は DUT の非デジタル部分の増加により一層顕著化する。
- SRAM および DRAM BIST — SRAM および DRAM BIST は ATE コストの増分およびこれらの機能をオンチップで実現するコストの増分との間のトレードオフとなる。考慮すべき点は、最終的なアプリケーションにおける使用、到達できる性能、テストと DUT 間の帯域幅制限である。
- ノンコンタクト・パラメトリック — ピン数が上昇するにつれ、バウンダリスキャンの外側回路にパラメトリック・テストを適用するコストは増加する。経済性の面において「ノンコンタクト・パラメトリック」のための DFT が ATE コストおよび KGD の見地の両方から採用される。
- クロッキング DFT — パフォーマンスボードおよびピンコンタクトの制約を考えると、 $10 \cdot 30$ [ps] のジッター値で $700 \cdot 900$ [MHz] のクロックを供給することは高価で問題点が多い。パフォーマンスボード設計（DUT の性能を左右する重要な要因であるかも知れない）との絡みがあるので ATE 側でクロストークおよびグランドバウンシングによるジッターを考慮できない。周波数逡倍によるオンチップ・クロック生成は ATE とのインタフェースがチップ性能を制限するのを妨げるために必要となる場合が多いが、ATE からの低ジッタ・クロック入力は依然必要である。

YEAR TECHNOLOGY NODE	1999 180 nm	2000	2001	2002 130 nm	2003	2004	2005 100 nm	DRIVER
<i>DFT/BIST ATE Characteristics</i>								
Scan chains (chains) (See text for comment on number)	16–64	16–64	24–64	24–64	32–92	32–92	32–128	Logic Density
Scan vectors (M-Vectors) (3 bits/ vector minimum) at maximum width	4–16	4–16	8–32	8–32	8–32	8–64	8–64	Logic Density
DFT Required to Cap test application time “Logic BIST”			Logic BIST to 90%	Logic BIST to 93%	Logic BIST to 95%	Logic BIST to 98%	Logic BIST to 99%	Test Time
DFT Required to prevent addition of APG into ATE “SRAM + DRAM BIST”	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Cost
Vector rate (MHz)	50–100	100–200	100–200	100–200	100–200	200	200	Test Time
Nonscan pin vectors (M-Vectors)	4–8	4–16	4–16	4–16	4–16	8–24	8–24	Logic Density
Total “full function” pincount [Scan+nonscan per socket (pins)]	64–128	64–128	64–256	64–256	64–256	64–256	64–256	Test Time
System base data rate (MHz)	100–200	100–200	200	200	200	200	200	Test Time
Number of parallel sites (sites)	2–4	4–16	4–16	4–16	4–16	4–16	8–32	Cost
<i>Specialized Functions</i>								
Total “reduced function” pincount *	512–1000	512–1200	512–1350	512–1500	512–1700	512–1850	512–2000	I/O Density
DFT for noncontact parametrics	No	No	Maybe	Maybe	Maybe	Maybe	Yes	Cost
High speed clock pins (differential pairs)	1	2	2	4	4	4	4	Clock Domains
ATE high speed clock frequency (MHz)	800	1000	1600	2000	2500	3200	4000	On-chip Clock Rate
ATE high speed clock [Accuracy+skew (ps)]	100	75	50	40	30	25	20	On-chip Clock Rate
ATE high speed clock jitter (ps peak-to-peak)	50	30	25	20	15	12	10	On-chip Clock Rate
High speed clock burst number of pulses	4	5	5	6	6	10	10	Sequential Depth
High speed clock burst maximum frequency (MHz)	800	1000	1600	2000	2500	3200	4000	On-chip Clock Rate
DFT Required for clocks	No	Maybe	Maybe	Maybe	Yes	Yes	Yes	Cost
Signature compression per pin	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Test Methods
Mixed-signal audio pin pairs	1	2	2	2	2	2	2	SoC
Mixed-signal video pin pairs	1	1	1	2	2	2	2	SoC
Mixed-signal RF pin pairs	—	1	1	2	2	2	2	SoC
DFT to aid ATE in meeting mixed-signal requirements and/or decrease cost	—	Maybe	Maybe	Yes	Yes	Yes	Yes	Cost

* Without high-frequency serial communications

Solutions Exist ☐

Solutions Being Pursued ☐

No Known Solutions ☐

表 26a DFT-BIST デバイス・テスト必要条件-短期

YEAR TECHNOLOGY NODE	2008 70 nm	2011 50 nm	2014 35 nm	DRIVER
DFT required to cap test application time "Logic BIST"	Yes	Yes	Yes	Test Time/Cost
Total "reduced function" pincount *	512-2400	512-3000	512-4000	I/O
DFT for noncontact parametrics	Yes	Yes	Yes	Cost
ATE high speed clock frequency (MHz)	7000	12000	18000	On-chip Clock Rate
ATE high speed clock [Accuracy + skew (ps)]	12	8	4	On-chip Clock Rate
ATE high speed clock jitter (ps peak-to-peak)	4	2	1	On-chip Clock Rate
High speed clock burst (number of pulses)	10	10	10	Sequential Depth
High speed clock burst maximum frequency (MHz)	7000	12000	18000	On-chip Clock Rate
DFT Required for Clocks	Yes	Yes	Yes	Cost
Mixed-signal video pin pairs	2	2	2	SoC
Mixed-signal RF pin pairs	2	2	2	SoC
DFT Required to aid ATE in meeting mixed-signal and/or decrease cost	Yes	Yes	Yes	Cost

* Without high-frequency serial communications

Solutions Exist 

Solutions Being Pursued 

No Known Solutions 

表 26b DFT-BIST デバイス・テスト必要条件-長期

6-4 解決策候補

ピン数、周波数、ロジック・ゲート数および SOC デバイスへのアナログおよびメモリの導入が着実に増えているので、主要なテスト問題は全てのテスト領域に現れている。ATE メーカーはこれらのチャレンジを解決するために装置を提供するのに苦労している。テスト章の始めに述べた通り、ATE コストは 2000 万ドルに近づいており、そして、周波数が 1GHz を越えるにつれテスト精度がテスト周期の 5% で維持できないので、ウェーハ歩留りは落ち始めている。

大部分のテストの表における共通のテーマは、IC の微細化に ATE 技術がついていくことができないとして示されている問題を避けるための、DFT と BIST へのニーズの増大である。1970 年代には、バイポーラ ECL 技術で製作された ATE は 5 μ CMOS 技術で組み立てられた検査対象デバイスより 1 桁高い周波数でテストができた。1999 年では、180nm の IC の オフチップデータレートがもっと高い周波数へ伸びるまでの間、ATE は 1Gbit/s で多ピンデバイスをテストするのに苦労している。

したがって、解決策候補は、デジタル、メモリおよびアナログ回路の新しい DFT および BIST テクニクを開発することを狙う研究開発の分野に存在する。現在の予測はこれらのソリューションが ATE 業界からよりむしろ学界から来るということである。前の SIA テスト・ロードマップは伝統的なフル機能 at-speed テスト装置が最終的に BIST に置き換わる時点を予測できなかった。したがって、以下の図 12 には、DFT および BIST が広範囲にわたって使用される、望ましい時点の提示を試みている。

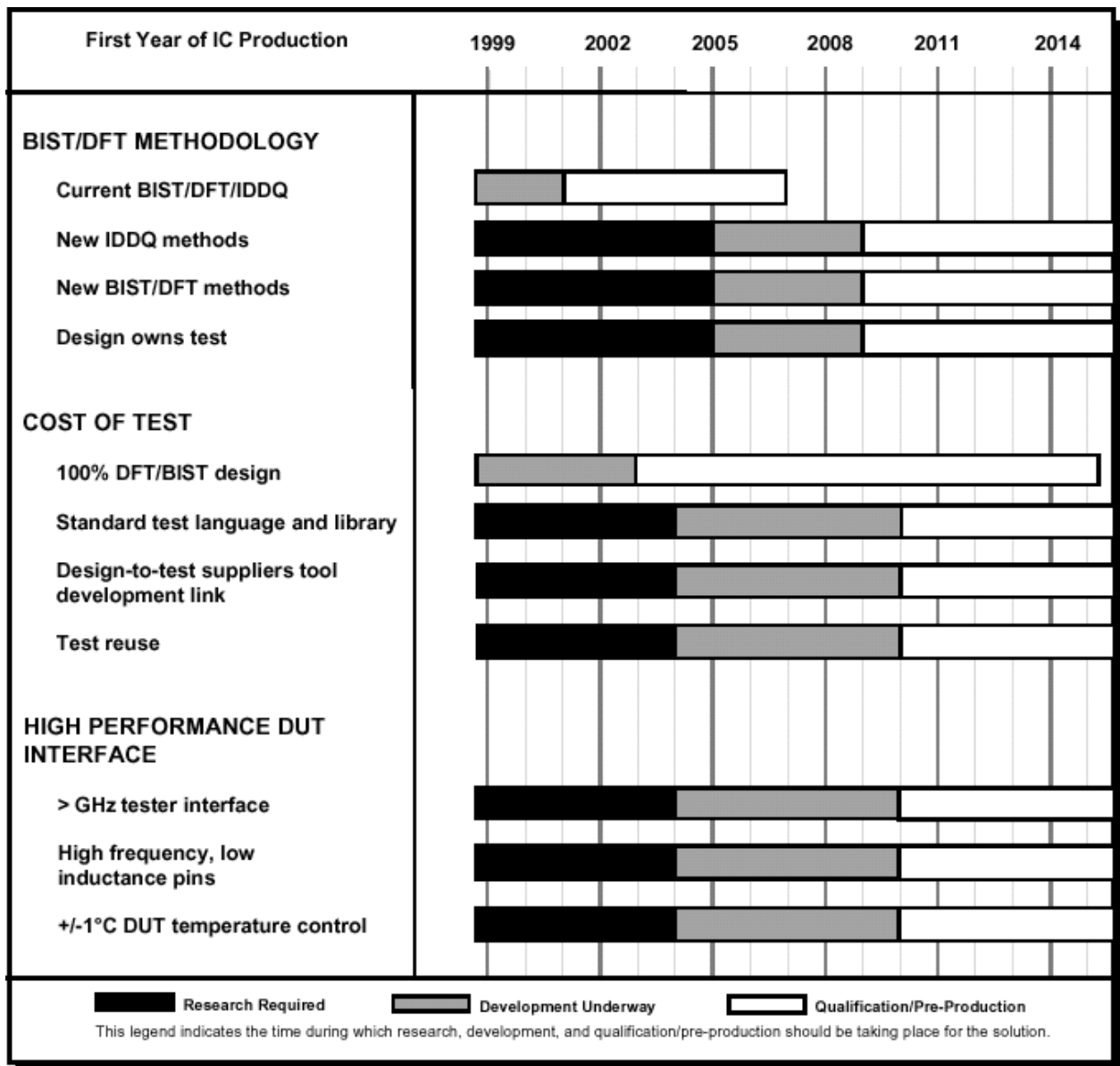


図 12 テスト解決策候補

