Standard of Electronic Industries Association of Japan

EIAJ ED-7311-11A

Standard of integrated circuits package (119/153pin P-BGA)

Established in March, 1998
Reviced in November, 1998

Prepared by
Technical Standardization Committee on Semiconductor Device Package

Published by
Electronic Industries Association of Japan

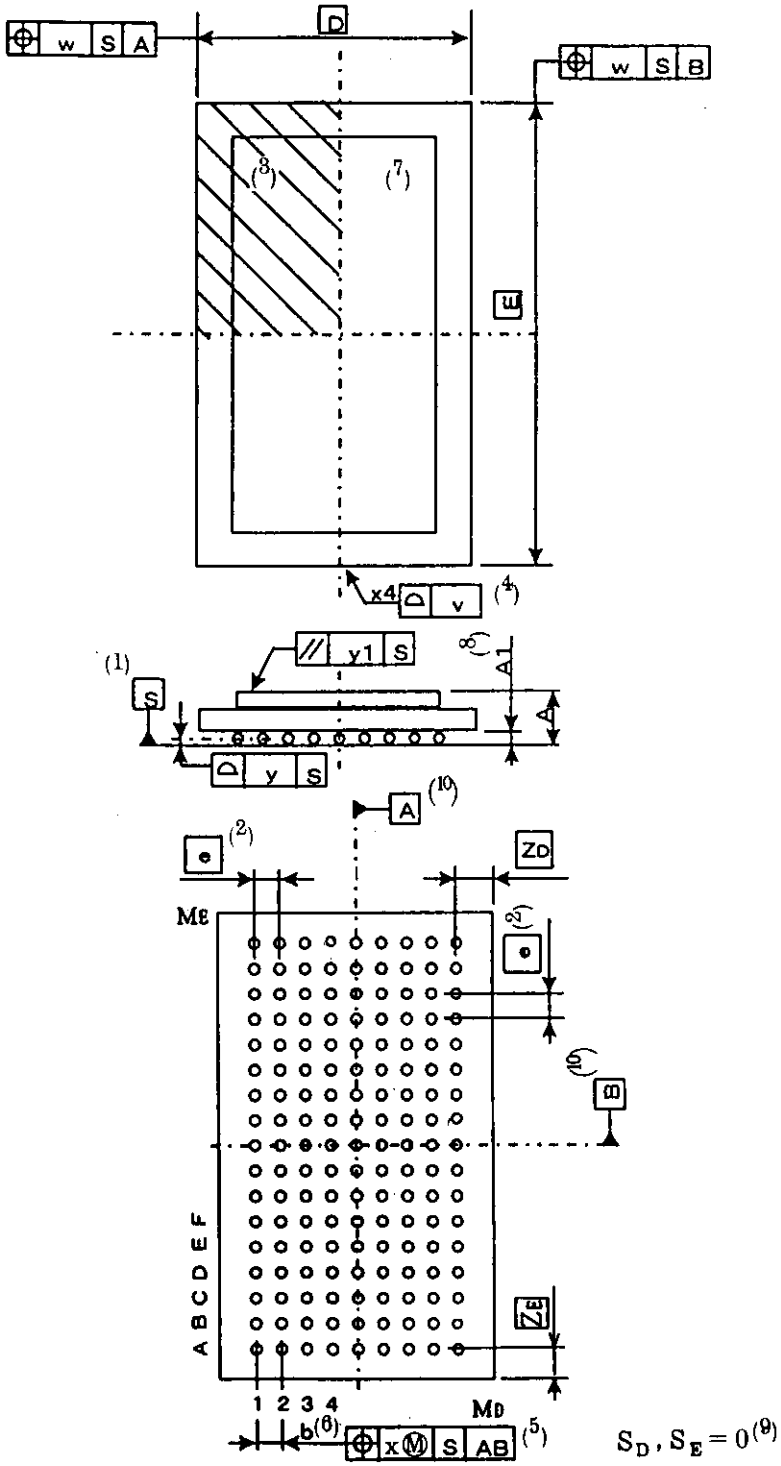
5-13, Nishi-shinbashi 1-chome, Minato-ku, Tokyo 105-0003, Japan
Printed in Japan

照合文字と図面

Reference symbol and schematics

図1

Figure 1



	EIAJ STANDARD PACKAGE OUTLINE DRAWING	DATE 97-10-31	SHEET 1 / 6
PACKAGE NAME P-BGA		EIAJ REGISTRATION NO. IC-0000-001	

注：

（1）取り付け面を示す。取り付け面とは、パッケージを取り付ける面に対して、パッケージが接触し合う面である。

（2）端子の幾何学的な位置を規定する。

（3）インデックスマークの許容位置を示す。インデックスマークは、斜線部の領域内にその面積のすべてが包含されていなければならない。

（4）面の輪郭度公差は、基板の4つの側面に適用する。

（5）位置度公差は、全ての端子に適用する。

（6）端子径は取り付け面から垂直に投影視したときの最大径で規定する。

（7）リッドを示す。リッドはモールド樹脂、エポキシ樹脂、金属、セラミックまたはその他の材料からなり、パッケージ表面に対し平坦な場合や凸形状、凹形状の場合がある。

（8）第1スタンドオフ高さを示す。第1スタンドオフ高さは、取り付け面に最も近い基板又はテープまでの距離とする。

（9）SD、SEは、A、Bで規定されるデータムラインに対し、最も近い位置に配列される端子の位置を規定する。

（10）データムA、Bは幾何学的真の端子位置と実際の端子位置のズレが最小となるよう最小2乗法で求めた座標軸とする。

Notes：

（1）Indicates seating plane. Seating plane is defined by the plane that the carrier contacts to the its mount surface.

（2）Stipulates true geometric position of the terminals.

（3）Indicates positional tolerance of the index mark. Index mark should be completely within the shaded area.

（4）Bilateral tolerance are applied to four sides of the package body.

（5）The positional tolerance zone is applied to all terminals.

（6）Terminal diameter is the maximum terminal profile when the package is projected vertically from the seating plane.

（7）Indicates lid. Lid may consist of molding compound, epoxy, metal, ceramic or other within package body.

（8）Indicates Number 1 Stand-off height. It is defined as the distance from the seating plane to lowest point on the bottom surface of the substrate or tape carrier.

（9）SD and SE are stipulated the position of the closest terminal with respect to datum lines A and B .

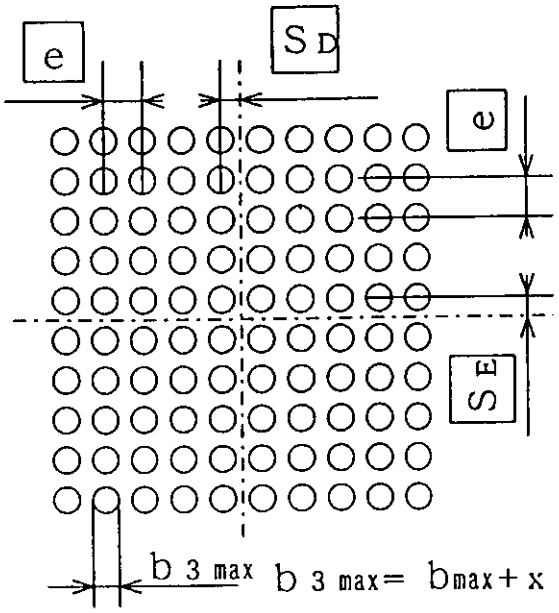
（10）Datum A and B are the axes defined by the least square means of the differences of true geometric terminal position and actual terminal position that is minimum.

	EIAJ STANDARD PACKAGE OUTLINE DRAWING	DATE 97-10-31	SHEET 2 / 6
PACKAGE NAME P-BGA		EIAJ REGISTRATION NO. IC-0000-001	

備考　端子存在範囲: フットパターン設計の参考資料となるよう、端子の存在しうる範囲を図２に示す。

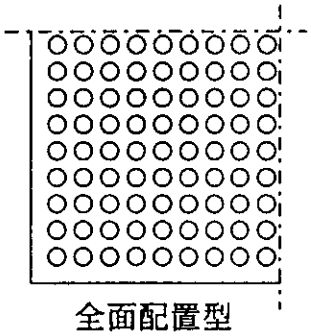
Appendix-Terminal Zones : As foot circuit pattern design reference, the zone that the terminals can be positioned are shown in Figure 2.

図2
Figure 2



	EIAJ STANDARD PACKAGE OUTLINE DRAWING	DATE 97-10-31	SHEET 3 / 6
PACKAGE NAME P-BGA		EIAJ REGISTRATION NO. IC-0000-001	

端子配置の定義: 図は左下側をインデックスコーナーとする。
Definition of terminal positions：The left bottom of a figure is index corner.



全面配置型
Full array

	EIAJ STANDARD PACKAGE OUTLINE DRAWING	DATE 97-10-31	SHEET 4 / 6
PACKAGE NAME P-BGA		EIAJ REGISTRATION NO. IC-0000-001	

整理番号 Serial Number		AA			AB		
外形タイプ External Type		P-BGA0119-1422-1.27			P-BGA0153-1422-1.27		
照合文字 Reference Symbol		min	nom	max	min	nom	max
グループ1 Group1	D		14.0			14.0	
	E		22.0			22.0	
	v			0.20			0.20
	w			0.30			0.30
	A	1.80	2.15	2.50	1.80	2.15	2.50
	A1	0.50	0.60	0.70	0.50	0.60	0.70
	A4	－			－		
	e		1.27			1.27	
	b	0.60	0.75	0.90	0.60	0.75	0.90
	x			0.15			0.15
	y			0.20			0.20
	y1			0.35			0.35
	SD		0			0	
	SE		0			0	
	n		119			153	
	MD		7			9	
	ME		17			17	
	Ball layout 端子配置	Full array 全面配置			Full array 全面配置		
グループ2 Group2	ZD		0.840			0.840	
	ZE		3.190			1.920	

登録一覧表

REGISTRATION TABLE
パッケージ名称：P－FBGA
Package Name：P－FBGA
登録番号：IC－0000－001
Pegistration No. ：IC－0000－001

呼び寸法 E×D Nominal Dimension E×D	端子直線間隔 e Terminal pitch e
	1.27
22×14	119-001-AA
22×14	153-001-AB

注）表中の数値は「(端子数n)－(連番)－(整理番号)」を示す。
NOTE: The numbers in the table indicate
(Terminal count n) – (Consecutive number) – (Serial number)

	EIAJ STANDARD PACKAGE OUTLINE DRAWING	DATE 97-07-23	SHEET 6 / 6
PACKAGE NAME P-FBGA		EIAJ REGISTRATION NO. IC-0000-001	

REVIEW COMMITTEE MEMBERS The standard was mainly reviewed by the Subcommittee on Area Array Package of Technical Standardization Committee on Semiconductor Device Package of which members are as follows.

Chief Examineter	Kenji Masumoto	Texas Instruments Japan Ltd.
Vice Examineter	Katsuyuki Tarui	Sharp Corp.
	Miwa Monma	NEC Corp.
Member	Hirotaka Ueda	Anan Japan
	Yohko Mashimoto	LSI Logic Japan Semiconductor Ltd.
	Hisao Ohshima	Enplas Corp.
	Sigeru Yamada	OKI Electric Industry Co.,Ltd.
	Shigeto Yamada	Kyocera Corp.
	Eiji Mizutani	Komatu Ltd.
	Hideyuki Iwamura	Sanyo Electric Co.,Ltd.
	Kiyoshi Shimizu	Citizen Watch Co.,Ltd.
	Jun Araki	Sumitomo Metal Electrodevice
	Hideto Odagiri	Sumitomo 3M ,Ltd.
	Mutumi Nagano	Sony Corp.
	Hideo Taguchi	Toshiba Corp.
	Tomoaki Takubo	Toshiba Corp.
	Hitoshi Saga	IBM Japan, Ltd.
	Chinghoa Wu	Samsung Electronics Japan Co.,Ltd.
	Yushi Matsuda	Nippon Motorola Ltd.
	Masahiro Ichitani	Hitachi, Ltd.
	Fumitaka Kashiwabara	Hitachi Cable, Ltd.
	Mitsutaka Sato	Fujitsu Ltd.
	Tomohiro Tamaki	Matsushita Electronic Corp.
	Yoshihiro Tomita	Mitubishi Electric Corp.
	Masahiko Hukuoka	Yasunaga Corp.
	Syunji Abe	Ymaichi Electronics Corp.
	Tadahiro Morifuji	Rohm Co.,Ltd
Special Member	Ken Tamura	Shin-Etsu Polymer Co.,Ltd.