

# JEITA

電子情報技術産業協会技術レポート

Technical Report of Japan Electronics and Information Technology Industries Association

**JEITA EDR-7316B**

集積回路パッケージデザインガイド  
ファインピッチ・ボールグリッドアレイ/  
ファインピッチ・ランドグリッドアレイ

Design guideline of integrated circuits for Fine-pitch Ball

Grid Array and Fine-pitch Land Grid Array

(FBGA / FLGA)

2006年3月制定

作成

半導体パッケージ標準化委員会

Technical Standardization Committee on Semiconductor Device Package

発行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

# 目次

	ページ
まえがき .....	1
1. 適用範囲 .....	1
2. 引用規格及び文章 .....	1
3. 用語の定義 .....	1
4. パッケージの定義 .....	1
4.1 FBGA , FLGA の定義 .....	1
4.2 構造の定義 .....	2
5. 端子番号の付け方 .....	2
6. パッケージ長さとおッケージ幅の定義 .....	2
7. 呼び寸法 .....	2
8. 端子直線間隔とおッケージタイプの適用範囲 .....	2
9. 照合文字と図面 .....	3
9.1 FBGA 外形図 .....	3
9.2 FLGA 外形図 .....	4
10. 外形寸法 .....	6
10.1 グループ1 .....	6
10.2 グループ2 .....	10
11. 個別規格登録 .....	18
解説 .....	19

電子情報技術産業協会技術レポート

**集積回路パッケージデザインガイド**  
**ファインピッチ・ボールグリッドアレイ /**  
**ファインピッチ・ランドグリッドアレイ**  
**Design guideline of integrated circuits**  
**for Fine-pitch Ball Grid Array and Fine-pitch Land Grid Array**  
**(FBGA / FLGA)**

**まえがき** 近年の電子機器の小形化，高機能化及び高性能化に対応して，このデザインガイドでは，BGA及びLGAパッケージのうち，それを狭ピッチ化して小形化したFBGA及びFLGAパッケージの外形寸法の標準化を図ることを目的としている。また，狭ピッチ化に伴いウエハレベルCSPについてもFBGA及びFLGAパッケージの一形態と位置付け，外形寸法の標準化を図る。

各寸法値の規定に当たっては，設計標準値をできる限り示し，標準化指標としての役割を高めることを目指している。

**1. 適用範囲** このデザインガイドは，EIAJ ED-7300でFORM-Dとして分類されるパッケージのボールグリッドアレイ及びランドグリッドアレイ(以下，それぞれBGA，LGAという。)のうち，端子直線間隔が0.80mm以下であるファインピッチBGA及びファインピッチLGAの全てのパッケージ構造及び材料のタイプに共通する外形図及び寸法について規定する。

**2. 引用規格及び文章**

- EIAJ ED-7300 半導体パッケージの外形規格作成に関する基本事項
- EIAJ ED-7302 集積回路パッケージデザインガイド作成マニュアル
- EIAJ ED-7303 集積回路パッケージの名称及びコード

**3. 用語の定義** このデザインガイドで用いる主な用語の定義は，4.，6.及びEIAJ ED-7300によるほか，新規の用語については本体中の定義による。

**4. パッケージの定義**

**4.1 FBGA，FLGAの定義** プリント配線基板に表面実装できるように，パッケージ本体のベース面に金属ボール，金属バンパ―又は金属ランドを一定の間隔で格子状に並べて外部端子としたパッケージのうち，端子直線間隔が0.80mm以下，かつ，外部端子が0.1mmを超える金属ボールのパッケージをFBGA，端子直線間隔が0.80mm以下，かつ外部端子が0.10mm以下の高さの金属バンパ―又は金属ランドのパッケージをFLGAとする。

4.2 構造の定義

- 1) フランジ・タイプ(Flanged Type) パッケージ外形(パッケージ長さ, 幅)寸法が, そのパッケージに搭載するチップの周囲部分を構成するパッケージの部位によって決まる外形のタイプ。
- 2) アルチップサイズ・タイプ(Type of Real Chip Size) パッケージ外形(パッケージ長さ, 幅)寸法が, そのパッケージに搭載するチップ外形によって決まる外形のタイプ。即ち, チップサイズが変更された場合, パッケージ外形寸法が変化するタイプのパッケージを指す。
- 3) ウエハレベル CSP(Wafer Level CSP) リアルチップサイズ・タイプのうち, ウエハ状態で再配線を施し, エリアレイ状に端子を配置した FBGA 及び FLGA パッケージ。

5. 端子番号の付け方 端子番号の付け方は, パッケージ本体を取り付け下面からみて, インデックスを左下側に配置した状態で, インデックスコーナに最も近い水平列を A 列とし, 上方に遠ざかるに従って, B, C, ...AA, AB...とする。また, インデックスコーナに最も近い垂直列を 1 列とし, 右方向に遠ざかるに従って, 2, 3, ...とする。端子番号はこれらを組み合わせ, A1, B1 のように表す。ただし, 水平列を表す文字として I, O, Q, S, X, Z は使用しない。

6. パッケージ長さ と パッケージ幅の定義 パッケージ本体を取付下面からみて, インデックスを左下側に配置した状態で, 垂直方向をパッケージ長さ(D), 水平方向をパッケージ幅(E)とする。また, パッケージ長さ と パッケージ幅の大小関係は定義しない。

7. 呼び寸法 呼び寸法は, 10.1 による。

8. 端子直線間隔とパッケージタイプの適用範囲

パッケージタイプ	フランジタイプ						リアルチップサイズ(ウエハレベル CSP)							
	FBGA			FLGA			FBGA			FLGA				
材料	P	T	C	P	T	C	P	T	C	S	P	T	C	
ピ ッ チ	0.4~0.8													
	0.3									WLCSP				
	0.25									WLCSP				

9. 照合文字と図面

9.1 FBGA 外形図

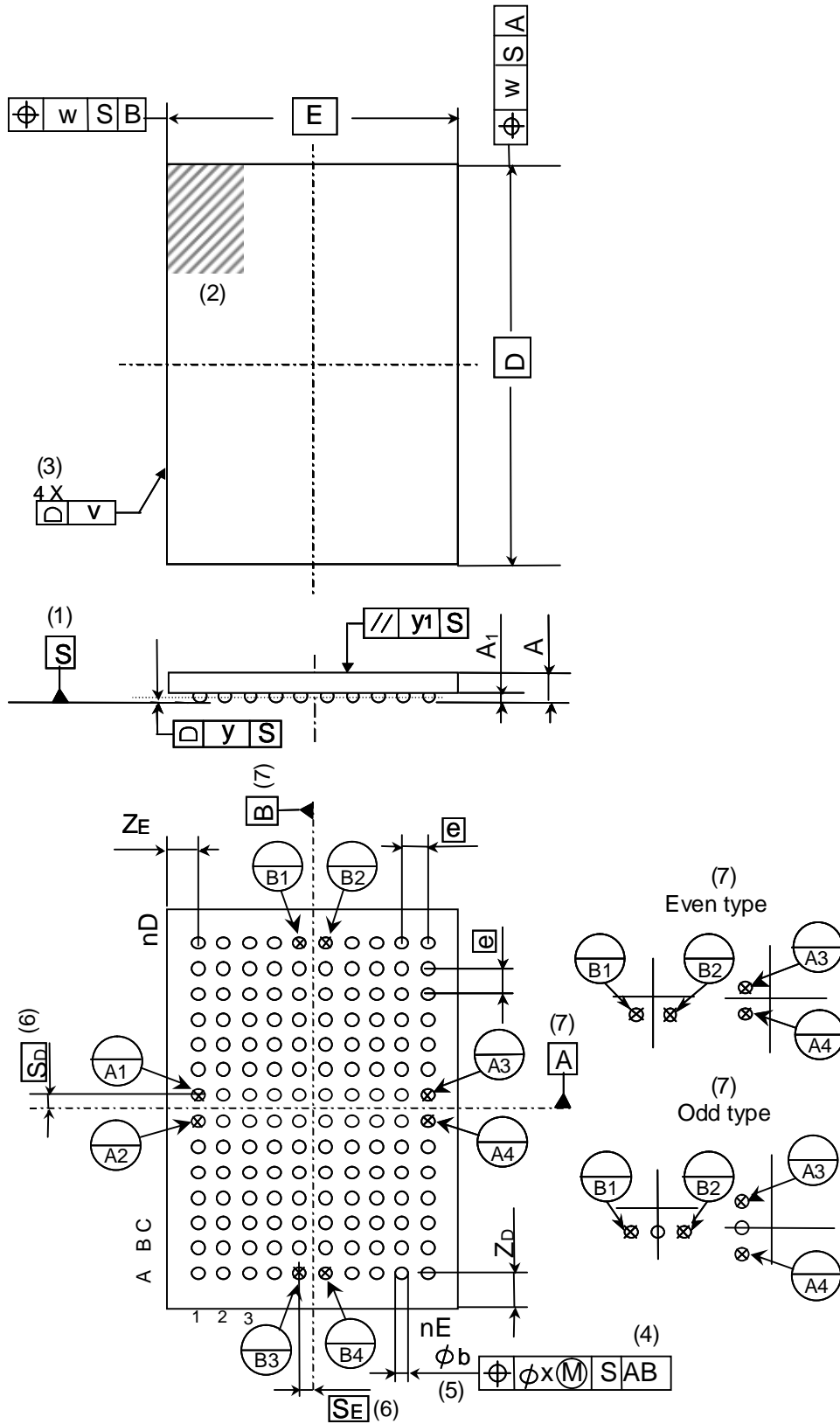


図 1

9.2 FLGA 外形图

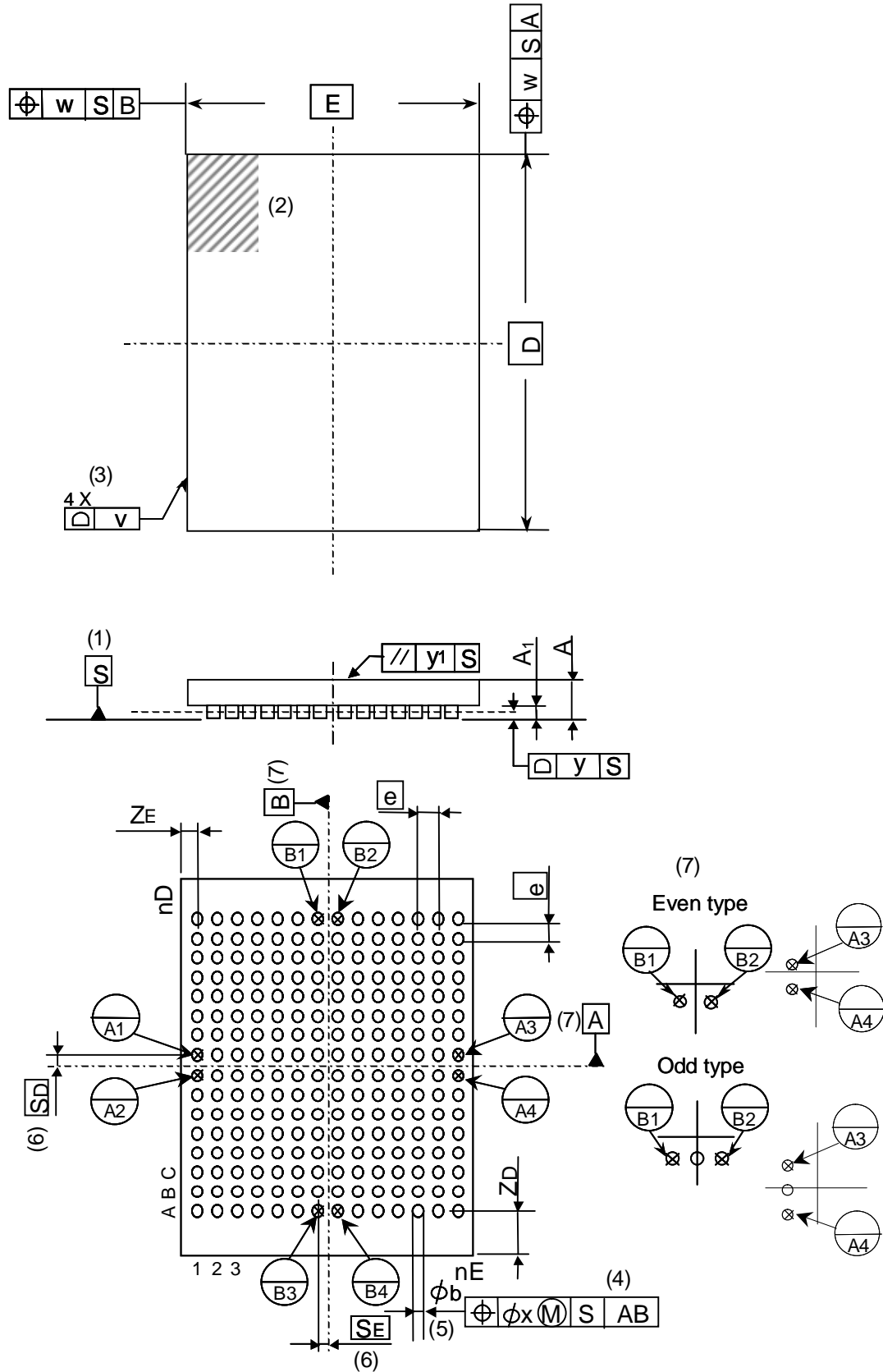


图 2

注<sup>(1)</sup> 取付面を示す。取付面とは、パッケージを取り付ける面に対して、パッケージが接触し合う面である。

注<sup>(2)</sup> インデックスマークの許容位置を示す。インデックスマークはA1 コーナーとし、IEC 規格に準拠し、ボディサイズ 1/16 を基本とし、ボディサイズが小さい場合でもパッケージ 1/4 より少ない面積の斜線部の領域内にその面積のすべてが包含されていなければならない。

注<sup>(3)</sup> パッケージ端の許容量である面の輪郭度公差(v)は、基板の4つの側面に適用する。

注<sup>(4)</sup> 端子の位置度公差(x)は、すべての端子に適用する。

注<sup>(5)</sup> 端子径(b)は取付面から垂直に投影視したときの最大径で規定する。

注<sup>(6)</sup>  $S_D$   $S_E$  は、A、Bで規定されるデータムラインに対し、最も近い位置に配列される端子の位置を規定する。

注<sup>(7)</sup> データム A、B の規定については解説にて述べる。

注<sup>(8)</sup> A1、A2、A3、A4、B1、B2、B3、B4 は、データムを決める端子を表す。

備考 端子存在範囲(TERMINAL LAND AREA) 端子の存在しうる範囲を図3に示す。

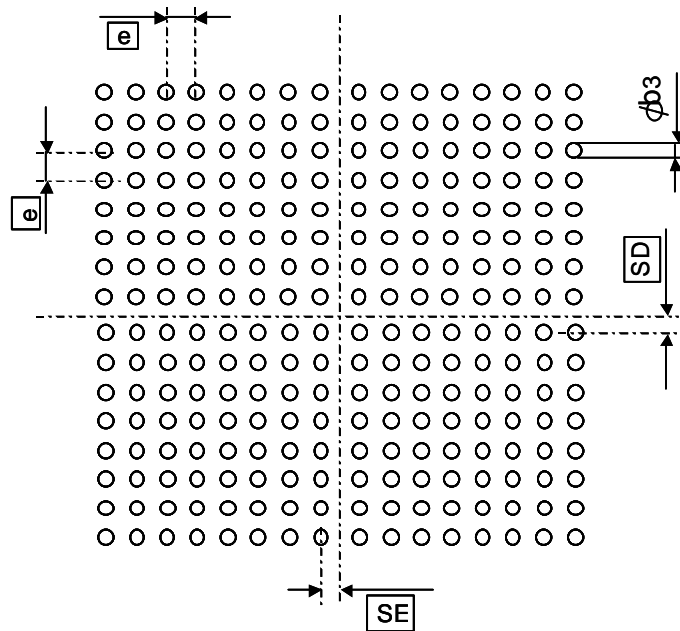


図3

10. 外形寸法

10.1 グループ1

表1

単位 mm

呼称	照合文字	規 定	推奨値	補足事項
呼び寸法	E × D	<p>(1) フランジタイプ パッケージ幅 E とパッケージ長さ D の小数点以下 1 桁の組合せを呼び寸法とする。</p> <p>(2) リアルチップサイズタイプ パッケージ幅 E とパッケージ長さ D の小数点以下 2 桁までの組合せを呼び寸法とする。</p>	-	-
パッケージ長さ	D	<p>(1) フランジタイプ パッケージ長さ <math>D_{nom}</math> 最小 1.5, 最大 21.0 で, 0.5 刻みとする。 ただし, 外形が正方形タイプ (D=E) の場合に限 り, 14.5 までは 0.5 刻み, 15.0 以上は 1.0 刻みとする。</p> <p>(2) リアルチップサイズタイプ 小数点以下 2 桁までの寸法で表す。 パッケージ長さ <math>D_{nom}</math> 最小 0.50 最大 21.00</p>	-	リアルチップサイズ <sup>°</sup> の場合は理論値では無いため呼び寸法の囲いは省く表記となる。
パッケージ幅	E	<p>(1) フランジタイプ パッケージ幅 <math>E_{nom}</math> 最小 1.5, 最大 21.0 で, 0.5 刻みとする。 ただし, 外形が正方形タイプ (D=E) の場合に限 り, 14.5 までは 0.5 刻み, 15.0 以上は 1.0 刻みとする。</p> <p>(2) リアルチップサイズタイプ 小数点以下 2 桁までの寸法で表す。 パッケージ幅 <math>E_{nom}</math> 最小 0.50 最大 21.00</p>	-	リアルチップサイズ <sup>°</sup> の場合は理論値では無いため呼び寸法の囲いは省く表記となる。



表1 (つづき)

単位 mm

呼称	照合文字	規 定	推奨値	補足事項																																			
パッケージ 端の許容量	v	(1) フランジタイプ(FBGA, FLGA)に適用。 v=0.15 (2) リアルチップサイズタイプ(ウエハレベル CSP) に適用。 v=0.05	-	(1) バリを 含む。																																			
パッケージ の中心位置 の許容値	w	(1) フランジタイプ(FBGA, FLGA)に適用。 <table border="1" data-bbox="532 554 764 783"> <thead> <tr> <th>e</th> <th>w</th> </tr> </thead> <tbody> <tr> <td>0.80</td> <td>0.20</td> </tr> <tr> <td>0.65</td> <td>0.20</td> </tr> <tr> <td>0.50</td> <td>0.20</td> </tr> <tr> <td>0.40</td> <td>0.15</td> </tr> <tr> <td>0.30</td> <td>0.15</td> </tr> </tbody> </table> (2) リアルチップサイズタイプ(ウエハレベル CSP) に適用。 w=0.05	e	w	0.80	0.20	0.65	0.20	0.50	0.20	0.40	0.15	0.30	0.15	-	-																							
e	w																																						
0.80	0.20																																						
0.65	0.20																																						
0.50	0.20																																						
0.40	0.15																																						
0.30	0.15																																						
取り付け 高さ	A	<table border="1" data-bbox="550 980 730 1346"> <thead> <tr> <th>A<sub>max.</sub></th> </tr> </thead> <tbody> <tr><td>0.30</td></tr> <tr><td>0.40</td></tr> <tr><td>0.50</td></tr> <tr><td>0.65</td></tr> <tr><td>0.80</td></tr> <tr><td>1.00</td></tr> <tr><td>1.20</td></tr> <tr><td>1.70</td></tr> <tr><td>2.00</td></tr> </tbody> </table>	A <sub>max.</sub>	0.30	0.40	0.50	0.65	0.80	1.00	1.20	1.70	2.00	-	(1) ヒート スラグを含 む。 (2) パッケ ージの反り 及び傾きを 含む。																									
A <sub>max.</sub>																																							
0.30																																							
0.40																																							
0.50																																							
0.65																																							
0.80																																							
1.00																																							
1.20																																							
1.70																																							
2.00																																							
スタンドオ フ高さ	A <sub>1</sub>	(1) FBGA に適用。 <table border="1" data-bbox="509 1545 1024 1808"> <thead> <tr> <th>e</th> <th>b<sub>nom.</sub></th> <th>A<sub>1min.</sub></th> <th>A<sub>1nom.</sub></th> <th>A<sub>1max.</sub></th> </tr> </thead> <tbody> <tr> <td>0.80</td> <td>0.50</td> <td>0.35</td> <td>0.40</td> <td>0.45</td> </tr> <tr> <td></td> <td>0.45</td> <td>0.30</td> <td>0.35</td> <td>0.40</td> </tr> <tr> <td>0.65</td> <td>0.40</td> <td>0.28</td> <td>0.33</td> <td>0.38</td> </tr> <tr> <td>0.50</td> <td>0.30</td> <td>0.20</td> <td>0.25</td> <td>0.30</td> </tr> <tr> <td>0.40</td> <td>0.25</td> <td>0.15</td> <td>0.20</td> <td>0.25</td> </tr> <tr> <td>0.30</td> <td>0.20</td> <td>0.10</td> <td>0.15</td> <td>0.20</td> </tr> </tbody> </table> (2) FLGA に適用。 A <sub>1max.</sub> =0.10	e	b <sub>nom.</sub>	A <sub>1min.</sub>	A <sub>1nom.</sub>	A <sub>1max.</sub>	0.80	0.50	0.35	0.40	0.45		0.45	0.30	0.35	0.40	0.65	0.40	0.28	0.33	0.38	0.50	0.30	0.20	0.25	0.30	0.40	0.25	0.15	0.20	0.25	0.30	0.20	0.10	0.15	0.20	-	-
e	b <sub>nom.</sub>	A <sub>1min.</sub>	A <sub>1nom.</sub>	A <sub>1max.</sub>																																			
0.80	0.50	0.35	0.40	0.45																																			
	0.45	0.30	0.35	0.40																																			
0.65	0.40	0.28	0.33	0.38																																			
0.50	0.30	0.20	0.25	0.30																																			
0.40	0.25	0.15	0.20	0.25																																			
0.30	0.20	0.10	0.15	0.20																																			

表1 (つづき)

単位 mm

呼称	照合文字	規 定	推奨値	補足事項																																																																																								
端子直線間隔	e	e = 0.80 0.65 0.50 0.40 0.30 0.25	-	-																																																																																								
端子径	b	(1) FBGA に適用 <table border="1"> <thead> <tr> <th>e</th> <th>min.</th> <th>nom.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td>0.80</td> <td>0.45</td> <td>0.50</td> <td>0.55</td> </tr> <tr> <td></td> <td>0.40</td> <td>0.45</td> <td>0.50</td> </tr> <tr> <td>0.65</td> <td>0.35</td> <td>0.40</td> <td>0.45</td> </tr> <tr> <td>0.50</td> <td>0.25</td> <td>0.30</td> <td>0.35</td> </tr> <tr> <td>0.40</td> <td>0.20</td> <td>0.25</td> <td>0.30</td> </tr> <tr> <td>0.30</td> <td>0.17</td> <td>0.20</td> <td>0.23</td> </tr> </tbody> </table> (2) C-FLGA に適用 <table border="1"> <thead> <tr> <th>e</th> <th>Min.</th> <th>nom.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td>0.80</td> <td>0.45</td> <td>0.50</td> <td>0.55</td> </tr> <tr> <td>0.65</td> <td>0.35</td> <td>0.40</td> <td>0.45</td> </tr> <tr> <td>0.50</td> <td>0.25</td> <td>0.30</td> <td>0.35</td> </tr> <tr> <td>0.40</td> <td>0.20</td> <td>0.25</td> <td>0.30</td> </tr> </tbody> </table> (3) P-FLGA に適用 <table border="1"> <thead> <tr> <th>e</th> <th>min.</th> <th>nom.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td>0.80</td> <td>0.35</td> <td>0.40</td> <td>0.45</td> </tr> <tr> <td>0.65</td> <td>0.28</td> <td>0.33</td> <td>0.38</td> </tr> <tr> <td>0.50</td> <td>0.20</td> <td>0.25</td> <td>0.30</td> </tr> <tr> <td>0.40</td> <td>0.15</td> <td>0.20</td> <td>0.25</td> </tr> <tr> <td>0.30</td> <td>0.12</td> <td>0.15</td> <td>0.18</td> </tr> <tr> <td>0.25</td> <td>0.10</td> <td>0.13</td> <td>0.16</td> </tr> </tbody> </table>	e	min.	nom.	max.	0.80	0.45	0.50	0.55		0.40	0.45	0.50	0.65	0.35	0.40	0.45	0.50	0.25	0.30	0.35	0.40	0.20	0.25	0.30	0.30	0.17	0.20	0.23	e	Min.	nom.	max.	0.80	0.45	0.50	0.55	0.65	0.35	0.40	0.45	0.50	0.25	0.30	0.35	0.40	0.20	0.25	0.30	e	min.	nom.	max.	0.80	0.35	0.40	0.45	0.65	0.28	0.33	0.38	0.50	0.20	0.25	0.30	0.40	0.15	0.20	0.25	0.30	0.12	0.15	0.18	0.25	0.10	0.13	0.16	<table border="1"> <thead> <tr> <th>e</th> <th>b<sub>nom.</sub></th> </tr> </thead> <tbody> <tr> <td>0.80</td> <td>0.50</td> </tr> <tr> <td>0.65</td> <td>0.40</td> </tr> <tr> <td>0.50</td> <td>0.30</td> </tr> <tr> <td>0.40</td> <td>0.25</td> </tr> <tr> <td>0.30</td> <td>0.20</td> </tr> </tbody> </table>	e	b <sub>nom.</sub>	0.80	0.50	0.65	0.40	0.50	0.30	0.40	0.25	0.30	0.20	-
e	min.	nom.	max.																																																																																									
0.80	0.45	0.50	0.55																																																																																									
	0.40	0.45	0.50																																																																																									
0.65	0.35	0.40	0.45																																																																																									
0.50	0.25	0.30	0.35																																																																																									
0.40	0.20	0.25	0.30																																																																																									
0.30	0.17	0.20	0.23																																																																																									
e	Min.	nom.	max.																																																																																									
0.80	0.45	0.50	0.55																																																																																									
0.65	0.35	0.40	0.45																																																																																									
0.50	0.25	0.30	0.35																																																																																									
0.40	0.20	0.25	0.30																																																																																									
e	min.	nom.	max.																																																																																									
0.80	0.35	0.40	0.45																																																																																									
0.65	0.28	0.33	0.38																																																																																									
0.50	0.20	0.25	0.30																																																																																									
0.40	0.15	0.20	0.25																																																																																									
0.30	0.12	0.15	0.18																																																																																									
0.25	0.10	0.13	0.16																																																																																									
e	b <sub>nom.</sub>																																																																																											
0.80	0.50																																																																																											
0.65	0.40																																																																																											
0.50	0.30																																																																																											
0.40	0.25																																																																																											
0.30	0.20																																																																																											

表1 (つづき)

単位 mm

呼称	照合文字	規 定	推奨値	補足事項														
端子 中心位置 許容値	x	<table border="1"> <thead> <tr> <th>e</th> <th>x</th> </tr> </thead> <tbody> <tr><td>0.80</td><td>0.08</td></tr> <tr><td>0.65</td><td>0.08</td></tr> <tr><td>0.50</td><td>0.05</td></tr> <tr><td>0.40</td><td>0.05</td></tr> <tr><td>0.30</td><td>0.03</td></tr> <tr><td>0.25</td><td>0.03</td></tr> </tbody> </table>	e	x	0.80	0.08	0.65	0.08	0.50	0.05	0.40	0.05	0.30	0.03	0.25	0.03	-	-
e	x																	
0.80	0.08																	
0.65	0.08																	
0.50	0.05																	
0.40	0.05																	
0.30	0.03																	
0.25	0.03																	
端子最下面 の均一性	y	<table border="1"> <thead> <tr> <th>e</th> <th>y</th> </tr> </thead> <tbody> <tr><td>0.80</td><td>0.10</td></tr> <tr><td>0.65</td><td>0.10</td></tr> <tr><td>0.50</td><td>0.08</td></tr> <tr><td>0.40</td><td>0.08</td></tr> <tr><td>0.30</td><td>0.05</td></tr> <tr><td>0.25</td><td>0.05</td></tr> </tbody> </table>	e	y	0.80	0.10	0.65	0.10	0.50	0.08	0.40	0.08	0.30	0.05	0.25	0.05	-	-
e	y																	
0.80	0.10																	
0.65	0.10																	
0.50	0.08																	
0.40	0.08																	
0.30	0.05																	
0.25	0.05																	
パッケージ 上面の 平行度	$y_1$	$y_1 = 0.20$	-	-														
長さ方向の 中央端子 位置	$S_D$	$M_D$ が奇数の場合 $S_D = 0$ $M_D$ が偶数の場合 $S_D = e / 2$	-	-														
幅方向の 中央端子 位置	$S_E$	$M_E$ が奇数の場合 $S_E = 0$ $M_E$ が偶数の場合 $S_E = e / 2$																

表1 (つづき)

単位 mm

呼称	照合文字	規 定	推奨値	補足事項
端子配置		端子直線間隔 $e$ , マトリックス数 $M_D$ , $M_E$ , 及び中央端子位置 $S_D$ , $S_E$ で指定される端子位置に端子を配置する。	-	-
端子数	n	(1) FBGA/FLGA に適用 $n_{max.} = M_E max \times M_D max$ $M_E max - 1 \times M_D max$ $M_E max \times M_D max - 1$ $M_E max - 1 \times M_D max - 1$ 上記の最大マトリックス数を表3に規定する。  (2) FLGA だけに適用 $n_{max.} = M_E max + 1 \times M_D max$ $M_E max \times M_D max + 1$ $M_E max + 1 \times M_D max + 1$ 上記の最大マトリックス数を表3に規定する。  $M_D max ( \frac{D}{e} - b_{max-v-w-x-2} (E.C.) ) / e + 1$ $M_E max ( \frac{E}{e} - b_{max-v-w-x-2} (E.C.) ) / e + 1$ E.C. : Edge clearance(0.11mm)	-	表は, D , E 各辺 の考え方を 示し, $M_E \times M_D$ と してnを示 す。
長さ方向のマトリックス数	$M_D$			
幅方向のマトリックス数	$M_E$			

## 10.2 グループ2

表2

単位 mm

呼称	照合文字	規 定	推奨値	補足事項
長さ方向のオーバーハング	$Z_D$	$Z_D = \{ D_{nom.} - (M_D - 1) \times e \} / 2$	-	-
幅方向のオーバーハング	$Z_E$	$Z_E = \{ E_{nom.} - (M_E - 1) \times e \} / 2$	-	-
端子存在範囲における端子径	$b_3$	$b_3 = b_{max.} + x$	-	-

表3 D/E,  $M_D/M_E$ , の組合せ一覧表3 - 1  $e=0.80\text{mm}$  pitch FBGA/FLGA

D or E		$M_D \text{ max}$ 又は $M_E \text{ max}$	$M_D \text{ max}-1$ 又は $M_E \text{ max}-1$	$M_D \text{ max}+1$ or $M_E \text{ max}+1$ (FLGA だけに適用)
フランジ タイプ	リアルチップ サイズタイプ			
1.5	0.95 ~ 1.74	-	-	2
2.0	1.75 ~ 2.54	2	-	3
2.5				
3.0	2.55 ~ 3.34	3	2	4
3.5				
4.0	3.35 ~ 4.14	4	3	5
4.5	4.15 ~ 4.94	5	4	6
5.0				
5.5	4.95 ~ 5.74	6	5	7
6.0	5.75 ~ 6.54	7	6	8
6.5				
7.0	6.55 ~ 7.34	8	7	9
7.5				
8.0	7.35 ~ 8.14	9	8	10
8.5	8.15 ~ 8.94	10	9	11
9.0				
9.5	8.95 ~ 9.74	11	10	12
10.0	9.75 ~ 10.54	12	11	13
10.5				
11.0	10.55 ~ 11.34	13	12	14
11.5				
12.0	11.35 ~ 12.14	14	13	15
12.5	12.15 ~ 12.94	15	14	16
13.0				
13.5	12.95 ~ 13.74	16	15	17
14.0	13.75 ~ 14.54	17	16	18
14.5				
15.0	14.55 ~ 15.34	18	17	19
15.5				
16.0	15.35 ~ 16.14	19	18	20
16.5	16.15 ~ 16.94	20	19	21
17.0				
17.5	16.95 ~ 17.74	21	20	22
18.0	17.75 ~ 18.54	22	21	23
18.5				
19.0	18.55 ~ 19.34	23	22	24
19.5				
20.0	19.35 ~ 20.14	24	23	25
20.5	20.15 ~ 20.94	25	24	26
21.0				
	20.95 ~ 21.0	26	25	27

表3 D / E ,  $M_D / M_E$  , の組合せ一覧表3 - 2  $e = 0.65\text{mm}$  pitch FBGA/FLGA

D or E		$M_D$ max 又は $M_E$ max	$M_D$ max-1 又は $M_E$ max-1	$M_D$ max+1 or $M_E$ max+1 (FLGA だけに適用)
フランジ タイプ	リアルチップ サイズタイプ			
1.5	0.85 ~ 1.49	-	-	2
2.0	1.50 ~ 2.14	2	-	3
2.5	2.15 ~ 2.79	3	2	4
3.0				
3.5	2.80 ~ 3.44	4	3	5
4.0	3.45 ~ 4.09	5	4	6
4.5	4.10 ~ 4.74	6	5	7
5.0	4.75 ~ 5.39	7	6	8
5.5				
6.0	5.40 ~ 6.04	8	7	9
6.5	6.05 ~ 6.69	9	8	10
7.0	6.70 ~ 7.34	10	9	11
7.5				
8.0	7.35 ~ 7.99	11	10	12
8.5	8.00 ~ 8.64	12	11	13
9.0	8.65 ~ 9.29	13	12	14
9.5				
10.0	9.30 ~ 9.94	14	13	15
10.5	9.95 ~ 10.59	15	14	16
11.0	10.60 ~ 11.24	16	15	17
11.5	11.25 ~ 11.89	17	16	18
12.0				
12.5	11.90 ~ 12.54	18	17	19
13.0	12.55 ~ 13.19	19	18	20
13.5	13.20 ~ 13.84	20	19	21
14.0				
14.5	13.85 ~ 14.49	21	20	22
15.0	14.50 ~ 15.14	22	21	23
15.5	15.15 ~ 15.79	23	22	24
16.0				
16.5	15.80 ~ 16.44	24	23	25
17.0	16.45 ~ 17.09	25	24	26
17.5	17.10 ~ 17.74	26	25	27
18.0	17.75 ~ 18.39	27	26	28
18.5				
19.0	18.40 ~ 19.04	28	27	29
19.5	19.05 ~ 19.69	29	28	30
20.0	19.70 ~ 20.34	30	29	31
20.5				
21.0	20.35 ~ 20.99	31	30	32
	21.00	32	31	33

表3 D/E,  $M_D/M_E$ , の組合せ一覧表3 - 3  $e = 0.50\text{mm}$  pitch FBGA/FLGA

フランジ タイプ	D or E リアルチップ サイズタイプ	$M_D$ max 又は $M_E$ max	$M_D$ max-1 又は $M_E$ max-1	$M_D$ max+1 or $M_E$ max+1 (FLGA だけに適用)
1.0	0.72 ~ 1.95	-	-	2
1.5	1.22	2	-	3
2.0	1.72 ~ 2.21	3	2	4
2.5	2.22 ~ 2.71	4	3	5
3.0	2.72 ~ 3.21	5	4	6
3.5	3.22 ~ 3.71	6	5	7
4.0	3.72 ~ 4.21	7	6	8
4.5	4.22 ~ 4.71	8	7	9
5.0	4.72 ~ 5.21	9	8	10
5.5	5.22 ~ 5.71	10	9	11
6.0	5.72 ~ 6.21	11	10	12
6.5	6.22 ~ 6.71	12	11	13
7.0	6.72 ~ 7.21	13	12	14
7.5	7.22 ~ 7.71	14	13	15
8.0	7.72 ~ 8.21	15	14	16
8.5	8.22 ~ 8.71	16	15	17
9.0	8.72 ~ 9.21	17	16	18
9.5	9.22 ~ 9.71	18	17	19
10.0	9.72 ~ 10.21	19	18	20
10.5	10.22 ~ 10.71	20	19	21
11.0	10.72 ~ 11.21	21	20	22
11.5	11.22 ~ 11.71	22	21	23
12.0	11.72 ~ 12.21	23	22	24
12.5	12.22 ~ 12.71	24	23	25
13.0	12.72 ~ 13.21	25	24	26
13.5	13.22 ~ 13.71	26	25	27
14.0	13.72 ~ 14.21	27	26	28
14.5	14.22 ~ 14.71	28	27	29
15.0	14.72 ~ 15.21	29	28	30
15.5	15.22 ~ 15.71	30	29	31
16.0	15.72 ~ 16.21	31	30	32
16.5	16.22 ~ 16.71	32	31	33
17.0	16.72 ~ 17.21	33	32	34
17.5	17.22 ~ 17.71	34	33	35
18.0	17.72 ~ 18.21	35	34	36
18.5	18.22 ~ 18.71	36	35	37
19.0	18.72 ~ 19.21	37	36	38
19.5	19.22 ~ 19.71	38	37	39
20.0	19.72 ~ 20.21	39	38	40
20.5	20.22 ~ 20.71	40	39	41
21.0	20.72 ~ 21.00	41	40	42

表3 D/E,  $M_D/M_E$ , の組合せ一覧表3 - 4  $e = 0.40\text{mm}$  pitch FBGA/FLGA

フランジ タイプ	D or E	$M_D$ max 又は $M_E$ max	$M_D$ max-1 又は $M_E$ max-1	$M_D$ max+1 or $M_E$ max+1 (FLGA だけに適用)
	リアルチップ サイズタイプ			
1.0	1.50 ~ 1.95	-	-	2
1.5		2	-	3
2.0	1.96 ~ 2.45	3	2	4
2.5	2.46 ~ 2.95	5	4	6
3.0	2.96 ~ 3.45	6	5	7
3.5	3.46 ~ 3.95	7	6	8
4.0	3.96 ~ 4.45	8	7	9
4.5	4.46 ~ 4.95	10	9	11
5.0	4.96 ~ 5.45	11	10	12
5.5	5.46 ~ 5.95	12	11	13
6.0	5.96 ~ 6.45	13	12	14
6.5	6.46 ~ 6.95	15	14	16
7.0	6.96 ~ 7.45	16	15	17
7.5	7.46 ~ 7.95	17	16	18
8.0	7.96 ~ 8.45	18	17	19
8.5	8.46 ~ 8.95	20	19	21
9.0	8.96 ~ 9.45	21	20	22
9.5	9.46 ~ 9.95	22	21	23
10.0	9.96 ~ 10.45	23	22	24
10.5	10.46 ~ 10.95	25	24	26
11.0	10.96 ~ 11.45	26	25	27
11.5	11.46 ~ 11.95	27	26	28
12.0	11.96 ~ 12.45	28	27	29
12.5	12.46 ~ 12.95	30	29	31
13.0	12.96 ~ 13.45	31	30	32
13.5	13.46 ~ 13.95	32	31	33
14.0	13.96 ~ 14.45	33	32	34
14.5	14.46 ~ 14.95	35	34	36
15.0	14.96 ~ 15.45	36	35	37
15.5	15.46 ~ 15.95	37	36	38
16.0	15.96 ~ 16.45	38	37	39
16.5	16.46 ~ 16.95	40	39	41
17.0	16.96 ~ 17.45	41	40	42
17.5	17.46 ~ 17.95	42	41	43
18.0	17.96 ~ 18.45	43	42	44
18.5	18.46 ~ 18.95	45	44	46
19.0	18.96 ~ 19.45	46	45	47
19.5	19.46 ~ 19.95	47	46	48
20.0	19.96 ~ 20.45	48	47	49
20.5	20.46 ~ 20.95	50	49	51
21.0	20.96 ~ 21.00	51	50	52



表3 D/E,  $M_D/M_E$ , の組合せ一覧表3 - 5  $e = 0.30\text{mm}$  pitch FBGA/FLGA

フランジ タイプ	D or E リアルチップ サイズタイプ	$M_D$ max 又は $M_E$ max	$M_D$ max-1 又は $M_E$ max-1	$M_D$ max+1 or $M_E$ max+1 (FLGA だけに適用)
1.0	0.58 ~ 1.17	-	-	2
1.5	1.18 ~ 1.77	3	2	4
2.0	1.78 ~ 2.07	5	4	6
2.5	2.08 ~ 2.67	6	5	7
3.0	2.68 ~ 3.27	8	7	9
3.5	3.28 ~ 3.57	10	9	11
4.0	3.58 ~ 4.17	11	10	12
4.5	4.18 ~ 4.77	13	12	14
5.0	4.78 ~ 5.07	15	14	16
5.5	5.08 ~ 5.67	16	15	17
6.0	5.68 ~ 6.27	18	17	19
6.5	6.28 ~ 6.57	20	19	21
7.0	6.58 ~ 7.17	21	20	22
7.5	7.18 ~ 7.77	23	22	24
8.0	7.78 ~ 8.07	25	24	26
8.5	8.08 ~ 8.67	26	25	27
9.0	8.68 ~ 9.27	28	27	29
9.5	9.28 ~ 9.57	30	29	31
10.0	9.58 ~ 10.17	31	30	32
10.5	10.18 ~ 10.77	33	32	34
11.0	10.78 ~ 11.07	35	34	36
11.5	11.08 ~ 11.67	36	35	37
12.0	11.68 ~ 12.27	38	37	39
12.5	12.28 ~ 12.57	40	39	41
13.0	12.58 ~ 13.17	41	40	42
13.5	13.18 ~ 13.77	43	42	44
14.0	13.78 ~ 14.07	45	44	46
14.5	14.08 ~ 14.67	46	45	47
15.0	14.68 ~ 15.27	48	47	49
15.5	15.28 ~ 15.57	50	49	51
16.0	15.58 ~ 16.17	51	50	52
16.5	16.18 ~ 16.77	53	52	54
17.0	16.78 ~ 17.07	55	54	56
17.5	17.08 ~ 17.67	56	55	57
18.0	17.68 ~ 18.27	58	57	59
18.5	18.28 ~ 18.57	60	59	61
19.0	18.58 ~ 19.17	61	60	62
19.5	19.18 ~ 19.77	63	62	64
20.0	19.78 ~ 20.07	65	64	66
20.5	20.08 ~ 20.67	66	65	67
21.0	20.68 ~ 21.00	68	67	69

表3 D / E ,  $M_D / M_E$  , の組合せ一覧表3 - 6  $e = 0.25\text{mm}$  pitch FLGA

D or E	$M_D$ max 又は $M_E$ max	$M_D$ max-1 又は $M_E$ max-1	$M_D$ max+1 or $M_E$ max+1 (FLGA だけに適用)
リアルチップ サイズタイプ			
0.51 ~ 0.75	-	-	2
0.76 ~ 1.00	2	-	3
1.01 ~ 1.25	3	2	4
1.26 ~ 1.50	4	3	5
1.51 ~ 1.75	5	4	6
1.76 ~ 2.00	6	5	7
2.01 ~ 2.25	7	6	8
2.26 ~ 2.50	8	7	9
2.51 ~ 2.75	9	8	10
2.76 ~ 3.00	10	9	11
3.01 ~ 3.25	11	10	12
3.26 ~ 3.50	12	11	13
3.51 ~ 3.75	13	12	14
3.76 ~ 4.00	14	13	15
4.01 ~ 4.25	15	14	16
4.26 ~ 4.50	16	15	17
4.51 ~ 4.75	17	16	18
4.76 ~ 5.00	18	17	19
5.01 ~ 5.25	19	18	20
5.26 ~ 5.50	20	19	21
5.51 ~ 5.75	21	20	22
5.76 ~ 6.00	22	21	23
6.01 ~ 6.25	23	22	24
6.26 ~ 6.50	24	23	25
6.51 ~ 6.75	25	24	26
6.76 ~ 7.00	26	25	27
7.01 ~ 7.25	27	26	28
7.26 ~ 7.50	28	27	29
7.51 ~ 7.75	29	28	30
7.76 ~ 8.00	30	29	31
8.01 ~ 8.25	31	30	32
8.26 ~ 8.50	32	31	33
8.51 ~ 8.75	33	32	34
8.76 ~ 9.00	34	33	35
9.01 ~ 9.25	35	34	36
9.26 ~ 9.50	36	35	37
9.51 ~ 9.75	37	36	38
9.76 ~ 10.00	38	37	39
10.01 ~ 10.25	39	38	40
10.26 ~ 10.50	40	39	41
10.51 ~ 10.75	41	40	42

表3 D/E,  $M_D/M_E$ , の組合せ一覧表3 - 6  $e = 0.25\text{mm}$  pitch FLGA (つづき)

D or E	$M_D$ max 又は $M_E$ max	$M_D$ max-1 又は $M_E$ max-1	$M_D$ max+1 or $M_E$ max+1 (FLGA だけに適用)
リアルチップ サイズタイプ			
10.76 ~ 11.00	41	40	42
11.01 ~ 11.26	42	41	43
11.26 ~ 11.50	43	42	44
11.51 ~ 11.75	44	43	45
11.76 ~ 12.00	45	44	46
12.01 ~ 12.25	46	45	47
12.26 ~ 12.50	47	46	48
12.51 ~ 12.75	48	47	49
12.76 ~ 13.00	49	48	50
13.01 ~ 13.25	50	49	51
13.26 ~ 13.50	51	50	52
13.51 ~ 13.75	52	51	53
13.76 ~ 14.00	53	52	54
14.01 ~ 14.25	54	53	55
14.26 ~ 14.50	55	54	56
14.51 ~ 14.75	56	55	57
14.76 ~ 15.00	57	56	58
15.01 ~ 15.25	58	57	59
15.26 ~ 15.50	59	58	60
15.51 ~ 15.75	60	59	61
15.76 ~ 16.00	61	60	62
16.01 ~ 16.25	62	61	63
16.26 ~ 16.50	63	62	64
16.51 ~ 16.75	64	63	65
16.76 ~ 17.00	65	64	66
17.01 ~ 17.25	66	65	67
17.26 ~ 17.50	67	66	68
17.51 ~ 17.75	68	67	69
17.76 ~ 18.00	69	68	70
18.01 ~ 18.25	70	69	71
18.26 ~ 18.50	71	70	72
18.51 ~ 18.75	72	71	73
18.76 ~ 19.00	73	72	74
19.01 ~ 19.25	74	73	75
19.26 ~ 19.50	75	74	76
19.51 ~ 19.75	76	75	77
19.76 ~ 20.00	77	76	78
20.01 ~ 20.25	78	77	79
20.26 ~ 20.50	79	78	80
20.51 ~ 20.75	80	79	81
20.76 ~ 21.00	81	80	82

11. 個別規格登録 個別規格として新外形を提案する場合，半導体パッケージ標準化委員会運営規定の附属書様式5に必要事項を記入し，規格作成手順に従い行うものとする。その際，様式5の項2. パッケージ寸法表は，表4に従い，( )印のところに該当する寸法又は文字を記入するものとする。

表4

整理番号				
外形タイプ		- FBGA	- . × . - .	
		- FLGA	- . × . - .	
照合文字・他		min.	Nom.	max.
グループ1	<span style="border: 1px solid black;">D</span>			
	<span style="border: 1px solid black;">E</span>			
	v			
	w			
	A			
	A <sub>1</sub>			
	<span style="border: 1px solid black;">e</span>			
	b			
	x			
	y			
	y <sub>1</sub>			
	n			
	M <sub>D</sub>			
	M <sub>E</sub>			
端子配置		(注)		
グループ2	<span style="border: 1px solid black;">S<sub>D</sub></span>			
	<span style="border: 1px solid black;">S<sub>E</sub></span>			
	Z <sub>D</sub>			
	Z <sub>E</sub>			
	b <sub>3</sub>			

注 「端子配置」欄には，全面配置形，千鳥配置形，周辺配置形×列から選択し記載する。ここで，xは自然数とする。これ以外の端子配置については，個別規格登録を行う場合に定義又は図示する。

## 集積回路パッケージデザインガイドファインピッチ・ボールグリッドアレイ/ ファインピッチ・ランドグリッドアレイの解説

1. **制定の主旨** このデザインガイドは、ファインピッチ BGA 及び LGA (以下、FBGA/FLGA という。) のパッケージ外形の業界での標準化を目指し、パッケージ自体或いは関連部品の開発に際して、その設計のガイドラインを示すことを目的とする。

2. **審議の経緯** 1995 年初めに電子デバイス実装技術委員会の下に CSP 研究会(次世代パッケージ研究会の前身)が発足し、CSP の調査、外形標準化の可能性などの検討がなされた。

CSP の標準化は、その答申を受ける形で、半導体パッケージ標準化委員会で進めることとなり、実際の標準化作業はその下部組織であるエリアアレイパッケージサブコミティで、1995 年 10 月より検討が開始された。

近年の急速な FBGA、FLGA の市場ニーズの高まりによって、市場でのパッケージ外形の標準がないことによる混乱を極力避けることを目的として、先に発行されたボールグリッドパッケージ対応のデザインガイド **EIAJ EDR-7315**(以下、BGA デザインガイドという。)を基に、正方形タイプの BGA、LGA のファインピッチバージョンについてまずは審議が開始され、1998 年 4 月のエリアアレイパッケージサブコミティで実務的な審議が終了し、**EIAJ EDR-7316**(以下、FBGA/FLGA デザインガイドという。)として発行されるに至った。

1990 年代後半に入ると、メモリを主体とした FBGA、FLGA の市場ニーズが高まり、早急に長方形タイプの外形における標準化が必要とされるようになり、長方形タイプの FBGA、FLGA の標準化について 1998 年 11 月よりエリアアレイパッケージサブコミティにて審議が開始された。審議は、先に制定された FBGA/FLGA デザインガイド **EIAJ EDR-7316** を基とし、修正・追加を加えるかたちで進められた。審議は、1999 年 5 月のエリアアレイパッケージサブコミティで実務を終了し、半導体パッケージ標準化委員会で 2001 年 3 月までの暫定規格として制定が承認され、**EIAJ EDX-7316** として発行されるに至った。

その後、前記 **EIAJ EDR-7316** と **EIAJ EDX-7316** との統合作業を進め、2001 年 3 月にエリアアレイパッケージサブコミティでの審議が終了し、正方形タイプと長方形タイプのデザインガイドを統合した FBGA/FLGA デザインガイド **EIAJ EDR-7316A** として発行されるに至った。

さらに近年、携帯機器に見られる小形化・高機能化で、LSI パッケージの小形化、高密度化が進んでいる。端子ピッチはさらに狭くなり、LSI チップと同等サイズの LSI パッケージ形態が出てきている。そこで 2003 年 12 月より Ultra Fine Pitch PKG TF にて **EDR-7316A** を修正する形で 0.3mm 以下の端子ピッチ、ウエハレベル CSP の標準化を加えて審議が進められた。2005 年 5 月、**EIAJ EDR-7316B** を発行されるに至った。

### 3. 寸法規定の背景

- (1) **データム** 実装において、特にファインピッチのパッケージでは、端子位置の精度が重要となるため、端子によって設定されるデータムを採用してきたが、JEDEC との整合をとるため、各辺のセンタによって規定する定義を採用した。規定方法の詳細は**解説 4** に示す。
- (2) **呼び寸法** フランジタイプは、パッケージ幅と長さの小数点以下一桁までの組合せを呼び寸法とした。また、リアルチップサイズタイプについては、パッケージ幅と長さの小数点以下 2 桁(小数点以下 3 桁目は切捨て)までの組合せで表示することとした。これらは CSP という概念から少数点以下も表示することが重要であると見なしたためである。また、JEDEC 規格と同様に  $D \times E$  とした。
- (3) **パッケージ長さ、幅(D, E)の定義改正の背景** EIAJ EDR-7315 (集積回路パッケージデザインガイドボールグリッドアレイ) を基準にすると、パッケージ本体を取付下面からみてインデックスを左下側に配置した状態で、縦方向がパッケージ幅(E)、横方向がパッケージ長さ(D)となる。この定義から次の 2 つの問題がもち上がった。
- (a) 市場の長方形タイプの BGA パッケージ動向に当てはめるとパッケージ幅>パッケージ長さとなり、一般に固定観念とされているパッケージ長さ>パッケージ幅に相反する。
- (b) JEDEC のデザインガイドとパッケージ長さ&パッケージ幅の定義が逆である。
- そのため、このデザインガイドは業界に混乱を与えないよう、パッケージ本体を取り付け下面からみて、インデックスを左下側に配置した状態で、縦方向がパッケージ長さ(D)、横方向がパッケージ幅(E)と規定することとした。
- また、パッケージ長さ、パッケージ幅については、その大小関係は定義しないこととした。これは、ボールレイアウトを基準に定義したため、メモリなどの標準ボールマトリックス、チップサイズによってはその大小関係が逆転するためである。
- (4) **パッケージ長さ、幅(D, E)** 現状の技術レベルで考えると 20.00mm 角程度のチップが最大と考えられ、また BGA デザインガイドに規定されている寸法を考慮して 21.00mm を最大とした。最小値については、小形化の可能性を追従し、理論的に可能な 1.50mm とした。なお、ウエハレベル CSP 対象として、端子ピッチ 0.25mm、端子数 4 ピンのパッケージがありうることから、パッケージ長さ、幅の最小値を 0.5mm まで広げた。
- (5) **取り付け高さ(A)** エリアアレイサブコミティで各社の実力を確認した結果、FBGA の最大取り付け高さは 2.00mm max. とした。EIAJ EDR-7303B に従い、この技術レポートでは  $A_{max}=1.00, 0.80, 0.65, 0.50\text{mm}$  (コード: V, W, U, X) を新たに追加した。また EDR-7316B の改定では、0.5mm max. 未満の規定について、アンケートの結果から 0.4mm max., 0.3mm max. を分けて規定した。
- (6) **スタンドオフ高さ(A1)**
- (a) FBGA ボール径をピッチの 60%とした場合、シミュレーション及び実測によって、ピッチの 50%がボール高さに相当することが確認されたため、それをスタンドオフ高さの nom. 値とし

た。また、スタンドオフ高さ( $A_s$ )の規定値として min. 表示だけにするか min., nom., max. 表示にするかが審議され、ユーザでの自動実装機及び試験におけるソケットを考慮すると nom. 表示はされている方がよいとの判断から min., nom., max. 表示することに至った。なお、ボール径オプションとして追加された 0.8mm ピッチのボール径 0.45mm の場合は、減少したボール径分を引いた 0.35mm をスタンドオフ高さの nom. 値として規定した。

(b) FLGA FLGA の端子形状には、製法上平らなタイプとバンプ状の 2 タイプがあり、FBGA と区別する意味で、 $A_{1max}$  が 0.10mm 以下のものとして定義した。

(7) 端子直線間隔(  $e$  ) 他パッケージと同じく 80%減少ルールに従い、1.00 ピッチを基点として、0.80/0.65/0.50/0.40/0.30/0.25mm とすることとした。ただし、0.25mm は端子径及びスタンドオフ高さが FLGA に踏襲されつつあるため FLGA だけとした。1.0mm ピッチは、BGA デザインガイドに従う。

#### (8) 端子径(b)

(a) FBGA ピッチの 60%を基準として規定した。ただし、0.80mm ピッチのボール径については、構造上の違いからピッチの 60%( 0.50mm)では製造が困難な場合もあり、0.45mm、0.40mm のボール径について追加可否の審議が行われた。その結果、ボール径 0.45mm はソケット、基板の設計基準が現行 0.50mm と変わらないため、オプションとして追加規定するに至った。ボール径 0.40mm については、その設計基準が変わるので追加の合意には至らなかった。

(b) FLGA FBGA と同様にピッチの 60%を基準として規定した。ただし、プラスチックタイプは、ピッチの 50%に規定した。これは、FBGA におけるボール径をピッチの 60%とした場合、ボール取り付け部のランド径はピッチの 50%となり、FBGA と FLGA のパッケージ基板の共用、及びパターン配線引き回しの自由度を考慮した。セラミックタイプでは、プリント基板との線膨張係数差が大きいため、実装時の温度サイクル特性を確保するには、端子径の 60%の大きさを必要とした。

#### (9) パッケージ上面の平行度( $y_1$ )

自動実装機のピックアップの性能限界を考慮して規定した。薄形化が進む中、新たに厚み及び長さ・幅依存性で規定する議論があったが、 $y$  を厳しくしているため、 $y_1$  は超えることがないことから、現状どおりの規定とした。

(10) 端子最下面の均一性( $y$ ) 同一基板に混載される QFP などの規定を採用した。特に、端子間隔が 0.3mm 以下については、基板側に供給されるはんだペーストの厚みから算出した。

(11) 端子中心位置許容値( $x$ ) 端子直線間隔の約 10%を基準とした。0.3mm ピッチ、0.25mm ピッチについては、端子径、端子径公差から、端子許容存在領域間距離を従来の 0.4mm ピッチの場合と比較した。するとこの端子許容存在範囲(定義は、EIAJ ED-7304 による)間距離は 0.05mm 前後になり、実装可能レベルと判断し  $x$  を割り出した。ウエハレベル CSP は加工方法から精度が高いため、全端子ピッチで公差を  $\pm 0.03$ mm とした。

(12) **パッケージ外形公差及び位置精度に関する許容値(v, w)** パッケージ端の許容値 v 及びパッケージ中心位置の許容値 w については、JEITA 委員会内部でアンケート調査を行い決定した。ウエハレベル CSP は加工方法から精度が高いため、全端子ピッチ域で、0.05mm とした。

(13) **端子マトリックス数(M<sub>E</sub>, M<sub>D</sub>)の規定** 端子マトリックス数の最大数(以下、最大端子マトリックス数という。)M<sub>D</sub>max(M<sub>D</sub>max 及び M<sub>E</sub>max)を、次の不等式を満足する整数とし、それを標準端子マトリックス数として規定した。

$$M_{Dmax} = (\lfloor D \rfloor - b_{max} - v - w - x - 2 \text{ (E.C.)}) / \lfloor e \rfloor + 1$$

$$M_{Emax} = (\lfloor E \rfloor - b_{max} - v - w - x - 2 \text{ (E.C.)}) / \lfloor e \rfloor + 1$$

$\lfloor D \rfloor, \lfloor E \rfloor$  :パッケージ長さ及び幅

b<sub>max</sub> :最大端子径( b<sub>nom</sub>+端子径公差)

v :パッケージ端の許容値

w :パッケージ中心位置の許容値

x :端子中心位置許容値

E.C. :エッジクリアランス (0.11mm)

$\lfloor e \rfloor$  :端子ピッチ

また、ひとつの $\lfloor D \rfloor, \lfloor E \rfloor$ に対して上記で求めたM<sub>D</sub>max, M<sub>E</sub>max と、それから1列少ないもの(ハーフピッチずれ) M<sub>D</sub>max-1, M<sub>E</sub>max-1 の組合せも標準端子マトリックスとして規定に加えた。さらに FLGA だけに、E.C. = 0 を満足する範囲でM<sub>D</sub>max+1, M<sub>E</sub>max+1 の組合せを規定に加えた。

#### (14) 端子マトリックス数算出の背景

(a) **最大端子マトリックス数 M<sub>max</sub>** 端子の最大端子マトリックス数 M<sub>max</sub> は、当初は端子端がパッケージ端よりはみ出さない範囲での最大配列可能数としていたが、FBGA に対してトレイの構造を端子非接触とする要望があること、及びメーカーやユーザでの取り扱い時に不意のボールの接触によるボールの変形又は脱落を防止するために、端子端とパッケージ端との間にある程度のボールの存在しない領域(エッジクリアランス)を必要とすることが、半導体包装サブコミティや JEDEC JC-11 から提案され、これを採用することとした。

パッケージ端の許容値(v)は、ユーザにおいて、現段階ではパッケージ外形での位置合わせをすることがありうることを考慮に入れ数値を決めた。また、パッケージ中心位置の許容値 w は実装における実力値から決定した。

(b) **ハーフピッチずれ最大端子マトリックス数 M<sub>max-1</sub>** 最大端子マトリックス数 M<sub>max</sub> を標準端子マトリックス数として規定するとともに、ハーフピッチずれ最大端子マトリックス数 M<sub>max-1</sub> も、標準端子マトリックス数として規定した。

M<sub>max</sub>, M<sub>max-1</sub> の双方を標準端子マトリックス数として規定することにより、このデザインガ



イド中に規定される全てのパッケージ外形について、偶数、奇数いずれの端子マトリックス数も選択することができる。また、FLGAについては、ボールが無いため、一部のパッケージ外形をピッチの組み合わせにおいて  $M_{max}$  より一列多い配列 ( $M_{max}+1$ ) が可能であることから、その組み合わせにおいて ( $M_{max}+1$ ) を認めることとした。

- (15) **1ピン表示** ユーザ側からパッケージの方向性を実装装置がボールを利用して認識するための1ピン表示を設ける要望があり、表示方法について審議した。具体的な表示方法の例としては最内周のコーナー部にボールを一つ追加する方法と、A1のボールを一つはずす方法などが考えられた。しかしながら、標準として統一したインデックス表示を規定することは、次の理由により合意には至らなかった。

4コーナーのボールを既にデポピュレーションしているパッケージや、最内周のコーナー部にボールを配置するスペースが設けられないパッケージが多数存在しており、また、ユーザによっても1ピン表示に対しての要求が統一されていない点その理由である。

しかし実際には、これに準じた形で1ピン表示は実施されていくものと考えられる。

- (16) **パッケージオーバーハング ( $Z_0, Z_E$ )** 旧 EIAJ EDR-7316 では、パッケージオーバーハング ( $Z_0, Z_E$ ) は真の幾何学的表記である。☐<sub>0</sub>、☐<sub>E</sub> で表していた。しかしながら、IEC規格化のステージをオランダより指摘を受け、幾何学的に決定されない寸法であるとして“ $Z_0$ ”、“ $Z_E$ ”と表記した。

- (17) **その他** EIAJ EDR-7316B を審議するにあたり、スタンドオフ高さ (A1) と端子径 (b) の Nom. 値において 30~70% の幅をもたせ、その代わり公差を厳しくする規格にした方が良いのではないかという意見がでた。理由は次のとおりである。

- (a) 端子形成方法により規格が合わなくなる。
- (b) BGA の場合、搭載ボールとランドによって A1 と b がおのずと決まり規格の Nom. 値にあわせこめない。
- (c) BGA と LGA はランドを共用させることが多く、BGA を設計する場合に A1 及び b が規格の Nom. 値からずれる。

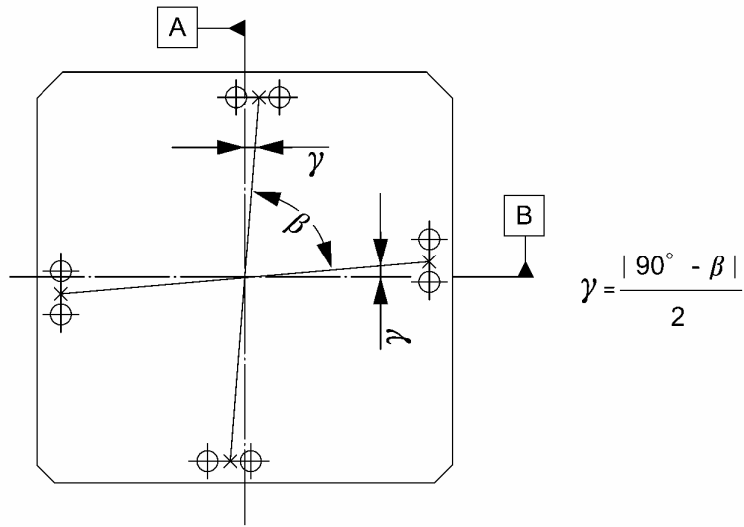
本件を Ultra Fine Pitch TF で議論した結果、規格の Nom. 値は設計指標であり、テストソケットの標準化の観点からも固定値とするという結論に至った。

**4. データムの定義** 従来、すべての端子中心位置から最小二乗法によって直交する2直線を算出し、その直交する2直線をパッケージのデータムライン  $\boxed{A}$ 、 $\boxed{B}$  としていたが、JEDEC との整合をとるため、ボールデータム定義に変更は無いが、定義方法が明確である EIAJ ED-7304 に規定されている定義を採用するに至った。その定義について以下に示す。

各辺の対向するセンタ (定義は下記に記載) をそれぞれ結び、その交差してなす角度  $\theta$  を求める。そのと  $90^\circ$  との差  $|90^\circ - \theta|$  を各辺に均等に振り分けるような直交軸を求める。その直交軸をデータム

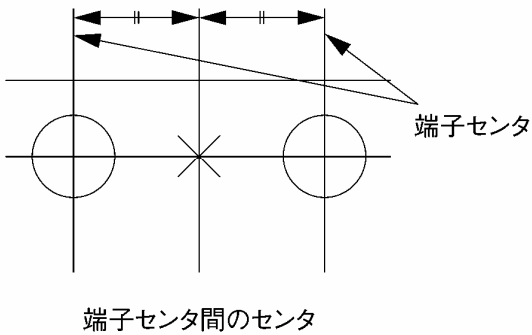
JEITA EDR-7316B

A, B と定義する。

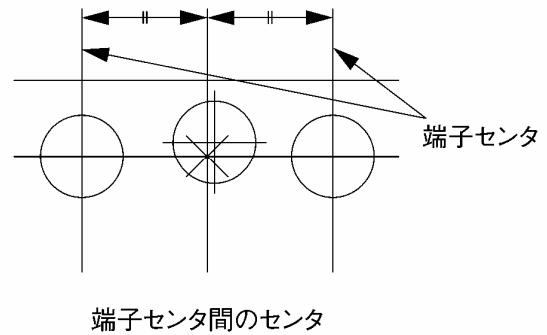


解説図 1

各辺のセンタの定義



解説図 2 一辺の端子数が偶数の場合



解説図 3 一辺の端子数が奇数の場合

5. 審議委員 この規格の審議は、半導体パッケージ標準化委員会の集積回路パッケージサブコミティが行った。

また、詳細の検討については、タスクフォース(TF)を発足し、集積回路パッケージサブコミティ参加各社の専門技術者が参加して審議を行った。以下にその委員を示す。

<半導体パッケージ標準化委員会>

委員長 ままま 富士通 (株) 平岩 克朗

<集積回路パッケージサブコミティ>

主査 (株) 東芝 小塩 康弘

副主査 京セラ (株) 舟橋 明彦

ソニー (株) 御園生 守男

委員 アムコー・テクノロジー・ジャパン(株) 谷口 潤

NECエレクトロニクス(株) 中島 宏文

エルピーダメモリ(株) 奥津 文武

エンブラス(株) 山田 隆之

沖電気工業(株) 中村 彰男

京セラ(株) 舟橋 昭彦

三洋電機(株) 岩村 英之

三洋電機(株) 三田 清志

住友スリーエム(株) 久木元 浩二

セイコーエプソン(株) 江本 義明

大日本印刷(株) 斉藤 啓之

日本テキサス・インスツルメンツ(株) 大内田 孝幸

日立電線(株) 石原 剛

富士通(株) 小酒井 一成

富士電機ホールディングス(株) 広橋 修

松下電器産業(株) 福田 敏行

山一電機(株) 坪田 栄作

ユニテクノ(株) 松永 等

(株)ルネサステクノロジ 橋爪 孝則

ローム(株) 木村 洋一

特別委員 信越ポリマー(株) 田村 研

東洋樹脂(株) 風間 均

JEITA EDR-7316B

<タスクフォースメンバ>

リーダー	(株)ルネサステクノロジ	福原和矢
メンバ	アムコー・テクノロジー・ジャパン(株)	谷口潤
	NECエレクトロニクス(株)	加藤周幸
	エルピーダメモリ(株)	渡邊祐二
	沖電気工業(株)	大内伸仁
	カシオ計算機(株)	根岸祐司
	カシオマイクロニクス(株)	井上高志
	(株)東芝	小塩康弘
	(株)東芝	宮原正隆
	(株)フジクラ	滝沢功
	京セラ(株)	舟橋明彦
	三洋電機(株)	三田清志
	ソニー(株)	御園生守男
	日本アイ・ピー・エム(株)	小林恒雄
	日本テキサス・インスツルメンツ(株)	佐野裕幸
	日立電線(株)	岸野和久
	富士通(株)	園陸郎
	松下電器産業(株)	船越正司
	山一電機(株)	小海邦仁

(社)電子情報技術産業協会が発行している規格類は、工業所有権（特許，実用新案など）に関する抵触の有無に関係なく制定されています。

(社)電子情報技術産業協会は、この規格類の内容に関する工業所有権に対して、一切の責任を負いません。

J E I T A E D R - 7 3 1 6 B

2 0 0 6 年 3 月 発 行

発行 (社)電子情報技術産業協会 標準化センター

〒101-0062 東京都千代田区神田駿河台 3-11

TEL 03-3518-6434 FAX 03-3295-8727

〔 この規格類の全部又は一部を転載しようとする場合は、発行者の許可を得てください。 〕